**Лабораторная работа № 6.**

**«Формирование амплитудно-частотной характеристики каскадов на операционных усилителях».**

Цель работы: изучение методики формирования амплитудно-частотной характеристики (АЧХ) усилительного каскада на операционном усилителе ( ОУ ) и ознакомление со способами получения требуемой полосы пропускания каскада на ОУ.

**Общие сведения.**

Применение реактивных элементов в каскадах на ОУ позволяет получить АЧХ усилителя требуемой формы. Рассмотрим усилительный каскад с инвертирующим включением ОУ рис.1.

**D1**

**6**

**3**

**2**

**UГ**

**С2**

**С1**

**RГ**

**RН**

**R3**

**R2**

**R1**

\_

**СН**

Рис.1. Каскад усилителя с инвертирующей схемой включения ОУ.

Сигнал от генератора (датчика) подается на инвертирующий вход ОУ. Переходной конденсатор С1 разделяет генератор и вход ОУ по постоянному току и пропускает переменный сигнал от UГ. На входе ОУ и генераторе могут быть разные уровни постоянной составляющей. Если необходимо усиливать постоянную составляющую сигнала, то эти уровни нужно согласовывать. Мы разрабатываем усилитель работающий в частотном диапазоне от нижней fH  до верхней fB частот. Проще установить конденсатор, чем проводить согласование т.к. постоянные составляющие зависят от многих факторов. Все выше перечисленное относится и к переходному (разделительному) конденсатору С2, который разделяет выход ОУ и нагрузку по постоянному току и соединяет по переменной составляющей.

Конденсаторы С1 и С2 ограничивают частотный диапазон усилителя на нижних частотах их влияние можно моделировать дифференцирующей цепочкой с R стоящим последовательно с соответствующим конденсатором(Ԏ=С1(RГ+R1); Ԏ2=C2(RвыхОУ+RН)). Частотные свойства ОУ и конденсатор СН влияютна верхних частотах. Для каскада рис.1. коэффициент усиления можно записать КК(ω)=[КУU(ω)/(1+β(ω)KУU(ω)]ZH/(ZH+1/ϳωC2)=UH/UГ

Усилитель Д1 с коэффициентом усиления КУU(ω) охвачен ООС с коэффициентом передачи цепи ОС β(ω) и нагрузкой Z H. Выражение для КК(ω) если подставить составляющие будет громоздким. Считать не обязательно. Желающие могут проделать это, преподаватель оценит эту работу. Выражение для КУU(ω) зависит от типа микросхемы ОУ, наличия частотной коррекции и каждого отдельного экземпляра ОУ. При полной частотной коррекции (ПЧХ) КУU(ω)= КУU ОУ/(1+ϳω/ ωСР), где КУUОУ- справочный параметр ОУ, ωСР- частота среза частотной характеристики ОУ (ωСР=10- 100 рад/сек). β(ω)=(RГ+1/ ϳωC1+R1)/R2. ZH=RH/(1+ ϳωCHRH). По полученному выражению можно построить частотную характеристику каскада. Обычно для оценки частотных свойств усилителя не нужно знать всю ЧХ, а достаточно знание отдельных характерных точек. Эти точки показаны на рис.2., где

**fВ**

**fН**

**f Гц**

**106**

**105**

**104**

**103**

**102**

**10**

**1**

**0,7**

**КН=КВ**

**КК(ω)Н**

Рис.2.Нормированная АЧХ каскада.

приведена нормированная АЧХ каскада .

МН, МВ – коэффициенты частотных искажений соответственно на нижней fН и верхней fВ  граничных частотах. КН и КВ- коэффициенты усиления (в данном случае нормированные) на нижней и верхней граничных частотах. МН=КМАК/KH MB=KMAK/KB для нормированной характеристики КМАК=1. На рис.2. МН=МВ=1,4.

Частотные искажения ЧИ (уменьшение К) на нижних частотах вносят конденсаторы С1 и С2, поэтому частотные искажения каскада МНК=МНС1\*МНС2. На верхних частотах искажения вносятся усилителем ОУ и конденсатором СН, тогда МВК=МВ ОУ\*МВСн

Распределение частотных искажений по элементам определяет проектировщик. ЧИ могут быть одинаковыми для всех элементов или один элемент имеет основную часть ЧИ каскада или усилителя. Если заданы ЧИ по ним выбираются значения элементов или если заданы элементы по ним считаются ЧИ, вносимые этими элементами.

Для ЧИ на нижних частотах от конденсаторов С1 и С2 МНС=(1+(ωНR∑ C)2)0,5/ ωНR∑ C и соответственно С ≥ 1/ (ωНR∑( М2НС-1)0,5).

R∑ - сумма резисторов слева и справа от конденсатора.

МВ ОУ=(1+(fBKK/f1)2)0,5; МВСн=((ωBRHCH)2+1)0,5; CH≤ (М2ВСн-1)0,5/ ωBRH. Где КК=R2/(R1+RГ) – максимальный коэффициент усиления каскада, f1- справочный параметр ОУ, частота единичного усиления (1-10 МГц),

**C3**

**UГ**

**RН**

**RГ**

**6**

**3**

**2**

**D1**

**C2**

**C1**

**C4**

**R3**

**R2**

**R1**

\_

**СН**

Рис.3. Каскад с не инвертирующим включением ОУ.

Для частотных искажений каскада представленного на рис.3. можно написать МНК=МНС1\*МНС2\*МНС4; МВК=МВ ОУ\*МВСн\*МВС3

|  |  |  |
| --- | --- | --- |
| **Группа** | **3224** | **3225** |
| **RГ кОм** | **3** | **1** |
| **СН пФ** | **150** | **180** |
| **RH кОм** | **5,1** | **7,5** |
| **f1 МГц** | **8** | **5** |

**Подготовка к лабораторной работе.**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Вариант** | **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** |
| **R1 кОм** | **1** | **1,5** | **2** | **1** | **1,5** | **2** | **1** | **1,5** | **2** | **1** |
| **R2 кОм** | **20** | **30** | **39** | **51** | **30** | **39** | **30** | **39** | **51** | **39** |
| **R3 кОм** | **10** | **30** | **22** | **15** | **36** | **51** | **22** | **10** | **30** | **30** |
| **C1 нФ** | **250** | **750** | **500** | **300** | **500** | **750** | **620** | **680** | **300** | **360** |
| **C2 нФ** | **500** | **300** | **200** | **400** | **600** | **300** | **330** | **750** | **620** | **750** |
| **C3 пФ** | **?** | **?** | **?** | **?** | **?** | **?** | **?** | **?** | **?** | **?** |
| **C4 нФ** | **?** | **?** | **?** | **?** | **?** | **?** | **?** | **?** | **?** | **?** |
| **fН Гц** | **300** | **150** | **100** | **200** | **250** | **120** | **150** | **300** | **200** | **100** |
| **fВ кГц** | **40** | **30** | **20** | **35** | **25** | **20** | **10** | **15** | **20** | **30** |
| **MН рис.3** | **1,2** | **1,3** | **1,4** | **1,3** | **1,4** | **1,2** | **1,4** | **1,3** | **1,2** | **1,3** |
| **MВ рис.3** | **1,1** | **1,2** | **1,3** | **1,4** | **1,2** | **1,3** | **1,2** | **1,4** | **1,3** | **1,2** |

Для схемы рис.1. рассчитать МН, МВ и КК используя данные варианта.

Для схемы рис.3. рассчитать С4 и С3 по заданным вариантом МН , МВ и используя результаты расчета схемы по рис.1.

МНС4=МН/(МНС1\*МНС2); С4=1/(ωнR∑(М2НС4-1)0,5); R∑=RГ+RвхК;

RвхК=R3\*RвхОУ/(R3+RвхОУ) ≈ R3 – входное сопротивление каскада; R вхОУ=RвхОУспр(1+βКУU) –зависит от частоты на низких частотах равно 1-10 Мом. Напоминаем ω=2πf=6,28f.

МВС3=МВ/(МвОУ\*МвС3); С3=(М2 вС3-1)0,5/ωвR2

Построить нормированные АЧХ( по 3 точкам ) для схем рис.1 и рис.3. Оси графиков должны быть не менее 10 см.

Отчет оформляется на листах А4 в рукописном или компьютерном исполнении. Отчет должен содержать титульный лист, цель работы , данные варианта, схемы, формулы, расчеты, графики ( по линейке), вывод о проделанной работе.

**Лабораторная работа № 8.**

**Исследование схем на комбинационной логике.**

Цель работы: изучение принципов построения и работы различных устройств на комбинационной логике.

В Ц.Т. существуют два уровня сигналов “0” и “1” или “нет” и “да”, поэтому микросхемы Ц.Т. называют логическими. Операции, производимые цифровыми микросхемами, описываются выражениями Булевой алгебры. Выходные напряжения устройств комбинационной логики (КЛ) зависят от совокупности входных сигналов в текущий момент времени и не зависят от предыдущих состояний схемы (автомат без памяти). К устройствам КЛ относятся:

Простые логичекие схемы;

Преобразователи кодов;

Шифраторы, дешифраторы;

Мультиплексоры, демультиплексоры;

Сумматоры, компараторы, схемы сравнения;

Цифровые перемножители;

Арифметико-логические устроства (АЛУ) и другие устройства.

Работа комбинационных логических схем(КЛС) описывается таблицами истинности или алгебраическими выражениями Булевой алгебры . В лабораторных макетах используются схемы 561 серии, выполненные по КМОП технологии.Эта серия имеет ряд преимуществ перед сериями по другим технологиям. На совеременном этапе БИС в основном выполняются по усоврешенноствованной КМОП технологии.

При включении питания все входы должны быть подключены, выходы нельзя соединять между собой и подключать к питанию и земле.

**Простые логические схемы, используемые в лаб.работе.**

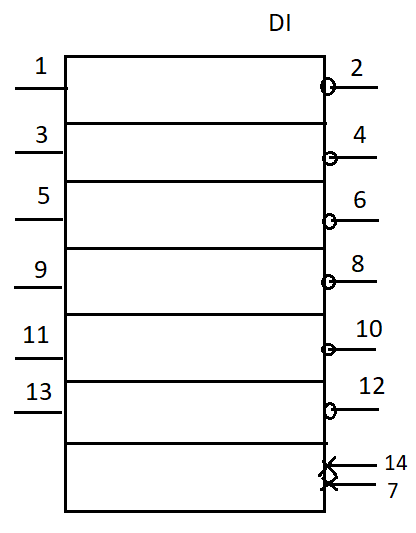
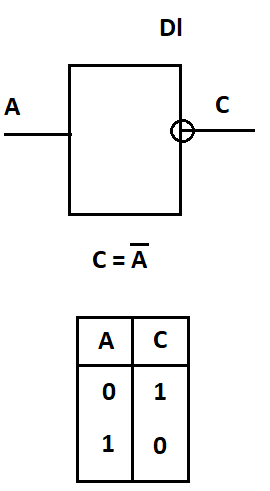
Элемент инвертор (схема «НЕ»).

Рис.1.Обозначение инвертора, Рис.2. Условно-графическое алгебраическое выражение обозначение микросхемы операции и таблица истиности. К561ЛН2.

Микросхема К561ЛН2 содержит 6 инверторов. На больших принципиальных схемах элементы могут размещаться раздельно при этом каждый элемент содержит в обозначении к какой микросхеме относится и его номер. D1.1- первый элемент микросхемы D1. Питание может на сложных схемах не обозначаться. Обозначени номеров выводов элементов обязательно.

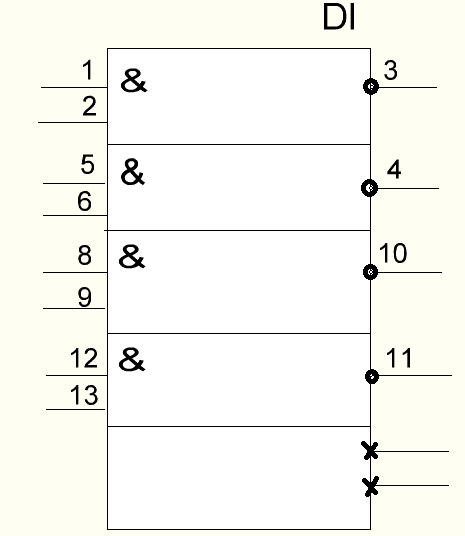
**Схема “И”. Логическое умножение.**

Схема 2И Схема 2И-НЕ

**C**

**&**

**В**

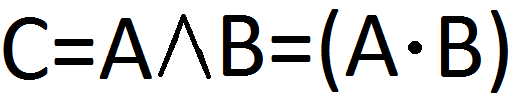
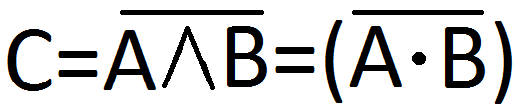
**А**

**&**

**В**

**А**

**C**

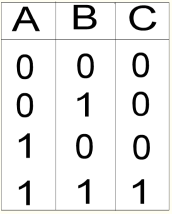
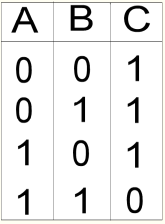
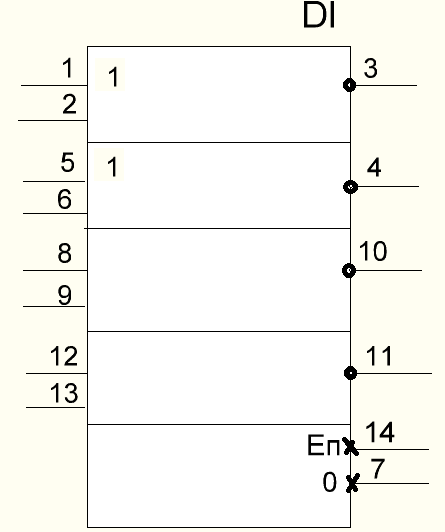
 

Рис.3. Обозначение ,алгебраические Рис.4.Условно-графическое выражения , таблицы истинности обозначение микросхемы схем 2И и 2И-НЕ. К561ЛА7 4(2И-НЕ).

В схемотехнике чаще используют схему 2И-НЕ промышленность ее больше выпускает. В некоторых сериях схема 2-И отсутствует. Значек ^ логическое умножение трудно читается в больших выражениях алгоритмов, мы будем использовать арифметическое умножение ( \*) подразумевая что операция логическое умножение. Однозначное соответствие входных и выходного сигналов в последней строке таблицы истинности она используется при проектировании логических узлов. **Схема «ИЛИ».Логическое сложение.**

Схема 2 ИЛИ Схема 2ИЛИ-НЕ

**C**

**1**

**В**

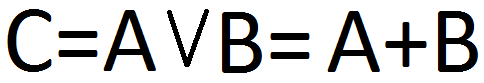
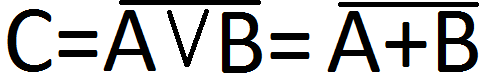
**А**

**1**

**В**

**А**

**C**

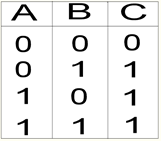
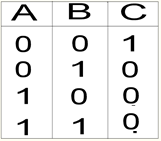
 

Рис.5. Графические обозначения, Рис.6. Цокалевка микросхемы алгебраическое выражение, таблица К561ЛЕ5 4(2ИЛИ-НЕ). истиности для схемы 2ИЛИ,2ИЛИ-НЕ.

**Передаточная характеристика.**

Основной характеристикой комбинационных логических схем КЛС является передаточная характеристика (ПХ) – зависимость выходного напряжения от величины входного на одном из входов при неизменном напряжении на остальных входах, которое не влияет на выходное.

На рис.7. приведены типичные ПХ для схемы без инверсии и с инверсией.

По ПХ можно определить несколько важных параметров цифровых микросхем:

U0ВХ и U1ВХ – входные сигналы, соответствующие уровню «0» и «1»;

VП – средний порог переключения;

U+П и U-П – уровни положительной и отрицательной помехи, не приводящий к срабатыванию схемы;

U0ВЫХ и U1ВЫХ – выходные напряжения, соответствующие уровням «0» и «1»;

UЛ = U1ВЫХ - U0ВЫХ – логический перепад.

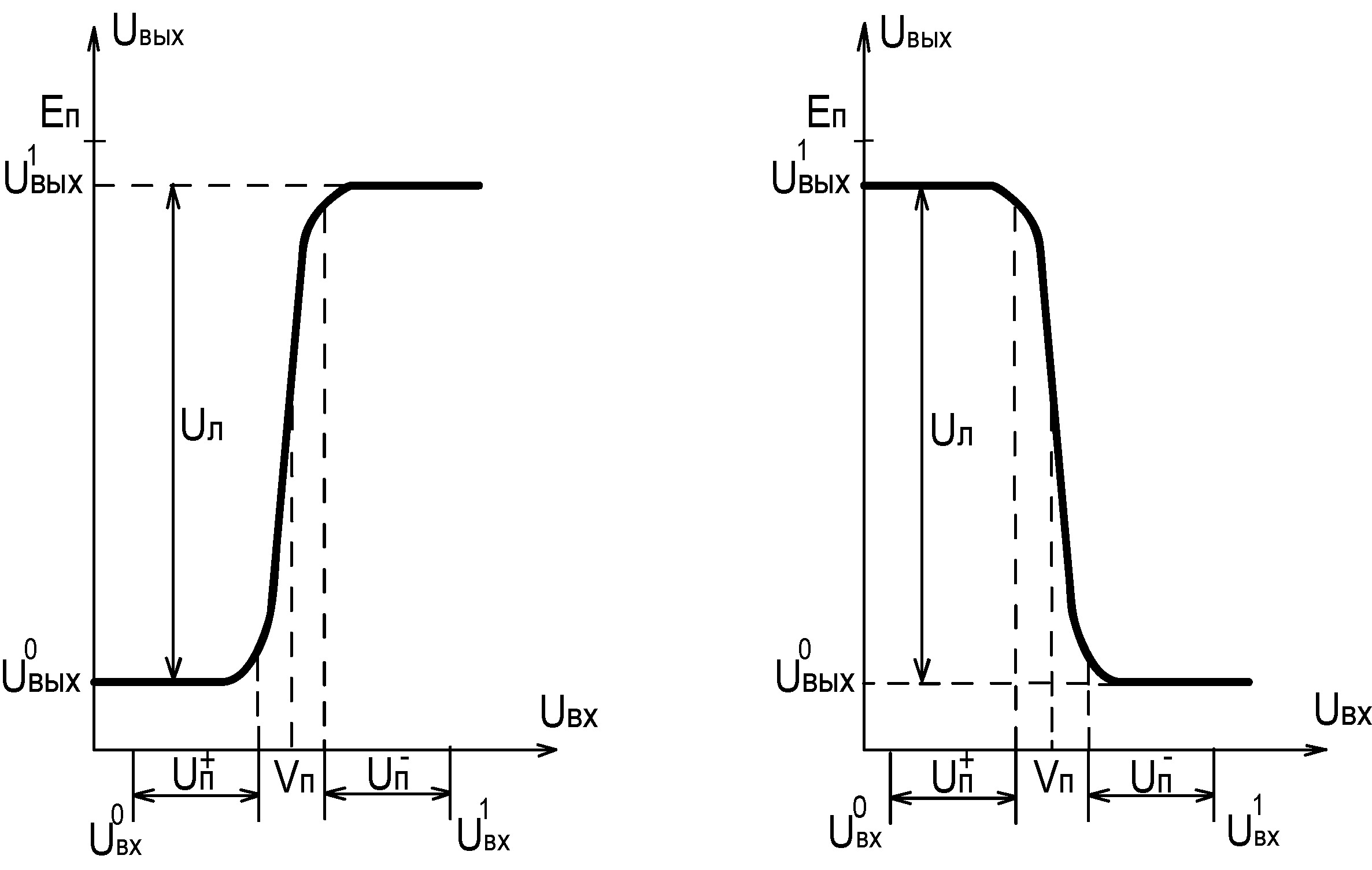


Рис.7. Переходная характеристика для схемы без инверсии (а) и с инверсией (б).

**Исследование схемы дешифратора.**

ДШ

**А**

**В**

**1**

**2**

**3**

**4**

Спроектировать и построить схему дешифратора 2 в 4 рис.8. Он имеет два входа А и В и четыре выхода, поэтому для проектирования можно использовать  4 двухвходовые схемы. На макете расположены схемы К561ЛА7 4(2И-НЕ)  Рис.8. Дешифратор 2 в 4. и К561ЛЕ5 4(2ИЛИ-НЕ), в зависимости от заданного варианта таблицы 2 или 3 необходимо использовать одну из них.

Таблица 2.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Вход** | | **Вариант 1** | | | | **Вариант 2** | | | | **Вариант 3** | | | | **Вариант 4** | | | | **Вариант 5** | | | | **Вариант 6** | | | |
|  | | **Выходы** | | | | **Выходы** | | | | **Выходы** | | | | **Выходы** | | | | **Выходы** | | | | **Выходы** | | | |
| **А** | **В** | **1** | **2** | **3** | **4** | **1** | **2** | **3** | **4** | **1** | **2** | **3** | **4** | **1** | **2** | **3** | **4** | **1** | **2** | **3** | **4** | **1** | **2** | **3** | **4** |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

Таблица 3.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Вход** | | **Вариант 7** | | | | **Вариант 8** | | | | **Вариант 9** | | | | **Вариант 10** | | | | **Вариант 11** | | | | **Вариант 12** | | | |
|  | | **Выходы** | | | | **Выходы** | | | | **Выходы** | | | | **Выходы** | | | | **Выходы** | | | | **Выходы** | | | |
| **А** | **В** | **1** | **2** | **3** | **4** | **1** | **2** | **3** | **4** | **1** | **2** | **3** | **4** | **1** | **2** | **3** | **4** | **1** | **2** | **3** | **4** | **1** | **2** | **3** | **4** |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |

В вариантах таблицы 2 лучше использовать схему 2ИЛИ-НЕ рис.5. В поле выходов имеется 16 точек проектирования из них четыре «1», можно проектировать или по «1» или по «0», «1» меньше. Однозначное соответствие входных и выходных сигналов в схеме 2ИЛИ-НЕ при «1» на выходе (смотри таблицу истинности рис.5.). При этом на оба входа необходимо подавать «0», но во входном коде могут быть «1», поэтому необходимо на оба входа поставить инверторы. Для вариантов по таблице 3 предпочтительно использовать схему 2И-НЕ рис.3. ,т.к. эти варианты легче проектировать по «0», их меньше в поле выходов. Однозначное соответствие входных и выходных сигналов в схеме 2И-НЕ при «0» на выходе (смотри таблицу истинности рис.3.). Предварительная принципиальная схема для проектирования «болванка» приведена на рис.9. Необходимо перерисовать ее в черновик и спроектировать для своего варианта соединив входы Д2 с

\_ \_

точками А, А, В, В. На схеме у элементов проставить № выводов согласно условно графическому изображению микросхем рис.4 или 6. Вместо ? в элементах Д2 проставить значок 1 или &.

?

**1**

**2**

**3**

**4**

**D2**

ГТИ

**D1**

**\_ A**

**\_ B**

**B**

**A**

Рис.9. «Болванка» схемы дешифратора.

В схеме необходимо добавить связи между входами и выходами, чтобы получить на выходе «1» или «0» при коде на входах А и В соответствующего варианта. Поставить № выводов входов и выходов и тип схемы. Построить синхронные диаграммы работы дешифратора.

**А**

**В**

**1**

**2**

**3**

**4**

**t**

**t**

**t**

**t**

**t**

**t**

Рис.10. Синхронные графики работы дешифратора.

За период сигнала В происходят все возможные ситуации входных сигналов.

Изучить раздел конспекта лекций «Комбинационная логика».

**Порядок выполнения лабораторной работы.**

1. Построение переходной характеристики ПХ логического элемента.

По заданным вариантом параметрам построить упрощенную ПХ. Параметры даны с разбросом V±∆ и Kmin-Kmak

**Uп**

**Uвх**

**Uп**

**Uвых**

**∆Uвых**

**∆Uвх**

**V**

К=∆Uвых/∆Uвх

Рис.11.Пример построения упрощенной ПХ.

ПХ имеет три области: ограничение по 0, ограничение по UП и линейная

Группа 3270 UП=9 В, с инверсией.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Вариант | **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** |
| V±∆ В | **3.5±1** | **4±2** | **4.5±2** | **5±1.5** | **5.5±1.5** | **6±1,5** | **4±1** | **4,5±1,5** | **5±2** |
| Kmin-Kmax | **15- 50** | **20 -45** | **10- 40** | **15 - 45** | **20 - 55** | **10 – 50** | **10- 30** | **15-40** | **20-50** |
| ∆Uвых В | **0.4UП** | **0.45UП** | **0.5UП** | **0.55UП** | **0.6UП** | **0.5UП** | **0,45 UП** | **0,4 UП** | **0,5UП** |

Группа 3271 UП=12 В, без инверсии.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Вариант | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
| V±∆ В | 5±1 | 5.5±2 | 6±1.5 | 6.5±2 | 7±2.5 | 7.5±2 | 5±1,5 | 6±1 | 7±2 |
| Kmin-Kmax | 15 - 45 | 20 - 50 | 14 – 40 | 20 - 45 | 20- 55 | 10 – 50 | 15- 40 | 20- 50 | 25- 45 |
| ∆Uвых В | 0.4UП | 0.5UП | 0.55 UП | 0.6UП | 0.45UП | 0.65UП | 0,4 **UП** | 0,45 **UП** | 0,5**UП** |

Необходимо построить три графика ПХ. В точке с координатами (V,∆Uвых) проводим прямую с наклоном соответствующим Кмак, а в точках с координатами (V±∆,∆Uвых) проводим прямые с наклоном соответствующим Кмин.

1. Разработать схему дешифратора по таблице истинности и нарисовать синхронные диаграммы работы.

Группа 3270.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Вариант | 1 | 2 | 3 | 4 | 5 | 6 |
| № таб.2,3 | 3 | 9 | 2 | 7 | 1 | 8 |

Группа 3271.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Вариант | 1 | 2 | 3 | 4 | 5 | 6 |
| № таб.2,3 | 10 | 5 | 11 | 6 | 12 | 4 |

Отчет оформляется на листах А4 в рукописном или компьютерном исполнении. Отчет должен содержать титульный лист, цель работы , данные варианта, схемы, формулы, расчеты, графики, вывод о проделанной работе.

# ЛАБОРАТОРНАЯ РАБОТА № 9.

# “ИЗУЧЕНИЕ СЧЕТЧИКОВ НА МИКРОСХЕМАХ СЕРИИ 561.”

Цель работы: Изучение принципов построения, структуры и способов включения разных типов счетчиков.

## ОСНОВНАЯ ЧАСТЬ.

Цифровой счетчик - электронное устройство, состоящее из триггеров и производящее счет импульсов поступающих на вход. Количество импульсов отображается двоичным кодом на выходе счетчика. Основным параметром счетчика является модуль счета Ксч – максимальное число входных импульсов, которое может сосчитать счетчик, после чего возвращается в исходное состояние. Ксч - зависит от разрядности счетчика, т.е. количества триггеров, входящих в счетчик. Каждый триггер содержит информацию о значении соответствующего ему разряда двоичного числа или выходного кода. По структурной организации счетчики делятся на последовательные, параллельные и параллельно - последовательные. В переводной а иногда в отечественной литературе последовательные счетчики называют асинхронными, а параллельные синхронными. В последовательном счетчике триггеры соединены последовательно, так что каждый последующий триггер (разряд) срабатывает после переключения предыдущего. Входная последовательность подается только на первый триггер. Ксч = 2m, где m количество триггеров в счетчике (рис.1.).

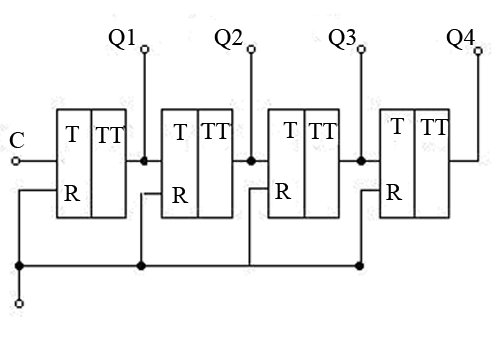


Рис.1. Схема 4Х разрядного последовательного счетчика.

У последовательных счетчиков низкое быстродействие, т.к. mй разряд срабатывает только через время tm = m\*tср.т после подачи входного импульса, где tср.т - время задержки срабатывания триггера. В моменты переключения возможны неправильные показания счетчика, это необходимо учитывать при проектировании систем на последовательных счетчиках. В параллельном счетчике входной сигнал подается на все триггеры счетчика одновременно, поэтому все разряды которые должны сработать, срабатывают одновременно (рис.2.).

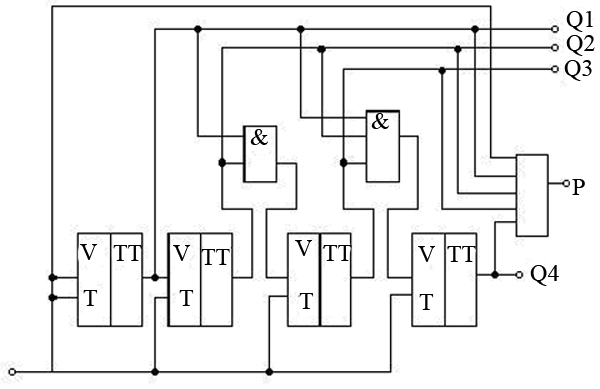


Рис.2. Схема 4Х разрядного параллельного счетчика.

Разрешение на переключение задает элемент И на входе каждого разряда. Триггер разряда переключается при наличии "I" на всех предыдущих разрядах. Синхронные счетчики имеют большее быстродействие, чем асинхронные. При наличии "I" на выходе всех триггеров формируется сигнал переноса Р. Ксч = 2m.

Разновидностью параллельных счетчиков являются счетчики на регистрах сдвига с обратной связью (рис.3.). У такого счетчика Ксч = 2m. При подаче входных импульсов разряды счетчика последовательно, начиная с первого, заполняются "I", а после m входных импульсов заполняется "0", после 2m входных импульсов цикл повторяется. Код на выходе такого счетчика соответствует коду Джонсона (рис.3.) в зависимости от количества входных импульсов.

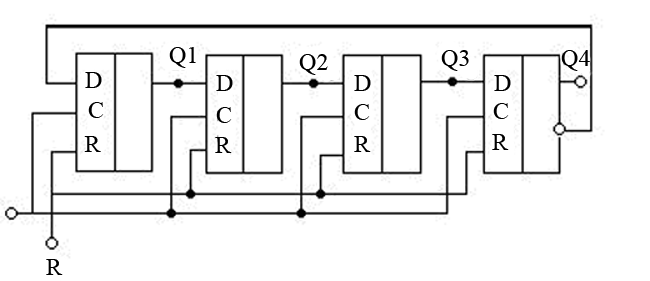


Рис.3. Схема 4Х разрядного кольцевого счетчика.

Счетчики могут быть суммирующие, вычитающие и реверсивные. В суммирующих при каждом импульсе на входе выходной код увеличивается на единицу, в вычитающих уменьшается на единицу. Реверсивный может работать в режимах прямого и обратного счета. Некоторые счетчики могут работать либо как двоичные, или как двоично - десятичные (Ксч = 10). Частота сигнала на выходе последнего разряда счетчика в Ксч раз меньше частоты входного сигнала fвых = fвх/Ксч или Твых = Ксч\*Твх. Счетчик делит входную частоту в Ксч раз.

**Делитель** электронное устройство, имеющее частоту выходной последовательности в Кд раз меньше, чем частота на входе. Делители формируют на основе двоичных счетчиков, они имеют один вход и один выход. Рассмотрим два способа

А) С использованием схемы И (рис.4.). К входам схемы И

подсоединяются те разряды счетчика, на которых будет "I" при достижении выходным кодом числа Кд. Например: Кд = Ксч = 11, выходной код 1011 с входами схемы И соединяются первый, второй и четвертый разряды счетчика (рис.4.). Выход схемы И соединяется со входом обнуления R счетчика. При достижении на выходе счетчика кода 1011 на выходе схемы И появится "I" и обнулит счетчик. Цикл счета до 11 повторится. Выходное напряжение можно снимать с выхода 4-го разряда или с выхода схемы И. Необходимо отметить, что в этой схеме длительность импульса обнуления будет равна времени задержки срабатывания схемы И (tз.ср) очень мало, что может привести к сбоям в работе делителя. Поэтому иногда ставят в цепь обнуления последовательно несколько (n) элементов типа повторитель или инвертор, тогда время обнуления t0 = tз.ср \* n. Можно применить схему на рис.4.б. с дополнительным триггером, делающую t0 = Твх.

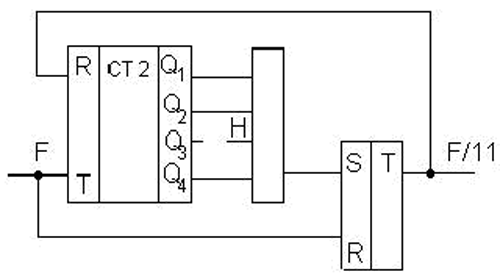
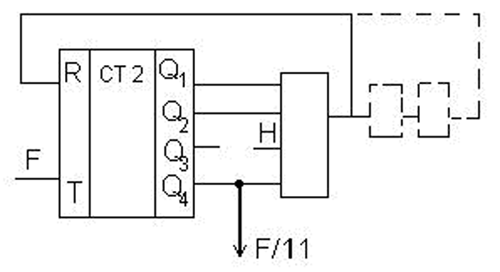


Рис.4. Схемы делителей со схемой И.

Б) Делитель с предварительной установкой исходного состояния (рис.5.). В таких счетчиках имеются входы предварительной установки Д1 - Дn код с которых переписывается в счетчик при подаче на вход записи ЕД "I". Когда на входе ЕД низкий уровень "0" или L счетчик работает в счетном режиме до заполнения всех разрядов единицами. В этот момент на выходе переноса Р появляется L, а после инвертора

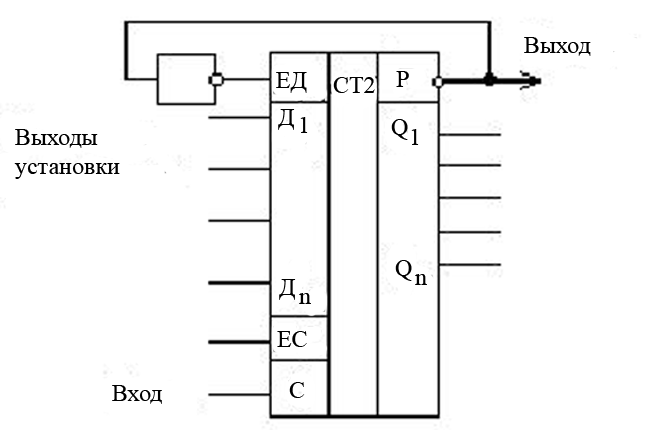
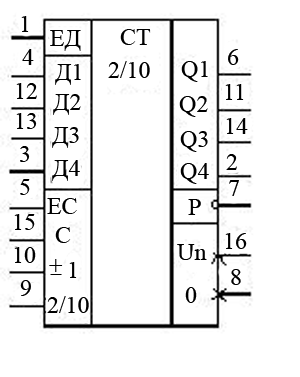
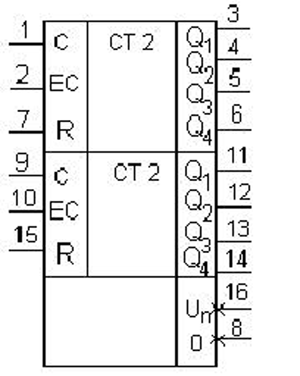
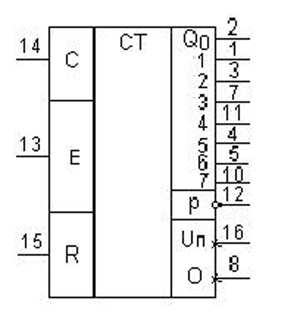


Рис.5. Схема делителя с предустановкой.

на ЕД высокий уровень (Н), происходит перезапись входного кода. Чтобы делил на КД необходимо установить входной код 2m -КД для суммирующего счетчика. Вычитающий счетчик требует входной код равный КД, после записи которого и перехода счетчика в счетный режим выходной код его будет уменьшаться до "0" во всех разрядах при этом на выходе переноса возникает уровень "0"(L), что приводит к записи входного кода и повторению цикла счета. Выходом делителя является выход переноса Р. В данной работе исследуются три счетчика из серии К561. Эта серия является функционально полной серией, т.е. на элементах, входящих в нее можно построить практически любое цифровое устройство. Серия К561 изготовляется по КМОП технологии, поэтому имеет малое статическое потребление, высокую помехоустойчивость, логический "0" - нулевое напряжение, логическая "I" напряжение питания Uп, при максимальной частоте переключений 2МГц. Дальнейшее развитие КМОП технологии серия К1554 имеет частоту переключения 100 МГц. Напряжение питания микросхем серии К561 может выбираться от 3 до 18 вольт.

Микросхема К561 ИЕ10. Содержит два синхронных четырех разрядных двоичных счетчика (рис.6.).

К561ИЕ10 К561ИЕ14 К561ИЕ9

Рис.6.Условно графическое изображение счетчиков.

Каждый счетчик состоит из 4-х Д триггеров. Входы С и ЕС (такт и разрешение такта) взаимозаменяемы и отличаются противоположными активными уровнями. Если на С подается входная последовательность, то на ЕС необходимо подавать высокий уровень Н (это "I" иначе Uп), тогда каждое приращение выходного кода будет происходить синхронно с положительным перепадом входного сигнала (переход от "0" к "I" или от L к Н или Г). При низком уровне L на входе ЕС входная тактовая частота не проходит на триггеры и выходной код не меняется, т.е. вход ЕС можно использовать для стробирования входной последовательности. Если входную тактовую частоту подавать на вход ЕС, то стробирование будет по входу С, причем активным будет низкий уровень. При этом изменение выходного кода будет синхронно с отрицательным Г фронтом напряжения на входе ЕС. При подаче уровня Н на вход сброса R, выходы всех триггеров принимают уровень L (обнуляются). В таблице 1 приведены логические состояния и импульсные переходы счетчика К561ИЕ10. Оба счетчика микросхемы могут работать параллельно или их можно каскадировать включать последовательно. Для этого выход Q3 первого счетчика следует соединить со входом ЕС последующего, подав на его тактовый вход С уровень L. При этом получается восьми разрядный асинхронный счетчик. Микросхема К561ИЕ14 - четырехразрядный синхронный реверсивный счетчик (рис. 6). Может работать как двоичный или как десятичный, на вход 2/10 в первом случае подается уровень Н, для десятичного счета уровень L. Входная последовательность импульсов подается на вход С. Вход ЕС (запрет такта или вход переноса) или L уровне позволяет входной последовательности проходить на счетчик, при уровне Н на входе ЕС счета не происходит. Для изменения модуля счета используются входы предварительной установки Д1-Д4 и вход разрешения записи ЕД. При подаче Н уровня на вход ЕД код, присутствующий на входах Д1-Д4 переписывается в соответствующие разряды счетчика Q1-Q4. Если на входах Д1-Д4 присутствует L уровень ("0"), то вход ЕД будет выполнять роль R входа. Если на входах ЕС и ЕД уровень L (счетный режим), то при каждом положительном перепаде напряжения на входе С код на выходе счетчика будет меняться на единицу в зависимости от напряжения на входе Больше/Меньше (+1/-1). При Н уровне счетчик увеличивает код и уменьшает если уровень L. Выход переноса Р имеет Н уровень, но переключается в L уровень когда в режиме +1 код достигает максимального значения (1111) или в режиме -1 выходной код становится минимальным (0000). Счетчики К561ИЕ14 можно включать синхронно: входы С объединяются, вход переноса Р предыдущего соединения со входом переноса ЕС последующего или асинхронно: выход переноса Р предыдущего соединения со входом С последующего, а на вход ЕС последующего подается L уровень. Логические состояния и импульсные переходы счетчика приведены в таблице 2. Микросхема К561ИЕ9 счетчик делитель на 8 (рис.6.). Интегральная схема ИС имеет в основе высокоскоростной синхронный счетчик Джонсона на четырех триггерах. При L уровне на выходе Е (разрешение счета) счетчик меняет код синхронно с положительным фронтом (перепадом) входных импульсов по входу С (тактовый). При Н уровне на входе Е счет прекращается. Внутренний дешифратор переводит состояние триггеров в восемь выходных сигналов от 0 до 7. Высокий Н уровень присутствует только на одном из этих выходов в зависимости от количества входных импульсов. В процессе работы счетчика на выходе переноса Р формируется последовательность импульсов со скважностью Q = 2 и частотой, равной fвх/8. При высоком уровне на входе сброса R на выходах Q0 и Р появляются уровни Н, на других выходах Q1-Q7 уровень L. Положительные фронты импульсов выхода переноса Р используются как тактовая последовательность для последующего счетчика ИЕ9. Таким образом двухкаскадное соединение получается асинхронным. Логические состояния и импульсные переходы счетчика К561ИЕ9 сведены в таблицу 3. На рис. 8 приведены функциональные схемы приведенных выше счетчиков. Для подготовки к работе необходимо составить схемы включения счетчика К561ИЕ10 для работы от положительного и от отрицательного фронта входного сигнала. Составить схемы делителей на ИС К561ИЕ10 и К561ИЕ14 с заданным Кд. Осциллограммы (заготовки) к пунктам 1 и 2.

## Описание платы счетчиков.

Все описанные выше счетчики, соответствующие им ИС и

переключатели размещены на плате №1 (рис. 7). Все одноразрядные входы и выходы выведены на одноштырьковые гнезда и обозначены на плате.

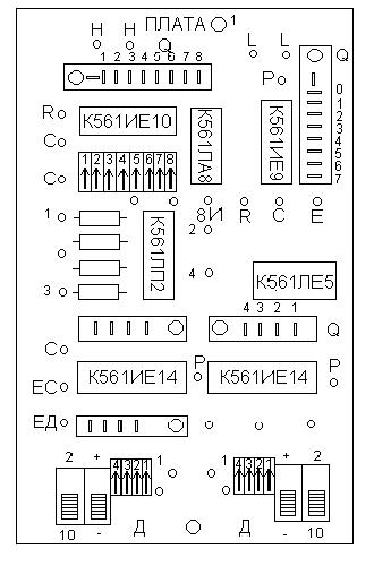


Рис.7. Монтажная схема платы счетчиков.

ИС К561ИЕ10 располагается в верхнем левом углу платы. Два ее четырехразрядных счетчика включены последовательно и составляют 8 - ми разрядный асинхронный счетчик (рис.7.). Выходы Q1-Q8 подключены к синему разъему МРН, который служит для подключения светодиодов и наблюдения процессов на выходах с помощью осциллографа. 8 - ми разрядный движковый переключатель ПМД может соединять выходы счетчика со входами схемы 8И, собранной из двух элементов ИС К561ЛА8 и одного элемента ИС К561ЛЕ5 (рис. 7.). Передвижение одного движка переключателя вверх производит подключение соответствующего разряда счетчика к схеме И. Номера разрядов написаны на переключателе. Все входы схемы 8И подключены через резисторы180 КОМ к питанию (уровню Н). Выход схемы И (ВИ) подключается в случае необходимости ко входу R ИС К561ИЕ10 отдельным проводом. Выходы ИС К561ИЕ9 Q 0-Q 7 выведены на коричневый разъем, гнезда имеют надписи номеров разрядов.

На плате имеются 2 ИС 561ИЕ14. В данной работе используется правая ИС, ее выходы подключены к синему 4 - х штырьковому разъему, а код на входах устанавливается переключателем. Передвижение движка разряда вверх подключает к этому разряду Н уровень.

**Подготовка к лабораторной работе. Расчетное задание.**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |
| Параметр |  |  |  |  |  |  |  |  |  |
| Размерность |  |  |  |  |  |  |  |  |  |
| Величина |  |  |  |  |  |  |  |  |  |

## Порядок выполнения работы.

Изучить схему и устройство платы №1, определить расположение счетчиков, их входов и выходов, назначение переключателей.

Включить питание стенда и осциллографа.

1. Исследование ИС К561ИЕ10.

а) Снятие синхронных временных осциллограмм напряжений счетчика

ГТИ

1

8

R CT2 Q1

Q2

C Q3

Q4

ЕС Q5

Q6

Q7

Q8

Осциллограф

Синхр.

Рис.8. Схема исследований..

Включить питание макета, переключатель тип питания в положении ± 6 В. Собрать схему рис.8., зарисовать синхронную диаграмму рис.9.

Засинхронизировать осциллограф отрицательным фронтом L напряжения с выхода Q 5. Сигнальный вход подключен к Q5 на экране должно помещаться 0,7 периода этого напряжения, при этом в отчете полпериода должны занимать 16 клеток (делений). Рис.9.

Q5

Q4

Q3

Q2

Q1

C

t1

t

t

t

t

t

t

Рис.9. Синхронные диаграммы работы счетчика.

Зарисовать в одной системе координат по времени (одну под другой) синхронные осциллограммы напряжений на входе С и выходах Q1, Q2, Q3, Q4. Q5 уже нарисована раньше, на осциллографе необходимо измерить длительность полупериода сигнала Q5 t1 и нанести его на график, чтобы привязать 16 клеток к реальному времени. Подключатся к выводам микросхемы синий разъем с помощью переходников. Выключить макет и разобрать схему.

б) Исследование делителя с заданным Кд.

Собрать схему представленную на рис.10.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Вариант |  | А | Б | В | Г | Д | Е | Ж | З |
| 8 –ми разр. сч  К561ИЕ10 | КД | 135 | 150 | 175 | 200 | 220 | 250 | 165 | 235 |
| К561ИЕ14 | КД | 11 | 12 | 13 | 14 | 11 | 12 | 13 | 14 |

**D2**

**Uвх**

**Uвых**

**D1**

**S1**

**E**

**R1-R8**

ГТИ

1

8

Осциллограф

Синхр.

R CT2 Q1

Q2

C Q3

Q4

ЕС Q5

Q6

Q7

Q8

&

Рис.10. Схема делителя.

Необходимо перевести заданное значение КД в двоичный код

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 128 | 64 | 32 | 16 | 8 | 4 | 2 | 1 |

Например КД=165; 165-128=37-32=5-4=1-1

От КД отнимается старший разряд если он присутствует в числе во второй строчке таблицы ставится 1 в соответствующем разряде от разности вычитается следующий разряд если значение разряда больше разности в этом разряде ставится 0 и вычитается следующий разряд и т .д. до разности 0. Значение двоичного кода набирается на восьмиразрядном переключателе, (1 вверх) старший разряд справа, младший слева.

Подключить выход схемы И к входу R.

Измерить периоды выходного Uвых( Q8) и входного сигналов Uвх (С) определить значение Кд. Зарисовать осциллограмму Uвых (Q 8). КД=ТВЫХ/ ТВХ

в) Стробирование входного сигнала.

На вход С подать сигнал с вывода 1 генератора, а на вход ЕС с вывода 4, этим сигналом засинхронизировать осциллограф Г.

Зарисовать в одном временном масштабе осциллограммы на входах С, ЕС и выходе Q 1. Посмотрите напряжения на выходах Q2, Q3, Q4, объясните их форму.

г) Наблюдение работы делителя с помощью светодиодов.

Установить частоту входного сигнала примерно 2Гц. В выходной разъем включить линейку светодиодов, наблюдать срабатывание разрядов при различных Кд, отмечая максимальный код на выходе.

2. Исследование ИС К561ИЕ9.

а) Осциллограммы работы счетчика.

Подключить напряжения на входы счетчика С, Е, R для запуска положительным фронтом входного сигнала fвх = 10 кГц. Засинхронизировать осциллограф от положительного фронта сигнала с выхода переноса Р. Развертку установить так, чтобы на экране было 1,5 периодов сигнала переноса.

Зарисовать осциллограммы напряжений на входе и выходах Q0-Q7, Р в одном временном масштабе, одна осциллограмма под другой. В отчете привести схему измерений.

б) Исследование счетчика с помощью светодиодов.

В выходной разъем (коричневый) включить светодиодную линейку. Объяснить почему горят все диоды. Уменьшить частоту входного сигнала до 2 Гц, наблюдать работу счетчика.

3. Исследование ИС К561ИЕ14.

a) Работа счетчика в двоичном десятичном режимах.

Подключить напряжения на входы левого счетчика С, ЕД, ЕС для счетного режима. Fвх = 2Гц. На выходной разъем подключить светодиодную линейку. Наблюдать максимальный код на выходе при двух положениях переключателя 2/10.

б) Прямой счет.

Собрать делитель с заданным Кд при прямом счете. С помощью светодиодов определить максимальный и минимальный коды.

в) Обратный счет.

Собрать делитель с заданным Кд при обратном счете. С помощью светодиодов определить максимальный и минимальный коды.

По пунктам а, б, в в отчете привести схемы измерений.