**Методика выполнения задачи № 3.**

 Разработать принципиальную электрическую схему логического устройства ( шифратора типа 4 в 1) в базисе элементов 2И-НЕ, 2ИЛИ- НЕ, НЕ серии К561 (в проектируемой схеме должны присутствовать только перечисленные элементы).

 Существуют два варианта : задан алгоритм в виде формулы или принципиальная электрическая схема построенная на других элементах.

В первом случае возможны несколько способов решения задачи: заданный алгоритм преобразуется к двух элементным функциям с помощью выражений алгебры логики( Булевой алгебры) и по полученному алгоритму составляется схема; по заданному алгоритму составляется промежуточная схема с много элементными функциями и она преобразуется схемотехническими методами к двухвходовым элементам и другие способы.

Во втором варианте необходимо составить алгоритм по заданной схеме устройства, а затем используя любой выше приведенный способ построить схему на двухвходовых элементах. В работе приведена методика проектирования устройства схемотехническими методами.

 **Простые логические схемы, используемые при решении задачи.**

Элемент инвертор (схема «НЕ»).





Рис.1.Обозначение инвертора, Рис.2.Условно-графическое алгебраическое выражение обозначение микросхемы операции и таблица истиности. К561ЛН2.

 Микросхема К561ЛН2 содержит 6 инверторов. На больших принципиальных схемах элементы могут размещаться раздельно при этом каждый элемент содержит в обозначении к какой микросхеме этот элемент относится и его номер D1.1- первый элемент микросхемы D1. Питание может на сложных схемах не обозначаться. Обозначение номеров выводов элементов обязательно. Если в схеме больше 6 инверторов, берется еще такая же микросхема с другим номером.

 **Схема “И”. Логическое умножение.**

 Схема 2И Схема 2И-НЕ



**C**

**&**

**В**

**А**

**&**

**В**

**А**

**C**

  

  

 Рис.3. Обозначение ,алгебраические Рис.4.Условно-графическое выражения , таблицы истинности обозначение микросхемы схем 2И и 2И-НЕ. К561ЛА7 4(2И-НЕ).

В схемотехнике чаще используют схему 2И-НЕ промышленность ее больше выпускает. В некоторых сериях схема 2-И отсутствует. Значек ^ логическое умножение трудно читается в больших выражениях алгоритмов, мы будем использовать арифметическое умножение ( \*) подразумевая что операция логическое умножение.

 Однозначное соответствие входных и выходного сигналов в последней строке таблицы истинности она используется при проектировании логических узлов.

 **Схема «ИЛИ».Логическое сложение.**

Схема 2 ИЛИ Схема 2ИЛИ-НЕ

**C**

**1**

**В**

**А**

**1**

**В**

**А**

**C**

 

  

 Рис.5. Графические обозначения, Рис.6. Цокалевка микросхемы алгебраическое выражение, таблица К561ЛЕ5 4(2ИЛИ-НЕ). истиности для схем 2ИЛИ, 2ИЛИ-НЕ.

 Если задан алгоритм его с помощью законов Булевой алгебры преобразовывают к операциям содержащим два операнда, предусматривая инверсию после операции.

**------ А\*В=А+В**

**\_ В**

**\_ А**

**В**

**А**

**2ИЛИ**

**&**

**------ А+В=А\*В**

**\_ В**

**\_ А**

**В**

**А**

**2И**

**1**

 Рис.7. Пояснение к законам дуальности.

 \_ \_ \_\_\_ **------ \_ \_ \_\_\_\_ -----**

 **А+В = А\*В или А+В = А\*В ; А\*В = А +В или А\*В = А + В .**

 При проектировании логических устройств часто используется закон де Моргана (дуальности) преобразование операции И в операцию ИЛИ путем инвертирования операндов и результата рис. 7. При выполнении задания можно оперировать алгебраическими

выражениями, либо схемотехническим представлением задания. Для примера заменим элемент 4И элементами НЕ, 2И-НЕ, 2ИЛИ-НЕ.

&

**А**

**С**

**В**

**Д**

**А\*В\*С\*Д**

**\_\_\_ А\*В**

**А\*В\*С\*Д**

**-------------**

**А\*В+С\*Д**

**А**

**В**

&

1

**Д**

**С**

&

**\_\_\_ С\*Д**

&

**Д**

**С**

**С\*Д**

**А\*В**

&

**А**

**В**

&

**\_\_\_ А\*В**

**\_\_\_ С\*Д**

**А\*В\*С\*Д**

**\_\_\_\_\_\_\_**

**А\*В\*С\*Д**

Рис.8. Варианты воплощения схемы 4И.

**6**

**2**

**1**

**Д2.1.**

**---------**

**X2\*X4**

**5**

**4**

**Х2**

**Д1.2.**

**3**

**Д2.2.1.**

**&**

**4**

**13**

**------------**

**X3+X2\*X4**

**Д3.3.**

**12**

**10**

 **1**

**--------------------**

**X2\*X3\*X4+X3\*X4**

**&**

**2**

**Д1.1.**

**1**

**Х1**

**2**

**3**

**1**

**Д3.1.**

 **1**

**-------**

**X1\*X3**

**3**

**&**

**--------------- X1\*X2\*X3\*X4**

**Д1.4.**

**Д2.4.**

**11**

**&**

**Y**

 **1**

**Х3**

**Д1.3.**

**6**

 **1**

**Х4**

**5**

 **.**

**8**

**9**

**12**

**13**

**Д3.4.**

**11**

**8**

**9**

**10**

**8**

**-------**

**X2\*X4**

**9**

**----------**

**X3+X4**

**4**

**5**

**6**

**Д2.3.**

**Д3.2.**

 **Д1 К561ЛН2**

 **Д2 К561ЛА7**

 **Д3 К561ЛЕ5**

 Рис.9. Возможный вариант решения задачи.

  **\_\_ \_\_ \_\_ \_\_ \_\_**

  **Y= X1\*X2\*X3\*X4+ X2\*X3\*X4+X3\*X4.**

Отчет выполняется на листах формата А4 в рукописном или компьютерном виде. Отчет содержит: вариант, условие задачи, алгоритм, схему в базисе НЕ, 2И-НЕ, 2ИЛИ-НЕ на микросхемах серии К561, перечень использованных микросхем, фамилию и группу исполнителя.

 Варианты заданий по группам даны в разделе «Задание 2».

 № варианта соответствует порядковому номеру исполнителя в журнале группы.