

ФЕДЕРАЛЬНОЕ АГЕНТСТВО СВЯЗИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ТЕЛЕКОММУНИКАЦИЙ ИМ. ПРОФ. М.А. БОНЧ-БРУЕВИЧА»
(СПбГУТ)

АРХАНГЕЛЬСКИЙ КОЛЛЕДЖ ТЕЛЕКОММУНИКАЦИЙ (ФИЛИАЛ) СПбГУТ
(АКТ (ф) СПбГУТ)

УТВЕРЖДАЮ
Зам. директора по учебной работе
Н.В. Калинина
2018 г.

Составил
Е.Г. Флейшман

ОП.04 ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА

Программа, теоретические основы, методические указания по
изучению дисциплины, контрольное задание для
студентов заочной формы обучения

по специальности

11.02.09 – Многоканальные телекоммуникационные системы

Архангельск 2018

Е.Г. Флейшман. ОП.04 Вычислительная техника. Программа, теоретические основы, методические указания по изучению дисциплины, контрольное задание. - Архангельск. АКТ (ф) СПбГУТ, 2018.

Рассмотрено и одобрено цикловой комиссией Информационных технологий и математических дисциплин АКТ (ф) СПбГУТ.

Пособие содержит учебную карту дисциплины, задания для домашней контрольной работы, теоретические основы и методические указания по выполнению заданий, список использованных источников.

СОДЕРЖАНИЕ

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА	4
1. Учебная карта дисциплины ОП.04 Вычислительная техника	6
2. Введение.	
Раздел 1. Математические и логические основы вычислительной техники	9
3. Раздел 2. Логические основы ЭВМ	15
4. Раздел 3. Типовые узлы ЭВМ	24
5. Раздел 4. Устройства ЭВМ	31
6. Раздел 5. Микропроцессоры (МП) и микропроцессорные системы (МПС)	31
7. Контрольная работа	33
Приложение А. Общие правила построения УГО	64
Приложение Б. Третий элемент маркировки ИМС	67
Приложение В. Условное графическое обозначение микросхем логических элементов и устройств	68
Приложение Г. Варианты алгоритмов для задания № 5 контрольной работы	83
Приложение Д. Принцип построения и функционирования схем цифровых устройств	93
8. Экзаменационные вопросы по дисциплине	
ОП.04 Вычислительная техника	101
Список использованных источников	103

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

Дисциплина ОП.04 Вычислительная техника является частью программы подготовки специалистов среднего звена в соответствии с ФГОС по специальности СПО 11.02.09 Многоканальные телекоммуникационные системы и входит в общепрофессиональный цикл.

Цель изучения дисциплины состоит в формировании базовой подготовки студентов в области цифровых устройств и микропроцессорных систем для изучения профилирующих дисциплин, развития навыков практического использования цифровой техники в современных системах связи. Цифровые методы обработки информации и цифровые устройства широко применяются в системах передачи и распределения информации, в телевизионной и радиовещательной аппаратуре.

Дисциплина ОП.04 Вычислительная техника является базой для дисциплин, связанных с вопросами аппаратной реализации устройств систем связи.

В результате освоения дисциплины обучающийся должен:
уметь:

- использовать типовые средства вычислительной техники и программного обеспечения в профессиональной деятельности;
- осуществлять перевод чисел из одной системы счисления в другую, применять законы алгебры логики;
- строить и использовать таблицы истинности логических функций, элементов и устройств;

знать:

- виды информации и способы ее предоставления в ЭВМ;
- логические основы ЭВМ, основы микропроцессорных систем;
- типовые узлы и устройства ЭВМ, взаимодействие аппаратного и программного обеспечения ЭВМ.

Перечень формируемых компетенций:

Общие компетенции (ОК):

ОК 1. Понимать сущность и социальную значимость своей будущей профессии, проявлять к ней устойчивый интерес.

ОК 2. Организовывать собственную деятельность, выбирать типовые методы и способы выполнения профессиональных задач, оценивать их эффективность и качество.

ОК 3. Принимать решения в стандартных и нестандартных ситуациях и нести за них ответственность.

- ОК 4. Осуществлять поиск и использование информации, необходимой для эффективного выполнения профессиональных задач, профессионального и личностного развития.
- ОК 5. Использовать информационно-коммуникационные технологии в профессиональной деятельности.
- ОК 6. Работать в коллективе и команде, эффективно общаться с коллегами, руководством, потребителями.
- ОК 7. Брать на себя ответственность за работу членов команды (подчиненных), результат выполнения заданий.
- ОК 8. Самостоятельно определять задачи профессионального и личностного развития, заниматься самообразованием, осознанно планировать повышение квалификации.
- ОК 9. Ориентироваться в условиях частой смены технологий в профессиональной деятельности.

Профессиональные компетенции (ПК):

- ПК 1.1. Выполнять монтаж и техническое обслуживание кабелей связи и оконечных кабельных устройств.
- ПК 1.2. Выполнять монтаж, первичную инсталляцию, мониторинг и диагностику цифровых и волоконно-оптических систем передачи.
- ПК 1.4. Проводить измерения параметров цифровых каналов, трактов, анализировать результаты измерений.

В процессе изучения дисциплины большая часть часов отводится на самостоятельную внеаудиторную работу, которая является основной частью усвоения дисциплины и выполняется в межсессионный период. Самостоятельная внеаудиторная работа включает изучение теоретического материала и ознакомление с решением типовых задач, выполнение одной домашней контрольной работы.

Для успешного выполнения контрольной работы студент должен самостоятельно изучить соответствующий теоретический материал и ознакомиться с решением типовых задач, приведенных в настоящем пособии. Контрольная работа составлена так, что если студент выполняет её самостоятельно, то подготовка его к экзамену займет небольшое время.

Работа должна быть оформлена аккуратно в отдельной ученической тетради в клетку с отчерченными полями, все страницы должны быть пронумерованы. Последовательность заполнения тетради: условие задачи №1

(полностью)- ее решение, условие задачи №2 (полностью)- ее решение и т.д. После решения последней задачи приводится список использованных источников, личная подпись и дата выполнения работы. Работа высыпается на рецензирование в соответствии с учебным графиком. После получения зачтенной работы студент должен внести исправления в соответствии с рецензией и показать их преподавателю во время экзаменационной сессии до экзамена. Если работа не зачтена, то в этой же тетради должны быть заново решены задачи, указанные преподавателем; затем тетрадь высыпается для повторного рецензирования.

При оценивании домашней контрольной работы студента учитывается следующее: качество выполнения практической части работы, качество оформления отчета по контрольной работе.

Работа оценивается следующим образом: «зачёт» - 80%-100% правильных ответов, «незачёт» - менее 80% правильных ответов. Стоимость каждого задания 1 балл. За правильное и логичное изложение ответа студент получает 1 балл. Если ответ правильный, но содержание и форма ответа имеют отдельные неточности, студент получает 0,5 балла. За неверный ответ или его отсутствие баллы не начисляются.

Без представленной зачтенной контрольной работы студенты к сдаче экзамена не допускаются.

1 Учебная карта дисциплины ОП.04 Вычислительная техника

Наименование разделов и тем	Максимальная нагрузка студента	Самостоятельно	Количество часов		
			обзорные	Аудиторных	
				Лабораторные занятия	Практические занятия
Раздел 1. Информационные основы ЭВМ	22	22			
Тема 1.1 Введение	3	3			
Тема 1.2 Кодирование информации	4	4			
Тема 1.3 Системы счисления	6	6			
Тема 1.4 Выполнение арифметических операций	9	9			
Раздел 2. Логические основы ЭВМ	29	23	4		2
Тема 2.1 Логические функции и схемы	12	10	2		
Тема 2.2 Синтез логических устройств	11	7	2		
<i>Практическое занятие</i> Синтез комбинационного логического устройства с применением карт Карно					2
Тема 2.3 Программы компьютерного моделирования	6	6			
Раздел 3. Типовые узлы ЭВМ	64	46	4	14	
Тема 3.1 Шифраторы и дешифраторы	9	4	1		
<i>Лабораторная работа</i> Исследование шифраторов					2
<i>Лабораторная работа</i> Исследование дешифраторов					2
Тема 3.2 Мультиплексоры и демультиплексоры	10	5	1		
<i>Лабораторная работа</i> Исследование мультиплексоров					2
<i>Лабораторная работа</i> Моделирование электронного коммутатора					2

Наименование разделов и тем	Максимальная нагрузка студента	Самостоятельно	Количество часов		
			обзорные	Аудиторных	Лабораторные занятия
Тема 3.3 Триггеры в интегральном исполнении	8	6			
<i>Лабораторная работа</i> Исследование триггеров				2	
Тема 3.4 Регистры	7	4	1		
<i>Лабораторная работа</i> Исследование регистров				2	
Тема 3.5 Счетчики	9	6	1		
<i>Лабораторная работа</i> Исследование интегральных счетчиков				2	
Тема 3.6 Сумматоры	6	6			
Тема 3.7 Кодопреобразователи, ПЛМ, ПЛИС	6	6			
Тема 3.8 Распределители, синхрогенераторы, цифровые компараторы	6	6			
Тема 3.9 Аналогово-цифровые и цифроаналоговые преобразователь	3	3			
Раздел 4. Устройства ЭВМ	19	19			
Тема 4.1 Запоминающие устройства ЭВМ	8	8			
Тема 4.2 Процессоры ЭВМ	8	8			
Тема 4.3 Интерфейсы в ВТ	3	3			
Раздел 5. Микропроцессоры МП и микропроцессорные системы МПС	10	10			
Тема 5.1 Архитектура МП	3	3			
Тема 5.2 Архитектура МПС	4	4			
Тема 5.3 Применение средств вычислительной техники СВТ в технике связи	3	3			
Всего часов:	144	120	8	14	2

Введение

Основные сведения в ВТ. Понятие вычислительного устройства. История развития ВТ. Классификация вычислительных устройств. Задачи курса.

РАЗДЕЛ 1. МАТЕМАТИЧЕСКИЕ И ЛОГИЧЕСКИЕ ОСНОВЫ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

Тема 1.2. Кодирование информации

Кодирование информации. Коды. Применение в ЭВМ. Двоичные, позиционные, комбинационные, самокорректирующиеся, параллельные, последовательные. Признаки сигнала: амплитудный, фазовый, полярный, частотный, временной, импульсный. Формы представления чисел: с фиксированной и плавающей точкой.

Тема 1.3. Системы счисления

Системы счисления. Позиционные системы счисления: 10, 2, 8, 16, 2-10. Перевод из одной системы счисления в другую. Формы представления чисел в ЭВМ.

Цифровые технологии используют разнообразные системы счисления, наиболее распространены десятичная, двоичная, восьмеричная и шестнадцатеричная. Десятичная система счисления, естественно, наиболее значима для нас. Изучение некоторых характеристик десятичной системы поможет лучше понять другие системы счисления, так как все эти системы являются позиционными.

Десятичная система счисления

Основание системы счисления - 10

Десятичная система счисления состоит из десяти цифр - символов: 0,1,2,3,4,5,6,7,8,9. Используя их в качестве разрядов числа, можно выразить любую величину. Значение разряда зависит от его положения. Например: десятичное число 453 представляет 4 сотни, 5 десятков, 3 единицы. 4-старший значащий разряд (СЗР) - несет на себе вес всех трех разрядов. Число 3 - несет наименьший вес и называется младшим значащим разрядом (МЗР).

Любое число - это сумма произведений каждого разряда на его позиционную величину. $4 \cdot 10^2 + 5 \cdot 10^1 + 3 \cdot 10^0$.

Позиционные значения (веса) 10^3 10^2 10^1 10^0 , 10^{-1} 10^{-2} 10^{-3} и т. д.

целая часть числа десят. запятая дробн. часть числа

Двоичная система счисления

Основание системы счисления 2.

Существует только два символа: 0, 1.

В двоичной системе можно выразить любую величину, но требуется большое количество разрядов. Каждый разряд имеет свое собственное значение или вес, выраженный степенью 2. Позиции слева от двоичной точки (запятой) являются положительными степенями цифры 2, а места справа – отрицательными.

Позиционные значения (веса). $2^3 2^2 2^1 2^0, 2^{-1} 2^{-2} 2^{-3}$ т.д.

целая часть числа дв. запятая дробная часть числа

Степень 2	2^{10}	2^9	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0	2^{-1}	2^{-2}	2^{-3}	2^{-4}
Значение веса в 10 системе счисления	1024	512	256	128	64	32	16	8	4	2	1	0.5	0.25	0.125	0.0625

Восьмеричная система счисления

Основные системы счисления 8

Состоит из восьми возможных цифр 0,1,2,3,4,5,6,7

Позиции разрядов восьмеричного числа имеют следующие веса:

и т.д. $8^4 8^3 8^2 8^1$, $8^{-1} 8^{-2} 8^{-3} 8^{-4}$ и т.д.
 целая часть восьм. запят. дробная часть

Степень 8	8^5	8^4	8^3	8^2	8^1	8^0	8^{-1}	8^{-2}	8^{-3}
Значение веса в 10 системе счисления	32768	4096	512	64	8	1	0.125	0.015625	0.00195

Шестнадцатеричная система счисления

Основные системы счисления 16

Состоит из 16 возможных символов: цифры от 0 до 9 и буквы A, B, C, D, E, F

Позиции разрядов шестнадцатеричного числа имеют следующие веса:

и т.д. $16^3 16^2 16^1 16^0$, $16^{-1} 16^{-2} 16^{-3} 16^{-4}$ и т.д.
 целая часть шестн. запят. дробная часть

Степень 16	16^4	16^3	16^2	16^1	16^0	16^{-1}	16^{-2}	16^{-3}
Значение веса в 10 системе счисления	65536	4096	256	16	1	0.0625	0.00390	0.00024

Двоично-десятичный код

Когда числа, буквы или слова представлены специальной группой символов, говорят, что они закодированы, а такую группу чисел и слов называют кодом. Например, код Морзе, в котором последовательность точек и тире представляют буквы алфавита. Если каждый разряд десятичного числа представить двоичном эквивалентом, то результат получим в виде кода, который называется двоично-десятичным кодом (Binary - Coded -Decimal - BCD) Так как десятичный разряд может быть равен 9 - требуется четыре бита, чтобы закодировать каждый разряд. Двоичный код 9 равен 1001, десятичное число 943 имеет двоично - десятичный код.

1001 0100 001
9 4 3

Таблица соотношений между десятичной, двоичной, восьмеричной, шестнадцатеричной системами счисления

Десятич- ная система счисле- ния	Двоично- десятичная система	Двоич- ная система	Восьме- ричная система	Двоичное представление коэф. восьм. системы	Шестнадца- теричная система	Двоичное представление коэф. шестн. системы
0	0000	0	0	000	0	0000
1	0001	1	1	001	1	0001
2	0010	10	2	010	2	0010
3	0011	11	3	011	3	0011
4	0100	100	4	100	4	0100
5	0101	101	5	101	5	0101
6	0110	110	6	110	6	0110
7	0111	111	7	111	7	0111
8	1000	1000	10	001000	8	1000
9	1001	1001	11	001001	9	1001
10	00010000	1010	12	001010	A	1010
11	00010001	1011	13	001011	B	1011
12	00010010	1100	14	001100	C	1100
13	00010011	1101	15	001101	D	1101
14	00010100	1110	16	001110	E	1110
15	00010101	1111	17	001111	F	1111

Перевод чисел из одной системы счисления в другую

Преобразование чисел из двоичной, восьмеричной, шестнадцатеричной в десятичную систему счисления

Двоичная восьмеричная, шестнадцатеричная системы счисления являются позиционными, т.е. каждый разряд несёт определенный вес, зависящий от его положения, относительно младшего значащего бита (мзб). Следовательно, любое из чисел может быть переведено в десятичный эквивалент с помощью умножения каждого разряда на его позиционный вес и суммирования этих произведений.

Перевести в десятичный эквивалент:

1. Двоичное число $11011,01_2$

$$\begin{aligned} 11011,01_2 &= 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 + 1 \cdot 2^{-1} + 1 \cdot 2^{-2} = \\ &= 1 \cdot 16 + 1 \cdot 8 + 0 \cdot 4 + 1 \cdot 2 + 1 \cdot 1 + 0 \cdot 1/2 + 1 \cdot 1/4 = 16 + 8 + 2 + 1 + \\ &0.25 = 27.25_{10} \end{aligned}$$

2. Восьмеричное число 124.6_8

$$\begin{aligned} 124.6_8 &= 1 \cdot 8^2 + 2 \cdot 8^1 + 4 \cdot 8^0 + 1 \cdot 8^{-1} = 1 \cdot 64 + 2 \cdot 8 + 4 \cdot 1 + 6/8 = \\ &= 64 + 16 + 4 + 0.75 = 84.75_{10} \end{aligned}$$

3. $2AE,F_{16} = 2 \cdot 16^2 + A \cdot 16^1 + E \cdot 16^0 + F \cdot 16^{-1} = 2 \cdot 256 + 10 \cdot 16 + 14 \cdot 1 + 15/16 =$

$$= 512 + 160 + 14 + 15/16 = 512 + 160 + 14 + 0.937 = 685.937_{10}$$

4. Число в двоично-десятичном коде:

$$\underbrace{0101}_{5}, \underbrace{1000}_{8}, \underbrace{0111}_{7} = 58.7_{10}$$

5 8 7

Преобразование из шестнадцатеричной, восьмеричной систем счисления - в двоичную. Из двоичной системы счисления - в восьмеричную и шестнадцатеричную

Перед выполнением этих преобразований необходимо помнить, что каждый восьмеричный разряд конвертируется в трехбитовый эквивалент двоичного, каждый шестнадцатеричный разряд конвертируется в четырехбитовый эквивалент.

$$375,21_8 = 011\ 111\ 101, 010\ 011_2 = 011111101,01000100_2 = FD,44_{16}$$

A B 3 F

$$AB,3F_{16} = 1010\ 1011, 0011\ 1111_2 = 10101011,00111111_2 = 253,176_8$$

Преобразование двоичных чисел в восьмеричные или шестнадцатеричные повторяет рассмотренные преобразования, но в обратном порядке: разряды двоичного числа распределяются в группы по три бита влево и вправо от запятой - в случае перевода в восьмеричную систему; по четыре бита - в случае перевода в шестнадцатеричную, затем каждая группа преобразуется в соответствующий эквивалент.

$$\begin{array}{ccccccc}
 & 3 & 2 & 6 & 6 & 4 & \\
 & \swarrow & \swarrow & \swarrow & \swarrow & \swarrow & \\
 11010110, 11010_2 = 011 & 010 & 110, 110 & 100_2 = 326,64_8 \\
 D & 6 & D & 0 & & & \\
 \swarrow & \swarrow & \swarrow & \swarrow & & & \\
 1101 & 0110, 1101 & 0000_2 = D6, D_{16}
 \end{array}$$

Преобразование шестнадцатеричных чисел в восьмеричные осуществляется с помощью промежуточного преобразования в двоичные числа.

$$\begin{array}{ccccccc}
 & C & 9 & 1 & F & 3 & \\
 & \swarrow & \swarrow & \swarrow & \swarrow & \swarrow & \\
 C91,F3_{16} = 1100 & 1001 & 0001, 1111 & 0011 & 10 & = 6221,746_8 \\
 \swarrow & \swarrow & \swarrow & \swarrow & \swarrow & & \\
 6 & 2 & 2 & 1 & 7 & 4 & 6
 \end{array}$$

Преобразуем в двоичный эквивалент, затем распределяем в группы по 3 бита и каждую группу записываем в восьмеричное число.

$$\begin{array}{ccccc}
 & 7 & 5 & 1 & 4 & 2 \\
 & \swarrow & \swarrow & \swarrow & \swarrow & \swarrow \\
 751,42_8 = 000 & 111 & 101 & 001, 100 & 010 & 00 = 1E9,88_{16}
 \end{array}$$

Преобразуем в двоичный эквивалент, затем распределяем в группы по 4 бита и каждую группу записываем в шестнадцатеричных числах.

Преобразование чисел из десятичной системы счисления в двоичную, восьмеричную, шестнадцатеричную системы счисления

Преобразование десятичных чисел в двоичные, восьмеричные, шестнадцатеричные можно выполнять методом последовательного деления на 2, на 8, на 16 целой части числа с записью частного и остатка после каждого такого деления пока частное в целых числах не будет больше 0. Обратите внимание, что результат, полученный при записи первого остатка, записан будет на месте младшего разряда, а последний - на месте старшего.

	Частное	Остаток
$177 \setminus 2 =$	88	1 Младший разряд
$88/2 =$	44	0
$44/2 =$	22	0
$22/2 =$	11	0
$11/2 =$	5	1
$5/2 =$	2	1
$2/2 =$	1	0 Старший разряд

	Частное	Остаток
$177/8 =$	22	1 Младший разряд
$22/8 =$	2 Старший разряд	6

$$177_{10} = 261_8$$

	Частное	Остаток
$177/16 =$	11 Старший разряд	1 Младший разряд

11 соответствует знаку В

$$177_{10} = B1_{16}$$

$$177_{10} = 10110001_2 = 261_8 = B1_{16}$$

$$177,33_{10} = 10110001,01_2 = 261,25_8 = B1,54_{16}$$

При переводе дробной части десятичного числа выполняется умножение ее на основание новой системы счисления.

$$177,33_{10}$$

0,	33·2
0	66·2
1	32·2
0	64

$$0,01_2$$

0,	33·8
2	64·8
5	12·8
0	96

$$0,25_8$$

0,	33·16
5	28·16
4	88

$$0,54_{16}$$

РАЗДЕЛ 2. ЛОГИЧЕСКИЕ ОСНОВЫ ЭВМ

Тема 2.1. Основы теории переключательных функций

Логические функции и схемы. Способы представления логических функций: словарное, табличное, формульное, графическое. Условные графические обозначения (УГО) логических элементов. Основные законы и тождества алгебры логики. Понятие логического базиса. Базисы И-НЕ; ИЛИ-НЕ; И, ИЛИ, НЕ. Логические элементы ТТЛ, ТЛШ, ЭСЛ, МОП, КМОП, ИСЛ: схемы, параметры.

К элементарным логическим функциям относят функции: *инверсии, дизъюнкции и конъюнкции*.

Инверсия (отрицание, операция НЕ). Если есть некоторое высказывание X , то его отрицание *не X*.

X	$y = \bar{X}$
0	1
1	0

Таким образом, если $X=1$, то $\bar{X}=0$, если $X=0$, то $\bar{X}=1$.

Дизъюнкция (логическое сложение, операция ИЛИ). Этую функцию принято обозначать символом \vee , например, $x_1 \vee x_2$ и читать *икс один или икс два*. Функция может быть представлена таблицей истинности – табл. 1. Следует отметить, что данная операция справедлива для произвольного числа переменных, т.е. $x_1 \vee x_2 \vee x_3 \vee x_4 \dots$.

Таблица 1. Таблица истинности операции ИЛИ

x_1	x_2	$x_1 \vee x_2$
0	0	0
0	1	1
1	0	1
1	1	1

Из табл. 1 следует, что функция принимает значение «1», если хотя бы один аргумент равен «1».

Конъюнкция (логическое умножение, операция И). Этую операцию обозначают символом \wedge или $\&$, например $x_1 \wedge x_2$ и читается: *икс один и икс два*. Таблица истинности для операции И приведена в табл. 2. Правило логического умножения справедливо не только для двух сомножителей, но и для любого их количества, т.е. $x_1 \wedge x_2 \wedge x_3 \wedge x_4 \dots$.

Таблица 2. Таблица истинности операции «И»

x_1	x_2	$x_1 \wedge x_2$
0	0	0
0	1	0
1	0	0
1	1	1

Из табл. 2 видно, что функция принимает значение «1», когда все переменные равны «1».

Основные тождества и законы алгебры логики

На основе рассмотренных логических выражений можно записать любое сложное логическое выражение, т.е. любую логическую связь можно выразить посредством логических операций И, ИЛИ, НЕ.

Эти логические функции обладают рядом свойств, аналогичных свойствам обычной арифметики. Для них остаются справедливыми законы: сочетательный, распределительный и переместительный. Для дизъюнкции и конъюнкции справедливы следующие тождества – табл. 3

Таблица 3

Тождества дизъюнкции	Тождества конъюнкции
$x \vee x = x$	$x \wedge x = x$
$\bar{x} \vee x = 1$	$\bar{x} \wedge x = 0$
$x \vee 1 = 1$	$x \wedge 1 = x$
$x \vee 0 = x$	$x \wedge 0 = 0$

Используя названные выше законы и тождества, нетрудно доказать справедливость следующих законов (2), (3):

$$x_1 \cdot x_2 \vee x_1 \cdot \overline{x_2} = x_1; \quad (x_1 \vee \overline{x_2}) \cdot (x_1 \vee x_2) = x_1 \quad \text{закон склеивания; (2)}$$

$$x_1 \vee x_1 \cdot x_2 = x_1; \quad x_1 \cdot (x_1 \vee x_2) = x_1 \quad \text{закон поглощения. (3)}$$

Правило де Моргана позволяет в логических выражениях произвести замену знаков дизъюнкции на знаки конъюнкции и наоборот (4):

$$\overline{x_1 \cdot x_2} = \overline{x_1} \vee \overline{x_2} \quad \text{и} \quad \overline{x_1 \vee x_2} = \overline{x_1} \cdot \overline{x_2} \quad (4)$$

Правило де Моргана справедливо для любого числа аргументов.

$$\bar{X} = X$$

Закон двойного отрицания:

Перевод чисел в базис И-НЕ ,	ИЛИ-Не
$\underline{X_1 \cdot \bar{X}_3 \vee X_2 \cdot X_3 \cdot X_4} =$	$(X_1 \vee X_3)(\bar{X}_2 \vee \bar{X}_3 \vee X_4)$
$\underline{X_1 \cdot \bar{X}_3 \vee X_2 \cdot X_3 \cdot X_4} =$	$(X_1 \vee X_3) \cdot (\bar{X}_2 \vee \bar{X}_3 \vee X_4)$
$(X_1 \cdot \bar{X}_3) \cdot (X_2 \cdot X_3 \cdot X_4) =$	$(X_1 \vee X_3) \vee (\bar{X}_2 \vee \bar{X}_3 \vee X_4)$
$(X_1 \mid \bar{X}_3) \mid (X_1 \mid X_3 \mid X_4)$	$(X_1 \downarrow X_3) \downarrow (\bar{X}_2 \downarrow \bar{X}_3 \downarrow X_4)$

Помимо функций И, ИЛИ, НЕ есть еще несколько элементов функций, которые могут быть представлены через операции дизъюнкции и инверсии.

Функция Шеффера реализует логическое умножение с отрицанием (5):

$$x_1 | x_2 = \overline{x_1 \cdot x_2} \quad (5)$$

Эта функция имеет и другие названия: Штрих Шеффера, отрицание конъюнкции, И-НЕ. Функция принимает значение «1», если хотя бы один аргумент равен «0». Таблица истинности приведена в табл. 4.

Функция Пирса реализует логическое сложение с отрицанием:

$$x_1 \downarrow x_2 = \overline{x_1 \vee x_2} \quad (6)$$

Другие названия этой функции: Стрелка Пирса, отрицание дизъюнкции, ИЛИ-НЕ. Функция принимает значение «1», когда оба аргумента равны «0». Таблица истинности приведена в табл. 4.

Функция, ИСКЛЮЧАЮЩЕЕ ИЛИ. Другие названия этой функции: неравнозначность, сумма по модулю два. Функция принимает значение «1», когда аргументы неравны. Форма записи функции (7):

$$\overline{x_1 \oplus x_2} = \overline{x_1 x_2 \vee \bar{x}_1 \bar{x}_2} = (x_1 \vee x_2)(\bar{x}_1 \vee \bar{x}_2) \quad (7)$$

Функция, ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ. Другие названия этой функции: равнозначность, эквивалентность. Функция принимает значение «1», когда аргументы равны. Форма записи функции (8):

$$\overline{x_1 \oplus x_2} = \overline{x_1 x_2 \vee \bar{x}_1 \bar{x}_2} = (x_1 \vee \bar{x}_2)(\bar{x}_1 \vee x_2) \quad (8)$$

Все приведенные функции могут быть записаны для любого количества аргументов.

Табл. 4 является сводной таблицей истинности этих функций. На рис. 1 условное графическое обозначение (УГО) элементов, выполняющих эти функции.

Таблица 4. Таблицы истинности логических функций

x_1	x_2	$x_1 x_2 = \overline{x_1 \cdot x_2}$	$x_1 \downarrow x_2 = \overline{x_1 \vee x_2}$	$x_1 \oplus x_2$	$x_1 \oplus x_2$
0	0	1	1	0	1
0	1	1	0	1	0
1	0	1	0	1	0
1	1	0	0	0	1

На рис. 2 приведено условное графическое обозначение рассмотренных элементов. Общие требования на условное графическое обозначение логических элементов и устройств устанавливает ГОСТ 2141-76 «Обозначения условные, графические в схемах. Элементы ци-техники» (Приложение А).

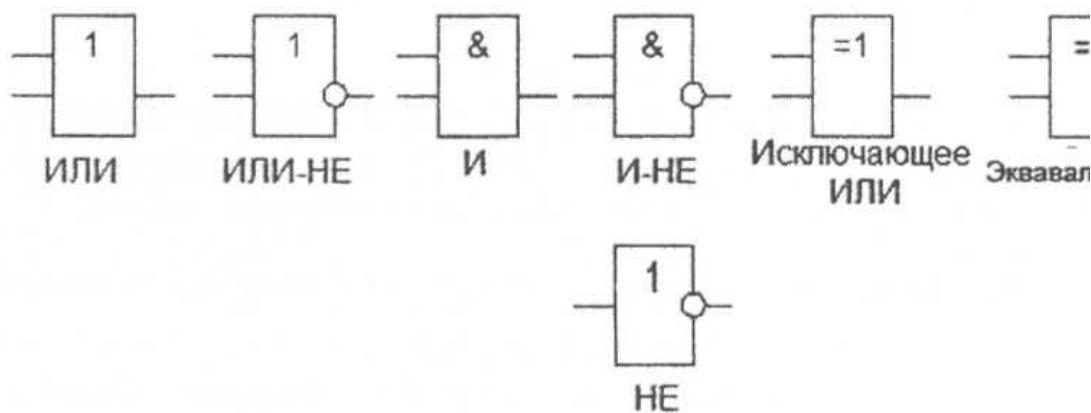


Рис. 2. УГО логических элементов

В результате изучения данной темы студент **должен знать**:

- способы задания логической функции;
- понятие таблицы истинности
- понятия - комбинационные и последовательностные устройства
- элементарные логические функции: И, ИЛИ, НЕ, И-НЕ, ИСКЛЮЧАЮЩЕЕ ИЛИ, ЭКВИВАЛЕНТНОСТЬ, их таблицы истинности, обозначение на схемах, запись логических выражений через логические функции и через операции И, ИЛИ, НЕ;
- основные законы и тождества алгебры логики.

Должен уметь:

- записывать логические выражения с использованием операций И, ИЛИ, НЕ;
- преобразовывать логические выражения с использованием законов алгебры логики;
- выбирать базис для построения логических схем.

Тема 2.2. Синтез логических устройств

Совершенная дизъюнктивная и конъюнктивная нормальные формы (СДНФ и СКНФ) представления функций. Комбинационные и последовательностные логические устройства, минимизация логических функций с помощью законов алгебры логики. Карты Карно. Диаграммы Вейча. Минимизация с помощью карт Карно (диаграмм Вейча). Анализ и синтез комбинационных логических устройств. Задачи анализа и синтеза. Переход от табличной формы представления логической функции к формульной. Этапы синтеза логических комбинационных устройств.

Основные параметры интегральных логических элементов. Классификация. Условное графическое обозначение (УГО) элементов цифровой техники (ГОСТ 2.743-91).

В качестве активных элементов современных цифровых микросхем в настоящее время применяются транзисторы: биполярные и полевые. Способ соединения транзисторов между собой в пределах одного элемента определяет их логический базис или, иначе, логику. Цифровые микросхемы на биполярных транзисторах существенно отличаются по многим показателям и здесь выделяют несколько разновидностей: ТТЛ - транзисторно-транзисторная логика, ТТЛШ - транзисторно-транзисторная логика с диодами Шотки, АС - перспективные сверхскоростные с переходом Шотки, ЭСЛ - эмиттерно-связанная логика, ИИЛ (ИИ²) - интегральная инжекционная логика и др.

Микросхемы на основе полевых транзисторов также широко используются в настоящее время. Здесь различают: *n*-МОП - логика - в качестве активного элемента используется транзистор с каналом *n*-типа; *p*-МОП - логика - в качестве активного элемента используется транзистор с каналом *p*-типа; КМОП - логика комплементарная металл-окисел - полупроводниковая транзисторная логика. Комплементарной называют пару транзисторов, сходных по абсолютным значениям параметров, но с полупроводниковыми структурами, взаимно отображенными как в виде негатива так и позитива, т.е. в совместную работу включены одновременно транзисторы с каналом *n* - типа и *p* - типа.

В настоящее время широко применяются микросхемы транзисторно-транзисторной логики. Принцип действия различных модификаций ТТЛ одинаков и различаются они типом корпуса, временем задержки и потребляемой мощностью. Основные электрические параметры для всех серий ТТЛ согласованы, благодаря чему, микросхемы, относящиеся к разным сериям, могут непосредственно соединяться друг с другом.

Типовые значения параметров стандартной ТТЛ приведены в табл. 5.

Таблица 5. Основные параметры стандартной ТТЛ

Параметр	Значение параметра
Напряжение питания, В	$5 \pm 5\%$
Уровень логической единицы (U^1) В	$\geq 2,4$
Уровень логического нуля (U^0) В	$\leq 0,4$
I_{bx}^0 , мА	$\leq -1,6$
I_{bx}^1 , мА	$\leq 0,04$
$t_{зд нс}^{0,1}$	≤ 15
$t_{зд нс}^{1,0}$	≤ 22
$K_{раз}$	10
P пот, мВт	≤ 22
f , МГц	≤ 10

Микросхемы выпускаются в виде серий, к которым относится ряд типов микросхем с различным функциональным назначением, имеющие единое КТ исполнение и предназначенные для совместного использования.

Тип микросхемы указывает на конкретное функциональное назначение и определенные конструктивно-технологические и схемо-технические решения. Каждый тип микросхемы имеет свое условное обозначение, которое состоит из шести элементов.

Система условных обозначений (маркировка) микросхем для устройств широкого применения состоит из шести элементов.

Пример: К М 5 30 ЛП 5

1 2 3 4 5 6

Первый элемент. Буква «К» показывает, что микросхема предназначена для широкого применения

Второй элемент. Буква «М» - характеристика материала и типа корпуса. В данном случае М – металлокерамический.

Третий элемент.

1,5,6,7 – полупроводниковые;

2,4,8 - гибридные;

2 – прочие.

Четвертый элемент. Две или три цифры – порядковый номер разработки серии. Вместе 3-й и 4-й элементы обозначают номер конкретной серии - 530.

Пятый элемент. Две буквы – Функциональное назначение микросхемы. В зависимости от выполняемых функций микросхемы подразделяется на подгруппы (генераторы, триггеры, усилители) и виды (преобразователи длительности, напряжения, частотный).

Шестой элемент. Цифра 6 – порядковый номер разработки в конкретной серии (среди микросхем одного вида). Следующие две буквы от А до Я показывают на разбраковку (допуск на разброс) по электрическим параметрам.

Микросхема представляет собой четыре двухходовых элемента ИСключающее ИЛИ. Содержат 176 интегральных элементов. Корпус типа 401.14-5, масса не более 0,65г и типа 201.14-10, масса не более 1,6г

Пятый элемент маркировки представлен в табл. в приложении А

Простейшее схемотехническое решение базового элемента транзисторно-транзисторной логики приведено на рис. 3.

Многоэмиттерный транзистор VT1 выполняет функцию И, транзистор VT2 является инвертором. Схема стандартного элемента И-НЕ ТТЛ в действительности несколько сложнее. Это делается для повышения быстродействия, помехоустойчивости и нагрузочной способности, но принцип работы остается тем же.

Быстродействие характеризуется максимальной частотой смены входных сигналов, при которой еще не нарушается нормальное функционирование. Этот параметр определяет время обработки информации.

Помехоустойчивость определяет допустимое напряжение помех на входах микросхемы. Этот параметр оценивается по нескольким показателям. В зависимости от продолжительности помехи различают статическую и динамическую помехоустойчивость. Статическую помехоустойчивость связывают с помехами, длительность которых больше времени переходных процессов, а динамическую – с кратковременными помехами.

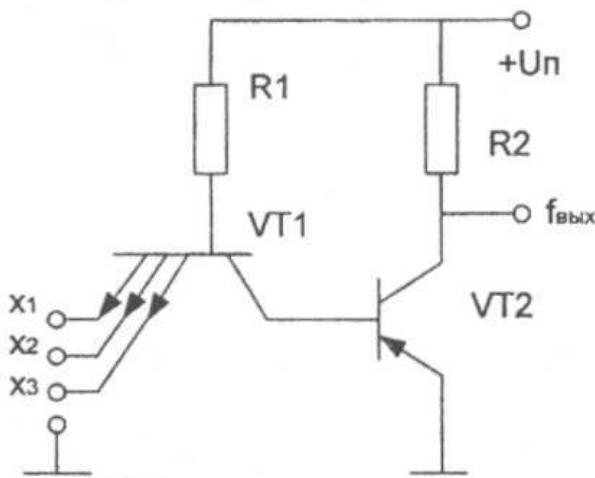


Рис. 3. Элемент И-НЕ транзисторно-транзисторной логики

Коэффициент разветвления (нагрузочная способность) – $K_{раз}$ – определяет максимальное число входов элементов данной серии, которым можно нагружать выходы микросхемы без нарушения ее нормального функционирования.

Физические параметры и функциональные возможности логического элемента (ЛЭ) зависят от способа схемной реализации выходного каскада. Наиболее часто используются пять типов схем выходных каскадов.

Наиболее часто используются ЛЭ со стандартным выходом рис. 4а. Этот выходной каскад в различных сериях может иметь различные модификации. ЛЭ со стандартным выходом имеют нагрузочную способность $K_{\text{раз}} = 10$ (для некоторых серий это значение может быть иным). Такой же выходной каскад имеют ЛЭ с повышенной нагрузочной способностью. Обычно для них $K_{\text{раз}} = 30$. На УГО в этом случае проставляется специальный символ (рис. 5а).

В логических элементах с *открытым коллектором* (рис. 4б) в качестве выходного каскада используется транзистор, коллектор которого не подключен к нагрузке. Эти транзисторы изготавливаются на разное допустимое напряжение питания. Выходы таких ЛЭ должны подключаться с помощью внешнего резистора к источнику питания. На УГО для таких элементов проставляется символ – рис. 5б.

Выходной каскад с *открытым эмиттером* отличается от выходного каскада с открытым коллектором тем, что эмиттер не подключен внутри ИС к общему выводу, а подключен кциальному внешнему выводу. Коллектор подключен к шине питания. Нагрузку подключают между выводом эмиттера и корпусом. На УГО проставляется символ – рис. 5в.

На рис. 4в показан ЛЭ с *тремя состояниями*. Такие логические элементы имеют дополнительный вход управления ОЕ. Когда на этом входе устанавливается активное значение сигнала, то оба транзистора переходят в закрытое состояние, и, таким образом, выход отключается от корпуса и источника питания. Для обозначения такого выхода на УГО ставится символ – рис. 5г.

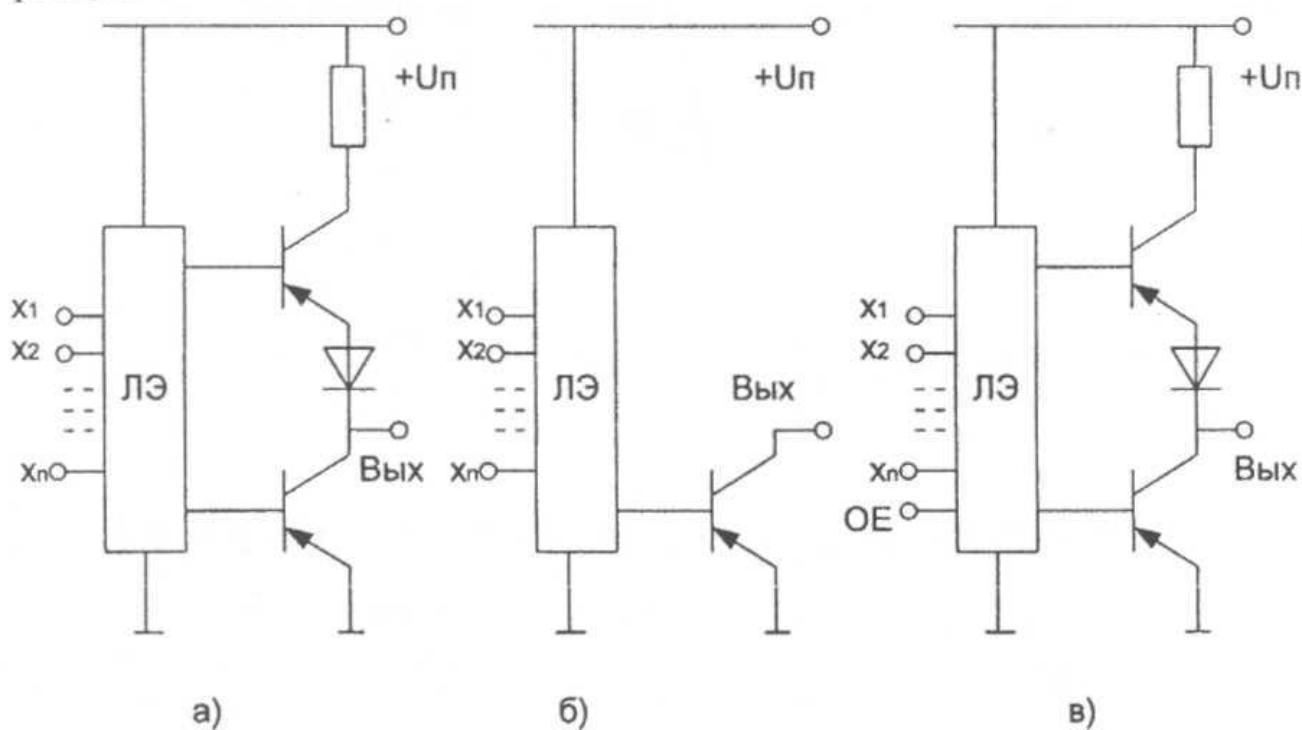


Рис. 4. Типы выходных каскадов

Если у выбранных элементов остаются свободными входы, то они должны быть задействованы. Эти входы надо соединить с работающими или подать на них постоянное напряжение, соответствующее уровням логического нуля (U^0) или логической единицы (U^1), в зависимости от логики работы.



Рис. 5. Символы, обозначающие тип выхода

Большое распространение получили в последнее время интегральные микросхемы на основе полевых транзисторов структуры МОП. Принципиальные особенности транзисторов этого вида позволяют создавать элементы и целые цифровые устройства с малым потреблением мощности при высокой помехоустойчивости и нагрузочной способности. Сравнительно с биполярными транзисторами они имеют меньшие размеры, что позволяет разместить на единице площади кристалла большее число элементов. Базовыми элементами для различных функциональных узлов КМОП-структур являются инвертор и двунаправленный тактируемый ключ. Эти элементы состоят только из МОП-транзисторов с каналами обоих видов проводимости и не содержат резисторов и конденсаторов.

В качестве примера в табл. 6 приведены параметры микросхем серии К176, структура которых реализована по КМОП - технологии.

Таблица 6. Основные параметры базовых ЛЭ серии К176

Параметр	Значение параметра
Напряжение питания, В	$9 \pm 5\%$
Уровень логической единицы (U^1) В	$\geq 8,2$
Уровень логического нуля (U^0) В	$\leq 0,3$
$I_{\text{вх}}^0, \text{ мА}$	$\leq 1,0$
$I_{\text{вх}}^1, \text{ мА}$	$\leq 1,0$
$t_{\text{зд}}^{0,1} \text{ нс}$	≤ 200
$t_{\text{зд}}^{1,0} \text{ нс}$	≤ 200
$K_{\text{раз}}$	50
$P_{\text{пот}}, \text{ мВт}$	≤ 10
$f, \text{ МГц}$	≤ 10

РАЗДЕЛ 3. ТИПОВЫЕ УЗЛЫ ЭВМ

Тема 3.1. Шифраторы и дешифраторы

Назначение шифраторов. Синтез шифраторов на интегральных схемах. Назначение и классификация дешифраторов. Синтез линейного дешифратора. Каскадные, матричные дешифраторы. Дешифраторы в интегральном исполнении. УГО. Сравнительный анализ различных дешифраторов, области использования.

Тема 3.2. Мультиплексоры и демультиплексоры

Назначение мультиплексоров. Схема мультиплексора, УГО. Мультиплексоры в интегральном исполнении, способы наращивания. Универсальность мультиплексоров. Назначение демультиплексоров. Схема демультиплексора. УГО. Демультиплексоры в интегральном исполнении. Электронный коммутатор.

Тема 3.3. Триггеры в интегральном исполнении

Типы триггеров. Таблицы переключения R-S триггера, D-триггера, T-триггера. J-K-триггера. Временные диаграммы.

Тема 3.4 Регистры

Назначение, классификация, характеристики регистров. Схемы параллельного, сдвига, реверсивного регистров УГО. Схема выдачи информации. Регистры в интегральном исполнении.

Тема 3.5. Счетчики

Назначение, классификация, характеристики счетчиков. УГО. Схемы асинхронных и синхронных счетчиков; с последовательным, сквозным, параллельным переносом. Счетчики с произвольным коэффициентом пересчета. Счетчики в интегральном исполнении и их использование в качестве делителей частоты. Кольцевые счетчики.

Тема 3.6 Сумматоры

Назначение, классификация и характеристики. УГО. Математическое описание и схема одноразрядного полного комбинационного сумматора. Многоразрядные сумматоры: параллельные и последовательные. Организация ускоренного переноса. Сумматоры в интегральном исполнении.

В зависимости от элементов, входящих в состав цифрового устройства, все они делятся на два типа: комбинационные и последовательностные.

Комбинационные устройства не содержат элементов памяти, и сигналы на выходах зависят только от входных сигналов, действующих в данный момент времени.

Последовательностные устройства содержат элементы памяти, и выходные сигналы зависят не только от входных, действующих в данный момент времени, но и от тех, которые действовали на входе раньше. Действие этих сигналов устройство запоминает и использует при формировании текущих выходных сигналов.

При разработке схем комбинационных логических устройств (КЛУ) целесообразно придерживаться следующих правил:

- на основании определения составить таблицу состояний устройства;
- записать на основе анализа таблицы состояний логические выражения и упростить их. На данном этапе в некоторых случаях удобно использовать карты Карно;
- привести полученные функции к заданному базису. Для этого следует применить закон двойного отрицания и теорему де Моргана;
- построить схему в заданном базисе.

К комбинационным цифровым устройствам относятся: шифраторы, дешифраторы, мультиплексоры, демультиплексоры, сумматоры, компараторы кодов и некоторые другие.

Шифратором называется комбинационное логическое устройство, преобразующее активный сигнал, действующий на одном из m входов в n -разрядный двоичный код. Активный сигнал действует только на одном из входов, а на всех остальных установлен пассивный уровень. Такой вход называют возбужденным. Например, если активным сигналом является логическая единица, то на всех других входах действует логический ноль (такой код называют унитарным). На выходе может формироваться любой двоичный код, в зависимости от того, как будет задана таблица состояний шифратора.

Число входов и выходов шифратора связано соотношением $m=2^n$. Например, возможны шифраторы типа 8×3 , т.е. у шифратора восемь входов и три выхода; 16×4 - шестнадцать входов и четыре выхода. Если каждому входу шифратора поставить в соответствие некоторое десятичное число, а на выходе будет формироваться двоичное число в коде 8-4-2-1, то можно считать, что данный шифратор преобразует десятичное число в двоичную систему счисления. Этот случай является частным, и нельзя его приводить для общего описания шифратора. В таком шифраторе не выполняется условия соотношения входов и выходов, т.е. будет $m < 2^n$.

Дешифратором или декодером называется устройство, преобразующее двоичный код в унитарный (код *1 из m*). Из всех m выходов дешифратора активный уровень имеется только на одном, а именно на том, номер которого соответствует поданному на вход двоичному числу. На всех остальных выходах дешифратора уровни напряжения неактивные. Дешифратор обеспечивает возможность распознавания кодовых комбинаций и выполняет функцию обратную шифратору.

В зависимости от соотношения входов и выходов различают **декодаторы полные и неполные**. Если выполняется условие $m=2^n$, где m – число входов, а n – число выходов, т.е. используются все возможные наборы входных переменных, то такой дешифратор называется полным. В неполном дешифраторе используется лишь часть возможных наборов и меньше выходов. Примерами полных дешифраторов являются дешифраторы 3×8 , 4×16 , 5×32 и т. д. Из неполных дешифраторов наиболее часто

используется дешифратор 4×10 . Если определено условие, что на вход подается двоичный код 8-4-2-1, а каждому выходу дешифратора поставлено в соответствие определенное десятичное число, то можно считать - дешифратор преобразует двоичную систему счисления в десятичную. Это определение является частным и не может быть использовано для определения дешифратора в целом.

Мультиплексор это КЛУ, имеющий n входов данных, один выход и m адресных входов. Число входов данных и управляющих (адресных) входов связаны между собой отношением: $m = \log_2 n$. Таким образом, мультиплексор позволяет в произвольном порядке коммутировать поступающую с нескольких входных шин информацию на одну выходную. С помощью мультиплексора осуществляется временное разделение информации, поступающей по разным каналам. Мультиплексор можно уподобить бесконтактному многопозиционному переключателю.

Демультиплексором называется КЛУ, предназначенное для управляемой передачи данных от одного источника информации к одному из нескольких выходных каналов. Согласно этому определению, демультиплексор в общем случае имеет один информационный вход, m адресных входов и n выходов. Количество адресных входов и информационных выходов связаны между собой соотношением: $n = 2^m$.

Сумматором называется логическое устройство, выполняющее арифметическую операцию сложения. Сумматоры, выполненные в виде самостоятельных микросхем, бывают только комбинационного типа. Различают полусумматоры, полные сумматоры и многоразрядные сумматоры.

Полусумматор – простейший суммирующий элемент, выполняющий сложение двух одноразрядных чисел и формирующий результат сложения и перенос.

Полный сумматор позволяет выполнить сложение трех одноразрядных чисел, что позволяет производить сложение с учетом переноса.

Многоразрядные сумматоры выполняют операцию сложения многоразрядных чисел. В таких сумматорах полные сумматоры по входам переноса соединяются последовательно, а разряды данных на вход поступают параллельно. Однако окончательный результат формируется некоторой задержкой, вызванной передачей сигнала переноса между разрядами. На вход переноса первого полусумматора подается логический ноль.

Правила арифметики во всех позиционных системах аналогичны. Основной операцией, которая используется в цифровых устройствах при выполнении различных арифметических действий, является операция сложения. Вычитание легко сводится к операции сложения путем замены вычитаемого дополнительным кодом. Операции умножения и деления также приводятся к операции сложения с использованием некоторых логических действий.

Рассмотрим пример сложения двух многоразрядных чисел:

$$A=11001011, \quad B=10011010.$$

Найдем $S=A+B$.

$ \begin{array}{r} 1\ 00110100 \\ + 11001011 \\ \hline 10011010 \\ \hline 01100101 \end{array} $	переносы первое слагаемое второе слагаемое результат
---	---

Цифровое устройство может выполнять действия только над числами определенной разрядности, поэтому перенос, который образовался при сложении старших разрядов, теряется. Он не входит в результат. При необходимости сохранить его значение к сумматору подключают дополнительные устройства, например, триггеры, или увеличивают его разрядность.

Триггером называется простейшее последовательностное устройство, которое может находиться в одном из двух устойчивых состояний и переходить из одного состояния в другое под воздействием входных сигналов. Состояние триггера определяется по сигналу на прямом выходе.

Для обозначения типа входа используются буквенные символы:

R - вход раздельной установки триггера в состояние 0;

S - вход раздельной установки триггера в состояние 1;

D - вход установки триггера в состояние, соответствующее логическому уровню на этом входе;

T - счетный вход;

J - вход установки универсального триггера в состояние 1;

K - вход установки универсального триггера в состояние 0;

C - управляющий вход (вход синхронизации).

Для обозначения вида активного сигнала, под действием которого триггер может изменить свое состояние, используются графические символы (табл. 7).

Таблица 7. Свойства выводов

Наименование	Обозначение
Прямой статический вход. Триггер переключается в период действия на входе уровня логической единицы.	
Инверсный статический вход. Триггер переключается в период действия на входе уровня логического нуля.	
Прямой динамический вход. Триггер переключается, если сигнал на входе изменился из состояния "0" в состояние "1".	
Инверсный динамический вход. Триггер переключается, если сигнал на входе изменился из состояния "1" в состояние "0".	

Регистром называется последовательностное цифровое устройство предназначенное для приема, хранения и выдачи информации. В зависимости от схемного построения регистры могут выполнять некоторые дополнительные функции: сдвигать записанное число вправо (в сторону младшего разряда) или влево (в сторону старшего разряда), преобразовывать последовательный код в параллельный и, наоборот, прямой код преобразовывать в обратный и др.

По способу приема и выдачи информации регистры подразделяют на:

- **параллельные**, в которых информация записывается и считывается только в параллельной форме;
- **последовательные**, в которых информация записывается и считывается только в последовательной форме;
- **последовательно-параллельные**, в которых информация записывается в последовательной форме, а выдается - в параллельной;
- **параллельно-последовательные**, в которых информация записывается в параллельной форме, а выдается - в последовательной.

Элементами структуры регистров являются синхронные D-триггеры, RS- или JK-триггеры с динамическим или статическим управлением. Одиночный триггер может запоминать один бит (один двоичный разряд) информации. Поэтому для построения регистров в зависимости от назначения используют наборы или цепочки триггеров – по количеству разрядов числа.

Регистры, выпускаемые в виде интегральных микросхем, часто могут выполнять несколько функций. В этом случае их называют **комбинированными**. Интегральные регистры обычно бывают четырех-, восьми- и шестнадцатиразрядными.

Счетчиком называется последовательностное цифровое устройство, сигналы, на выходе которого, в определенном коде отображают число импульсов, поступивших на счетный вход. Счетчики строятся на основе счетных триггеров, и цепочка из n триггеров сможет подсчитать в двоичном коде 2^n импульсов. Каждый триггер такой цепочки является разрядом счетчика. Количество состояний, которые могут быть зафиксированы в счетчике, называется коэффициентом (модулем) счета - $K_{сч}$.

Нулевое состояние всех триггеров принимается за нулевое состояние счетчика в целом. Остальные нумеруются по числу поступивших импульсов. Если число входных импульсов превышает коэффициент счета, то происходит переполнение, счетчик возвращается в начальное состояние и повторяется цикл работы. Например, в счетчике с $K_{сч}=8$ зафиксировано число 5. Это значит, на его вход могло поступить 5, 13, 21, 29 и т.д. импульсов. В общем случае состояние счетчика определяется по формуле (9):

$$M = P_{вх} - i \cdot K_{сч}, \quad (9)$$

где M – состояние счетчика;

$P_{вх}$ – число поступивших импульсов;

$K_{сч}$ – коэффициент счета;

i – количество полных циклов счета.

Счетчики могут классифицироваться по многим параметрам. Рассмотрим некоторые из них.

По коэффициенту счета: двоичные, модуль счета равен 2^n , с произвольным коэффициентом счета, $K_{сч} < 2^n$.

По направлению счета: суммирующие, вычитающие и реверсивные.

По способу организации межразрядных связей:

- **с последовательным переносом**, в которых переключение триггеров разрядов осуществляется последовательно один за другим;

- **с параллельным переносом**, в которых переключение всех триггеров происходит одновременно по сигналу синхронизации;

- **с комбинированным переносом**, при котором используются различные комбинации способов переноса.

Классификационные признаки независимы и могут использоваться в различных сочетаниях, например, вычитающий счетчик с параллельным переносом.

Счетчики могут использоваться как делители частоты. На выходе такого устройства частота следования импульсов будет меньше частоты следования импульсов на входе в $K_{\text{сч}}$ раз. В этом случае коэффициент счета определяется как коэффициент деления $K_{\text{дел}}$. В таком режиме работы у счетчика используется выходной сигнал только последнего триггера. В этом случае в схеме организуются дополнительные связи, и могут вводиться дополнительные логические элементы.

Рассмотрим пример построения делителя на шесть. За основу возьмем последовательный суммирующий счетчик (рис. 6). Запишем коэффициент деления двоичным кодом: $K_{\text{дел}} = 6_{(10)} = 110_{(2)}$. В записи коэффициента деления три разряда. Это значит, счетчик будет построен на трех триггерах, что позволит получить восемь состояний, а по условию требуется шесть. Для устранения избыточных состояний в схему вводится дополнительно логический элемент: если входы R триггеров прямые, то требуется взять элемент И, а если инверсные - то элемент И-НЕ. Количество входов этого элемента равно числу единиц в записи $K_{\text{дел}}$ двоичным кодом. К входам элемента надо подключить прямые выходы триггеров, которым в этой записи соответствуют единицы, т.е. триггеры T_3 и T_2 .

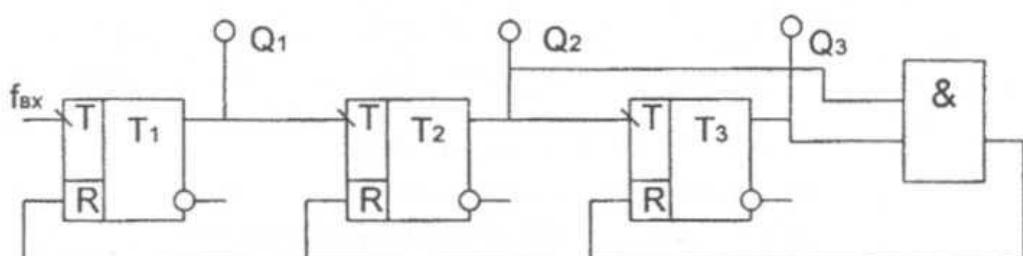


Рис. 6. Делитель с $K_{\text{дел}}=6$

Временная диаграмма работы делителя приведена на рис. 7.

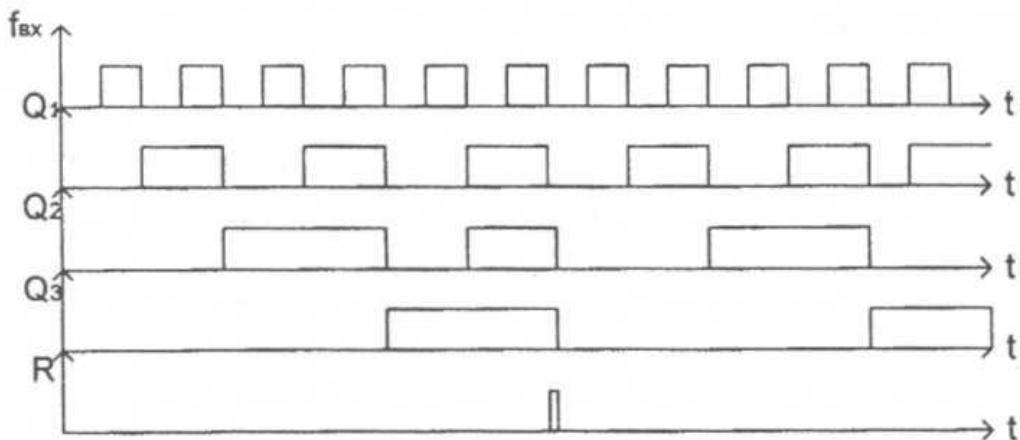


Рис. 7. Временная диаграмма работы делителя с $K_{\text{дел}}=6$

Работа начинается при нулевом состоянии всех триггеров. Когда второй и третий триггеры перейдут в состояние “1”, что соответствует числу шесть, на выходе логического элемента И сформируется единица, которая поступает на все R –входы триггеров и они обнуляются. Счет начинается сначала.

По такому принципу можно строить и счетчики с произвольным коэффициентом счета. Однако в этом случае надо предусмотреть дополнительно вход начальной установки.

РАЗДЕЛ 4. УСТРОЙСТВА ЭВМ

Тема 4.1. Запоминающие устройства ЭВМ

Классификация, параметры запоминающих устройств. ПЗУ, ОЗУ, кэш-память, буферное ЗУ. ВЗУ. Организация ЗУ: адресная, словарная, двухкоординатная, стековая, с произвольной выборкой, ассоциативная. Назначение, классификация ПЗУ: масочные, программируемые, репрограммируемые. УГО. Схемотехника постоянных запоминающих устройств (ПЗУ). Назначение ОЗУ. Статические и динамические микросхемы ОЗУ. Построение модулей памяти на базе интегральных микросхем. Кэш-память: принцип организации, назначение. Микросхемотехника оперативных запоминающих устройств. Внешние запоминающие устройства: принцип работы, конструкции. Основные характеристики.

Тема 4.2. Процессоры ЭВМ

Процессор: состав, назначение. АЛУ: структура, типы, выполняемые операции. Устройства управления: схемно-логического и микропрограммного типов. Понятие о прерываниях, виды прерываний.

Тема 4.3. Интерфейсы в ВТ

Состав, назначение, требования, типы. Параллельные и последовательные. Режимы работы симплексный, дуплексный и полудуплексный. Интерфейсы ЭВМ «общая шина» и «мультишина». Основные характеристики.

РАЗДЕЛ 5. МИКРОПРОЦЕССОРЫ (МП) И МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ (МПС)

Тема 5.1. Архитектура МП

Классификация. Структурная схема МП. Состав, назначение и взаимодействие отдельных блоков МП. Основные характеристики. CISC и RISC процессоры.

Тема 5.2. Архитектура МПС

Особенности построения МПС. Понятие о вычислительных системах и их видах. Микропроцессорные комплексы: состав, назначение отдельных БИС. Ресурсы МПС: Система прерываний, система прямого доступа в память.

Тема 5.3. Применение СВТ в технике связи

Процессоры, применяемые в ПК. Особенности однокристальных микро-ЭВМ. PIC-контроллеры и области их применения в связи.

МЕТОДИЧЕСКИЕ УКАЗАНИЯ по выполнению домашней контрольной работы

Общие указания

Каждое контрольное задание содержит пять задач. Перед решением каждой задачи изучите рекомендуемый материал и методические указания по соответствующим темам программы.

При оформлении работы необходимо придерживаться следующих требований:

1. Работа выполняется в ученической тетради. Количество страниц должно быть достаточным для размещения всех заданий с решением, для рецензии преподавателя и последующей работы над ошибками.

2. Вначале следует переписать условие задачи с данными своего варианта.

3. Ответы надо приводить сразу же после каждого пункта условия задачи.

4. Условные графические обозначения элементов и узлов приводить в соответствии с требованиями ГОСТ 2.743-91. Краткие сведения из этого стандарта приведены в приложении В.

5. Страницы, рисунки, таблицы должны быть пронумерованы. Рисунки и таблицы должны быть подписаны (ГОСТ 2. 105-95).

6. Ответы должны быть конкретными, краткими, четкими.

7. Работу над ошибками выполняйте не в тексте контрольной работы, а после рецензии преподавателя.

8. Если работа не зачтена, то ее следует выполнить вновь и отправить на проверку вместе с первой.

Без представленной зачтенной контрольной работы, а так же при невыполнении лабораторных работ студенты к сдаче экзамена не допускаются.

КОНТРОЛЬНАЯ РАБОТА

Задача № 1

Таблица 8

Номер варианта	Логическая функция	Набор аргументов для проверки		
		X1	X2	X3
1	$X_1 * X_2 * \bar{X}_3 \vee \bar{X}_1 * X_3 \vee X_1 * \bar{X}_3 \vee X_2$	1	1	0
2	$X_2 \vee X_1 * X_3 \vee X_2 * X_3 \vee \bar{X}_1 * X_2 * \bar{X}_3$	1	1	1
3	$X_3 \vee X_1 * \bar{X}_2 \vee \bar{X}_2 * X_3 \vee \bar{X}_1 * X_2 * X_3$	0	0	1
4	$\bar{X}_2 \vee \bar{X}_1 * X_3 \vee X_1 * \bar{X}_3 \vee \bar{X}_1 * X_2 * \bar{X}_3$	0	1	1
5	$X_3 \vee \bar{X}_1 * \bar{X}_2 \vee X_1 * X_2 \vee \bar{X}_1 * X_2 * X_3$	0	0	0
6	$\bar{X}_1 \vee X_2 * X_3 \vee \bar{X}_2 * \bar{X}_3 \vee X_1 * \bar{X}_2 * X_3$	1	0	1
7	$X_1 \vee X_1 * \bar{X}_3 \vee X_2 * \bar{X}_3 \vee X_1 * \bar{X}_2 * X_3$	1	0	0
8	$X_1 \vee X_1 * \bar{X}_3 \vee \bar{X}_2 * X_3 \vee X_1 * \bar{X}_2 * \bar{X}_3$	0	1	1
9	$X_2 \vee \bar{X}_1 * \bar{X}_3 \vee X_1 * \bar{X}_3 \vee \bar{X}_1 * X_2 * X_3$	0	0	1
10	$X_1 \vee X_1 * \bar{X}_2 \vee \bar{X}_2 * X_3 \vee X_1 * X_2 * \bar{X}_3$	0	1	0

Задана логическая функция $f(x_1, x_2, x_3)$, табл. 8.

- Постройте схему в базисе И, ИЛИ, НЕ.
- Постройте эту схему в базисе И, ИЛИ, НЕ на микросхемах серии K155 (KP1533).
- Выполните преобразование заданной логической функции так, чтобы она была представлена через операцию И-НЕ.
- Постройте логическую схему в базисе И-НЕ на микросхемах серии KP1533 (K155).
- На всех построенных схемах укажите логические сигналы на входах и выходах каждого элемента для кодовой комбинации, заданной табл. 9.
- Определите количество микросхем, используемых для построения схем в п.2 и п.4. Сделайте вывод о том, какой способ реализации более экономичен.

Методические указания по выполнению задачи № 1

В ходе решения этой задачи предполагается, что студент, изучив предварительно соответствующий теоретический материал ([1, 2, с. 34 - 38, 51 - 59, 63 - 71]), приобретает навыки построения логических схем в базисах И, ИЛИ, НЕ и И-НЕ, а также в выполнении преобразований логических выражений с использование законов алгебры логики (правило де Моргана).

Порядок решения:

- выпишите из табл. 8 функцию, соответствующую вашему варианту;
- в результате анализа определите, какие логические элементы и в каком количестве потребуются для построения схемы.

При построении логической схемы следует учитывать приоритет выполнения операций:

- операция НЕ (инверсия);
- операция И (конъюнкция);
- операция ИЛИ (дизъюнкция).

При построении логических схем с учетом конкретной серии необходимо иметь в виду, что в их состав входят микросхемы с определенным числом входов. Элементы И и ИЛИ обычно на два входа (2И, 2ИЛИ), элементы И-НЕ - на 2, 3, 4, 8 входов (соответственно: 2И-НЕ, 3И-НЕ, 4И-НЕ, 8И-НЕ), элементы ИЛИ-НЕ – на два входа (2ИЛИ-НЕ).

Пример. Задана логическая функция (10):

$$f = \overline{x_1}x_3 \vee \overline{x_1}x_2 \vee \overline{x_2}x_3 \vee x_1\overline{x_2}x_3 \quad (10)$$

Для построения схемы по приведенному выражению потребуется:

- три инвертора (все три аргумента входят в запись в инверсном и прямом значениях);
- три элемента 2И (для реализации выражений $\overline{x_1}x_3$, $\overline{x_1}x_2$, $\overline{x_2}x_3$);
- один элемент 3И (для реализации выражения $x_1\overline{x_2}x_3$);
- один элемент 4ИЛИ для объединения предварительных результатов преобразования на одну общую шину.

Схема имеет вид – рис. 8.

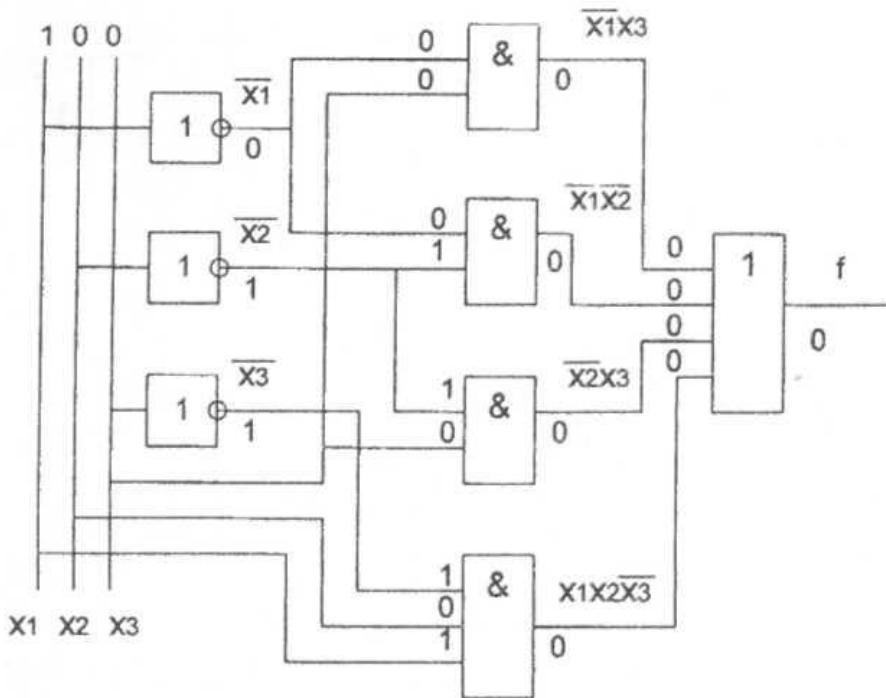


Рис. 8. Схема в базисе И, ИЛИ, НЕ

Следующую схему строим также в базисе И, ИЛИ, НЕ, но уже применительно к заданной серии микросхем. Перед этим необходимо внимательно изучить состав серии и правила применения микросхем по справочнику. В серии KP1533 есть микросхемы, которые содержат четыре элемента 2И-НЕ, (KP1533ЛН1), четыре логических элемента 2ИЛИ-НЕ (KP1533ЛЛ1), шесть логических элементов НЕ (KP1533ЛН1). С целью реализации схемы в базисе И, ИЛИ, НЕ на микросхемах серии K155 (KP1533) сделаем преобразование исходной функции (10).

$$f = \overline{x_1} \cdot \overline{x_3} \vee \overline{x_1} \cdot x_2 \vee x_2 \cdot \overline{x_3} \vee x_1 \cdot x_2 \cdot \overline{x_3} = (\overline{x_1} \cdot \overline{x_3}) \vee (\overline{x_1} \cdot x_2) \vee (x_2 \cdot \overline{x_3}) \vee ((x_1 \cdot x_2) \cdot \overline{x_3}) \quad (11)$$

Из этой записи следует, что для построения схемы потребуется три инвертора, пять элементов 2И, три элемента 2ИЛИ. Схема приведена на рис. 9.

В этой схеме использованы следующие микросхемы:

- D1 - KP1533ЛН1 (из шести элементов задействовано три);
- D2, D3, - KP1533ЛИ1 (один корпус используется полностью, а во втором только один);
- D4 – KP1533ЛЛ1 (один корпус, из четырех элементов используется три).

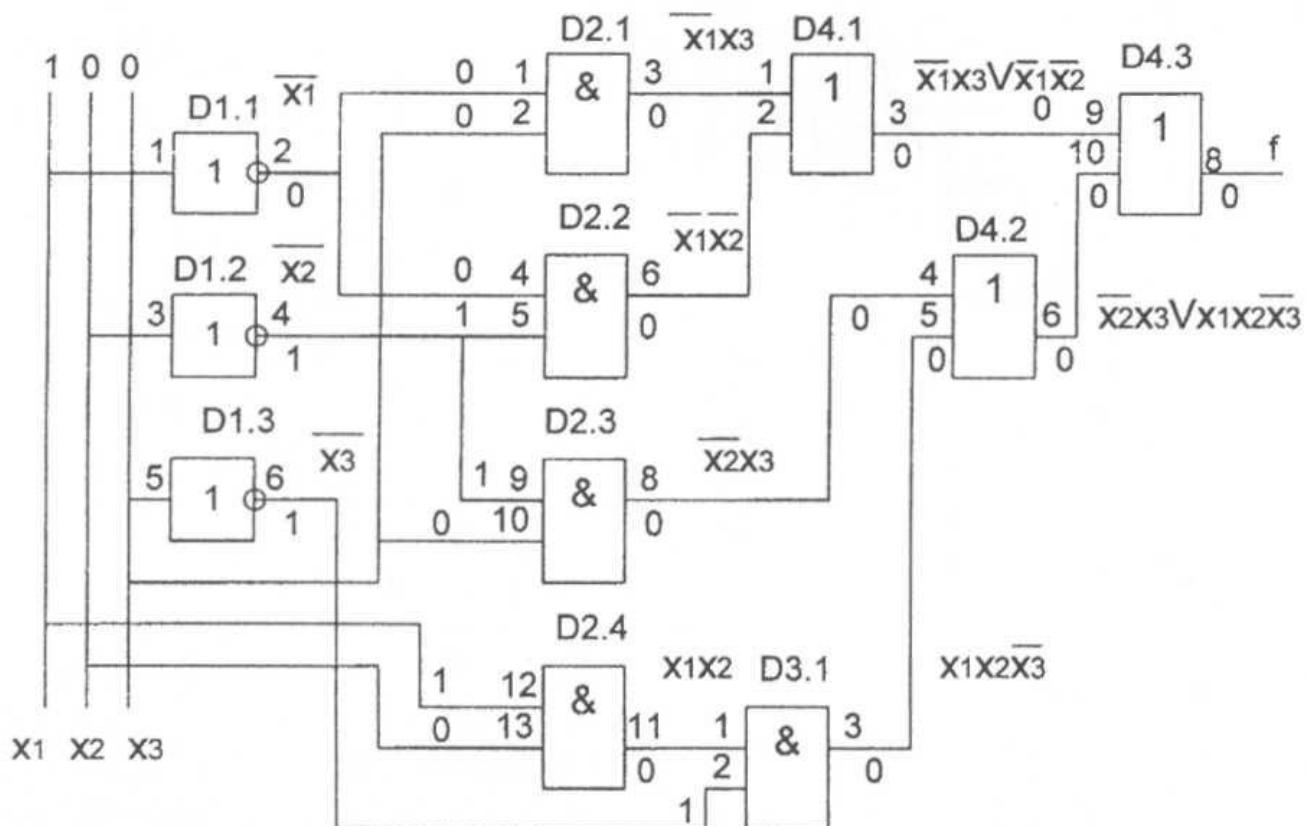


Рис. 9. Схема в базисе И, ИЛИ, НЕ на элементах серии KP1533

Для построения схемы в базисе И-НЕ необходимо выполнить преобразование исходного выражения так, чтобы оно было записано через операцию Штрих Шеффера. Для этого к исходному выражению применяем закон двойного отрицания и правило де Моргана.

$$\begin{aligned}
 f &= \overline{x_1x_3} \vee \overline{x_1x_2} \vee \overline{x_2x_3} \vee x_1x_2\overline{x_3} = \overline{\overline{x_1x_3}} \vee \overline{\overline{x_1x_2}} \vee \overline{\overline{x_2x_3}} \vee \overline{x_1x_2}\overline{x_3} = \\
 &= (\overline{x_1x_3})(\overline{x_1x_2})(\overline{x_2x_3})(\overline{x_1x_2}\overline{x_3})
 \end{aligned} \tag{12}$$

Для построения схемы допускается применение микросхем с любым числом входов, которые имеются в данной серии. Предполагается, что инверторы также должны быть выполнены на элементах базиса И-НЕ. Это легко реализуемо, так как для этого достаточно соединить все входы элемента И-НЕ вместе (в силу тождества конъюнкции). Схема приведена на рис. 10.

Схема (рис.10) построена на трех микросхемах:

- две микросхемы KP1533ЛА3 (в каждой из четырех элементов используется по три). Для реализации инверторов входы логического элемента соединены вместе и на них подается значение одного аргумента;

- один логический элемент KP1533ЛА1 (в одном корпусе два элемента). Один элемент включен по схеме ЗИ-НЕ. Это позволило исключить применение еще одного корпуса, например, микросхему KP1533ЛА4.

Для проверки на входы всех трех построенных схем подана одна и та же кодовая комбинация сигналов 100. Результат на выходе всех схем получился одинаковый, что необходимо контролировать при выполнении контрольной работы.

Из приведенных схем можно сделать вывод, что построение схем в базисе И-НЕ более экономично. В этом случае применяется меньше микросхем и они более эффективно используются. Аналогично строятся схемы на ИМС серии K155.

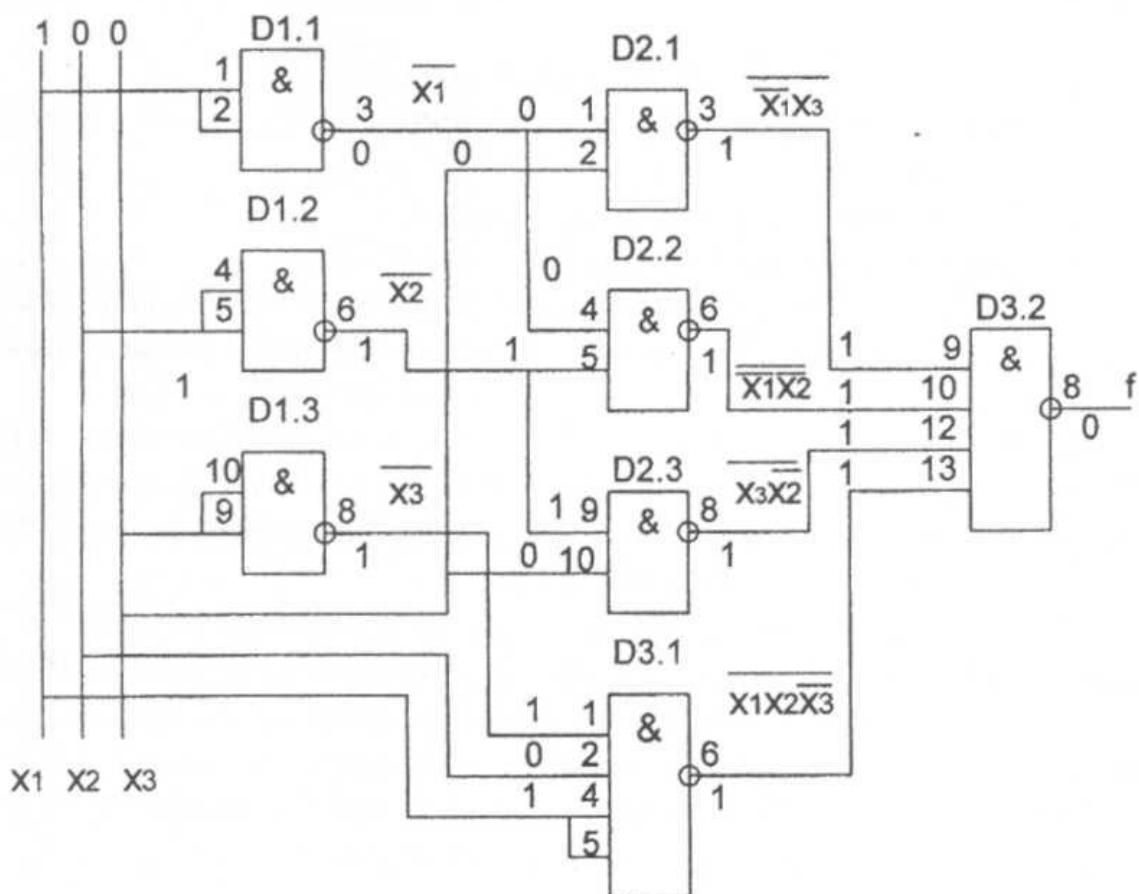


Рис. 10. Схема в базисе И-НЕ на микросхемах серии KP1533

Задача № 2

Таблица 9

Номер варианта	Тип КЛУ	Структура КЛУ	Базис для реализации	Тип микросхемы
1	Шифратор	10×4	И-НЕ	K155ИВ1
2	Мультиплексор	8→1	И, ИЛИ, НЕ	K555КП15
3	Дешифратор	4×10	ИЛИ-НЕ	K155ИД10
4	Демультиплексор	1→8	И-НЕ	K155ИД3
5	Шифратор	16×4	И-НЕ	K555ИВ2
6	Мультиплексор	8→1	И, ИЛИ, НЕ	K555КП7
7	Дешифратор	4×10	И, ИЛИ, НЕ	K555ИД7
8	Демультиплексор	1→8	ИЛИ-НЕ	K555ИД5
9	Шифратор	10×4	ИЛИ-НЕ	K555ИВ3
10	Дешифратор	3×8	И-НЕ	K155ИД4

1. Дайте определение КЛУ, заданного в табл. 9.
2. Приведите условное графическое обозначение устройства с указанной структурой.
3. Опишите принцип работы устройства.
4. Приведите таблицу истинности устройства.
5. Запишите функции для выходов через операции И, ИЛИ, НЕ.
6. Выполните преобразование исходных функций под заданный базис.
7. Постройте логическую схему в заданном базисе.
8. Подайте на входы любую кодовую комбинацию сигналов и выполните проверку. Необходимо пропустить сигналы на входах и выходах всех элементов. Для мультиплексора и демультиплексора подавать кодовую комбинацию только адресных сигналов.
9. Приведите УГО получившегося устройства. На УГО на входах и выходах пропустите сигналы, соответствующие той же кодовой комбинации.
10. Из справочника выберите микросхему, заданную в табл. 9. Приведите ее УГО и описание. Укажите назначение всех входов и выходов. Подайте на входы ту же кодовую комбинацию, что и в п. 8 и укажите значение сигналов на информационных выходах.

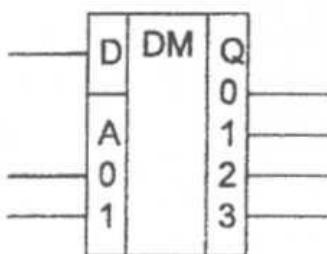
Методические указания по выполнению задачи № 2

В задаче рассматриваются типовые комбинационные цифровые устройства. Прежде чем приступить к решению этой задачи изучите соответствующий теоретический материал в [1, 2 с. 110-117, 123-126]. Обратите внимание на теоретический материал данного пособия с. 19 и 20.

Рассмотрим синтез демультиплексора со структурой 1 → 4.

Исходя из определения и задания на рис. 11, приведено УГО демультиплексора, а табл. 10 является его таблицей истинности.

Таблица 10



Адрес		Выходы			
A ₁	A ₀	Q ₀	Q ₁	Q ₂	Q ₃
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

Рис. 11. УГО демультиплексора

По данным табл. 10 запишем функции для выходов демультиплексора.

$$Q_0 = D \overline{A_1} A_0 \quad (13)$$

$$Q_1 = D \overline{A_1} \overline{A_0} \quad (14)$$

$$Q_2 = D A_1 \overline{A_0} \quad (15)$$

$$Q_3 = D A_1 A_0 \quad (16)$$

По формулам (13) – (16) строим схему в базисе И, ИЛИ, НЕ (рис. 12).

Если требуется построить схему в базисе И-НЕ, то можно над левой и правой частью функций (13) - (16) поставить знак отрицания, и в этом случае получится устройство с инверсными выходами. Можно поставить над правой частью двойное отрицание. В этом случае демультиплексор останется с прямыми выходами, но в схему будут включены дополнительные элементы И-НЕ, выполняющие функции инверторов.

При построении схемы в базисе ИЛИ-НЕ исходные функции (13) - (16) также необходимо предварительно преобразовать. В этом случае к правой части следует применить закон двойного отрицания и правило де Моргана.

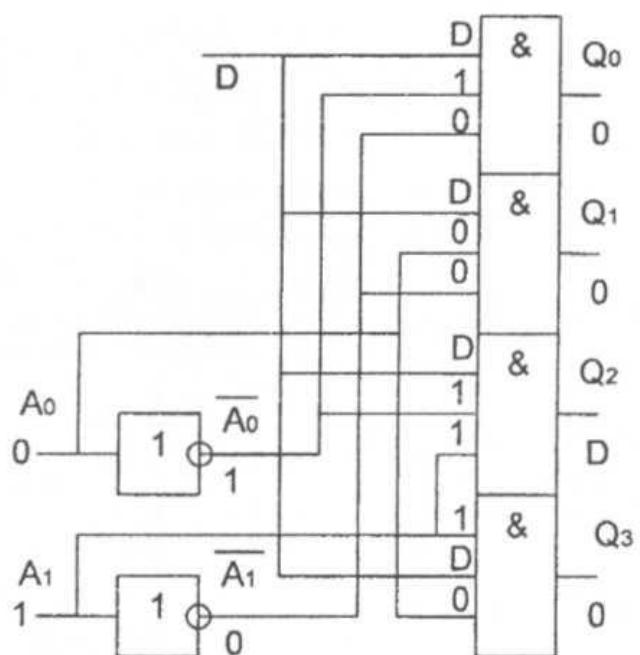


Рис. 12. Схема демультиплексора в базисе И, ИЛИ, НЕ

Для определения сигналов на выходе подставим в формулы (13) - (16) значения переменных.

$$Q_0 = D \bar{A}_1 \bar{A}_0 = D \cdot 0 \cdot 1 = 0$$

$$Q_1 = D \bar{A}_1 A_0 = D \cdot 0 \cdot 0 = 0$$

$$Q_2 = D A_1 \bar{A}_0 = D \cdot 1 \cdot 1 = D$$

$$Q_3 = D A_1 A_0 = D \cdot 1 \cdot 0 = 0$$

Таким образом, информация с входа D передается на выход Q_2 . Те же значения подставлены в схему рис. 12.

Задача № 3

Таблица 11

Номер варианта	Тип устройства	Тип микросхемы	Кодовая комбинация и действие	Начальное состояние	Число входных импульсов
1	Счетчик суммирующий	K155ИЕ6	—	0101	48
2	Регистр параллельный	K555ИР8	10011011 запись	—	—
3	Счетчик вычитающий	K155ИЕ7	—	1101	53
4	Регистр последовательно-параллельный со сдвигом влево	K555ИР9	11010011 вывод	—	—

Продолжение табл. 11

Номер варианта	Тип устройства	Тип микросхемы	Кодовая комбинация и действие	Начальное состояние	Число входных импульсов
5	Счетчик суммирующий	K555IE13	—	1010	44
6	Регистр параллельный	K155IP13	10010111 последовательный ввод со сдвигом вправо	—	—
7	Счетчик вычитающий	K555IE14	—	0110	36
8	Регистр последовательно – параллельный со сдвигом вправо	K555IP11	1011 сдвиг на четыре разряда влево	—	—
9	Счетчик суммирующий	K555IE10	—	1100	57
10	Регистр последовательно – параллельный со сдвигом вправо	K155IP1	1101 сдвиг на четыре разряда вправо	—	—

Методические указания по выполнению задачи № 3

Порядок решения для вариантов 1, 3, 5, 7, 9:

1. Для заданного типа устройства (табл. 11) приведите четырехразрядную логическую схему на счетных триггерах.
2. Постройте временную диаграмму для полного цикла счета.
3. Выберите из справочника заданную микросхему и приведите ее УГО.
4. Объясните назначение этого счетчика, определите его разрядность (n) и коэффициент счета $K_{\text{сч}}$.
5. Укажите назначение всех выводов.
6. Укажите на УГО значение всех входных сигналов (в том числе и управляющих), которые надо подать, чтобы зафиксировать поданное на вход двоичное число.
7. Приведите расчет состояния счетчика после поступления на вход заданного числа импульсов при указанном режиме работы.

Порядок решения для вариантов 2, 4, 6, 8, 10

1. Приведите логическую схему четырехразрядного регистра заданного типа (табл. 11) на D-триггерах.
2. Обозначьте на схеме буквенными символами все входы и выходы, укажите их назначение.
3. Выберите из справочника заданную микросхему. Приведите ее условное графическое обозначение.
4. Приведите описание этого регистра (выполняемые функции и возможности, разрядность, порядок управления работой), укажите назначение выводов.
5. На рис. в п.3 укажите сигналы на информационных входах для кодовой комбинации, заданной табл. 11. На управляющих входах проставьте сигналы, обеспечивающие заданный режим работы.
6. Приведите временную диаграмму, поясняющую заданный режим работы для микросхемы.

В этой задаче предлагается ответить на вопросы по структуре последовательностных цифровых устройств. Решению этой задачи предшествует изучение тем: «Триггеры», «Счетчики», «Регистры». Простейшие последовательностные устройства – триггеры являются основой для построения схем регистров и счетчиков. Поэтому с методической точки зрения приступать к ответу на вопросы задачи № 4 без внимательного, детального изучения триггеров нет смысла.

Подробный теоретический материал по предлагаемым темам Вы найдете в [1, 2 с. 98-109, 126-143, Методические указания с. 23-26]. Рекомендуется использовать также и другие источники: [4, 7, 8, 11].

Условное графическое обозначение заданной микросхемы и ее описание можно найти в [5, 6, 8, 13, 15, 17].

Перед ответом на вопросы обратите внимание на $K_{\text{сч}}$ счетчика и разрядность регистра. Предлагаемые к изучению микросхемы счетчиков имеют $K_{\text{сч}}$ либо 10 (двоично-десятичные), либо 16 (двоичные). Микросхемы регистров многофункциональные. От правильного определения выполняемых функций, соответствия выводов весовым разрядам числа зависит точность ответов на последующие вопросы. Пример построения временной диаграммы для счетчика показан на рис. 7, а расчет состояния при поступлении заданного числа импульсов поясняется формулой 9.

Приведем пример.

На вход десятичного счетчика, начальное состояние которого $M = 6$, поступило 27 импульсов. Какое состояние будет зафиксировано в счетчике после окончания счета?

Определим общее количество импульсов, поступивших на вход счетчика:

$$6+27=33.$$

Чтобы зафиксировать число 33, счетчик просчитает три полных цикла (*i*) и в следующем цикле зафиксирует остаток:

$$33 - 3 \cdot 10 = 3_{(10)} = 0011_{(2)}.$$

Таким образом, в счетчике будет записано число $0011_{(2)}$, т.е. $Q_4 = 0$, $Q_3 = 0$, $Q_2 = 1$ и $Q_1 = 1$.

Все действия в регистрах зависят от значения управляющих сигналов и происходят в момент поступления на вход разрешающего сигнала (тактирования, синхросигнала). Обычно переключения происходят в момент действия либо фронта импульса, либо среза. Такие регистры построены на триггерах с динамическим входом. Со статическим управлением могут быть только параллельные регистры.

Понятие «весовой коэффициент» к разрядам регистра в отличие от счетчика неприменимо, поскольку весовая зависимость между отдельными разрядами целиком определяется записанной в регистр информацией. Однако разработчики микросхем для однозначного понимания действий, связанных с определением таких понятий, как направление сдвига (вправо или влево) и др. такую зависимость определяют. Поэтому при выборе микросхемы следует определить, какой выход соответствует старшему разряду, а какой - младшему. Это не всегда определяется старшинством индексов при буквенных символах выводов (К155ИР13).

Пример построения временной диаграммы для регистра сдвига подробно показан в [1, 2 с. 129].

Задача № 4

1. Из табл. 12, в соответствии со своим вариантом, выберите тип микросхемы ЗУ, режим работы, значения адреса ячейки памяти.

2. Приведите УГО микросхемы, цоколевку, укажите назначение выводов, разрядность адреса *m*, разрядность данных *n*.

3. Дайте характеристику МКС ЗУ: тип ЗУ, технология изготовления, приведите таблицу режимов работы, на УГО микросхемы укажите значения разрядов адреса, управляющих сигналов для заданного режима работы.

4. Начертите структурную схему матрицы памяти ЗУ заданной микросхемы, укажите максимальное количество строк и столбцов, выделите на схеме элемент памяти, выбранный в соответствии с указанным в задании адресом.

5. Запишите адрес ячейки памяти, к которой происходит обращение, в десятичной и шестнадцатеричной системах счисления.

Таблица 12

Номер варианта	Тип микросхемы	Режим работы	Адрес ячейки памяти
1	K176РУ2	запись 1	10011011
2	K537РУ2А	запись 0	011100101100
3	K541РУ1	чтение	100111011010
4	K556РТ5	чтение	011110010
5	K565РУ3А	запись 0	1000111
6	K573РФ5	чтение	00111110010
7	K1601РР1	запись 1	1010101110
8	KР1610РЕ1	чтение	10000111110
9	K573РР2	чтение	11111001101
10	K1601РР3	запись 0	11101011001

Общая характеристика микросхем памяти

Микросхемы памяти представляют собой функционально и конструктивно законченные микроэлектронные изделия. Разработаны микросхемы оперативно запоминающих устройств ОЗУ, постоянных запоминающих устройств ПЗУ, перепрограммируемых постоянных запоминающих устройств ППЗУ.

Структура МКС ОЗУ включает:

- массив элементов памяти (ЭП) объединенных в матрицу накопителя (МП), расположенных вдоль строк и столбцов;
- дешифратор кода строк X;
- дешифратор кода столбцов Y;
- устройство ввода-вывода УВВ.

Запоминающее устройство (ЗУ) – это совокупность аппаратных средств, обеспечивающих существование информации во времени. В состав вычислительных систем входит одновременно несколько типов запоминающих устройств, а чаще всего все: сверхоперативные, оперативные, постоянные и внешние. Все они отличаются принципом действия, характеристиками, техническими решениями.

Основными действиями в памяти являются операции записи, хранения и чтения. Время выполнения операции обращения к памяти определяет быстродействие данного типа ЗУ. Количество информации, которое может одновременно храниться в ЗУ, называется емкостью. Показатель, определяющий количество слов и их разрядность, которые могут храниться в ЗУ, называется организацией.

Емкость запоминающих устройств принято измерять в битах. Бит – это один двоичный разряд. Более крупная единица – байт, это машинное слово длиной в восемь бит. Далее используются следующие единицы:

$$1\text{Кбайт} = 1024 \text{ байта} = 8 \cdot 2^{10} \text{ бит};$$

Ёмкость запоминающих устройств принято измерять в битах. Бит – это один двоичный разряд. Более крупная единица – байт, это машинное слово длиной в восемь бит. Далее используются следующие единицы:

$$1\text{Кбайт} = 1024 \text{ байта} = 8 \cdot 2^{10} \text{ бит};$$

$$1 \text{ Мбайт} = 2^{20} \text{ байт} = 8 \cdot 2^{20} \text{ бит};$$

$$1\text{Гбайт} - 2^{30} \text{ байт} = 8 \cdot 2^{30} \text{ бит}.$$

ОЗУ предназначены для хранения программ и данных, непосредственно используемых процессором в ходе выполнения операций. Содержимое ОЗУ в ходе решения задачи изменяется. Для повышения быстродействия ОЗУ в состав вычислительного устройства вводится сверхоперативная память (СОЗУ). Она предназначена для хранения небольшого числа слов (несколько десятков) и конструктивно входит в состав процессора.

Постоянное ЗУ (ПЗУ) содержит информацию, которая не должна изменяться в ходе выполнения процессором задачи. Это обычно стандартные программы, таблицы данных, постоянные коэффициенты. Существует разновидность постоянных ЗУ, допускающая неоднократное перепрограммирование (РПЗУ). Как и ОЗУ, постоянные ЗУ реализуются на основе микроэлектронной элементной базе и выпускаются в виде микросхем.

Внешние ЗУ предназначены для хранения больших массивов информации в течение длительного промежутка времени. Они обычно строятся на основе магнитных свойств вещества.

Основной частью запоминающего устройства является массив элементов памяти, объединенных в матрицу накопителя. Элемент памяти (ЭП) может хранить один бит информации (0 или 1). Каждый ЭП имеет свой адрес. Для обращения к ЭП необходимо его выбрать с помощью кода адреса, который подается на входы. ЭП объединяются в группу, называемую ячейкой. Все элементы ячейки выбираются одним адресом. В качестве оперативной памяти обычно используются полупроводниковые ЗУ, которые по способу хранения информации делятся на статические и динамические. В статических ОЗУ в качестве ЭП применяются статические триггеры на биполярных или МДП - транзисторах. При наличии напряжения питания триггер сохраняет свое состояние неограниченное время.

В динамических ОЗУ элементы памяти выполнены на основе конденсаторов, сформированных внутри полупроводникового кристалла. Такие элементы памяти не могут долгое время сохранять свое состояние и нуждаются в периодическом восстановлении (регенерации). Динамические ОЗУ отличаются от статических большей информационной емкостью, что обусловлено меньшим числом компонентов в одном элементе памяти и, следовательно, более плотным их размещением в кристалле полупроводника. Однако они сложнее в применении, так как нуждаются в организации принудительной регенерации, в дополнительном оборудовании и в усложнении устройств управления.

Обозначение сигналов (выводов) микросхем

Наименование вывода	Обозначение
Адрес	A
Тактовый сигнал	C
Строб адреса столбца	CAS
Строб адреса строки	RAS
Выбор микросхем	CS
Разрешение	CE
Запись	WR(write)
Считывание	RD(read)
Запись/считывание	W/R
Входные данные	DI
Выходные данные	DO
Данные: вход-выход	DIO
Регенерация	REF
Программирование	PR
Стирание	ER
Напряжение питания	Ucc
Напряжение программирования	UPR
Общий вывод	OV

Условное обозначение микросхем памяти

Индекс	Назначение
PM	Матрицы ОЗУ
PB	Матрицы ПЗУ
РУ	ОЗУ
PT	Программируемые ПЗУ
РЕ	ПЗУ масочные
РР	Репрограммируемые ПЗУ с электрическим стиранием
РФ	Репрограммируемые ПЗУ с ультрафиолетовым стиранием
РА	Ассоциативные ОЗУ
РЦ	ЗУ на ЦМД
РП	Прочие

Обозначение сигналов (выводов) микросхем

Наименование вывода	Обозначение
Адрес	A
Тактовый сигнал	C
Строб адреса столбца	CAS
Строб адреса строки	RAS
Выбор микросхем	CS
Разрешение	CE
Запись	WR(write)
Считывание	RD(read)
Запись/считывание	W/R
Входные данные	DI
Выходные данные	DO
Данные: вход-выход	DIO
Регенерация	REF
Программирование	PR
Стирание	ER
Напряжение питания	Ucc
Напряжение программирования	UPR
Общий вывод	OV

Условное обозначение микросхем памяти

Индекс	Назначение
PM	Матрицы ОЗУ
PB	Матрицы ПЗУ
РУ	ОЗУ
РТ	Программируемые ПЗУ
РЕ	ПЗУ масочные
РР	Репрограммируемые ПЗУ с электрическим стиранием
РФ	Репрограммируемые ПЗУ с ультрафиолетовым стиранием
РА	Ассоциативные ОЗУ
РЦ	ЗУ на ЦМД
РП	Прочие

Методические указания по выполнению задачи № 4

Перед решением этой задачи необходимо изучить материал [1, с. 173-181; 2, с. 8 - 45; 10].

1. УГО микросхемы и назначение выводов можно найти в Приложении В. Более подробное описание микросхем ЗУ приведено в [10; 12].

2. Тип микросхемы ЗУ можно определить по маркировке (Приложение Б) и по условному графическому обозначению (Приложение А). Организация и емкость микросхемы памяти определяется по числу адресных и информационных входов/выходов. По формуле (17) можно выполнить расчет емкости ЗУ.

$$E = n \cdot 2^m, \quad (17)$$

где m – число адресных входов;
 n – разрядность хранимых слов;
 E – емкость.

Пример.

Задана микросхема K1500РУ073. Режим работы - запись числа 1011₍₂₎ в ячейку памяти с адресом 1001101₍₂₎.

1. Условное графическое обозначение микросхемы приведено на рис. 13.

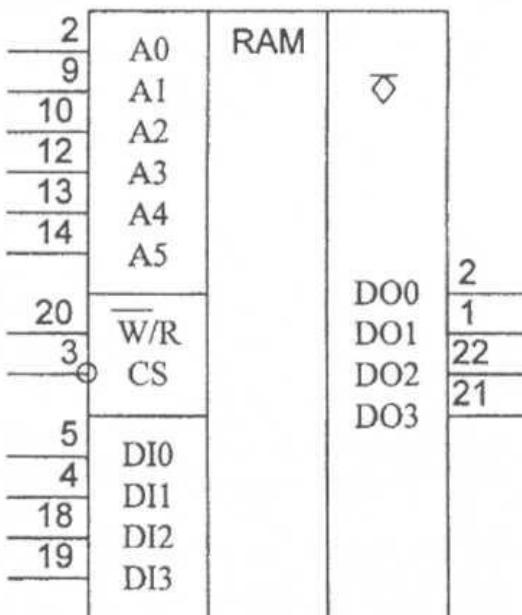


Рис.13. УГО микросхемы K1500РУ073

Эта микросхема является оперативным запоминающим устройством, на что указывает обозначение на УГО – RAM и третий элемент маркировки – РУ. Может работать в трех режимах: запись, хранение и чтение информации. При высоком уровне на входе CS микросхема переводится в режим хранения. На выходах устанавливаются низкие уровни. При CS = 0 и

$WR/RD = 0$ (на УГО этот вывод обозначен \overline{W}/R) возможна запись числа, установленного на входах DI0 – DI3. При $CS = 0$ и при $WR/RD = 1$ микросхема переводится в режим чтения. На выходах DO0 – DO3 устанавливается код числа записанного в ячейку памяти, адрес которого установлен на входах A0 – A5. У микросхемы выходы выполнены по схеме с открытым эмиттером, на что указывает символ - $\overline{\Delta}$. Микросхема выполнена по технологии ЭСЛ. По электрическим параметрам микросхема совместима с ЭСЛ – схемами. Микросхема имеет организацию 64×4 , т.е. 64 слова (шесть адресных входов) по 4 бита (шина данных вход и выход – четырехразрядная).

Назначение выводов:

A5 – A0 адресные входы;

DI3 - DI0 – входы данных;

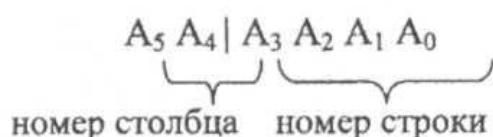
DO3 – DO0 – выходы данных;

\overline{WR}/RD – запись/чтение. При значении сигнала «1» – чтение;

CS – разрешение обращения к микросхеме. При $CS=0$ обращение разрешено.

2. Значение сигналов на входах и выходах указано на рис. 14. Производится запись числа $11_{(10)}$ в ячейку памяти с адресом $37_{(10)}$.

3. Если на адресных входах установлен код 100101_2 , то выбрана будет ячейка памяти находящаяся в 5 строке и 2 столбце. Всего столбцов 4, строк 16.



	2	A0	RAM	$\overline{\Delta}$		2
1	9	A1				1
0	10	A2				1
1	12	A3				22
0	13	A4				0
0	14	A5				21
1						1
0	20		DO0			
0	3		DO1			
0		W/R	DO2			
		CS	DO3			
	5					
1	4					
1	18	DI0				
0	19	DI1				
1		DI2				
		DI3				

Рис. 14 - Совместное действие сигналов обращения к памяти

Задача № 5

Задан алгоритм цифрового автомата, необходимо рассмотреть следующие вопросы:

1. По заданному алгоритму функционирования определите состояние цифрового автомата, постройте граф функционирования.
2. Закодируйте полученные состояния, т.е. буквенным значениям состояний присвойте двоичный код, определите необходимое количество триггеров для построения регистра памяти.
3. Постройте таблицу функционирования цифрового автомата.
4. По таблице функционирования определите логические выражения для комбинационной части узла, упростите их и преобразуйте в базис, определенный заданием.
5. Выберите микросхемы, необходимые для построения схемы цифрового автомата, представьте их графическое обозначение, дайте описание микросхем, составьте таблицы учета и электрических параметров микросхем.
6. Постройте схему цифрового автомата.
7. Проверьте и дайте описание работы цифрового автомата на переходе.

Таблица 15. Варианты заданий

Номер алгоритма	Серия ИМС	Тип триггера
1	K155	TM2
2	K555	TB9
3	KP1533	TM8
4	KP1533	TB11
5	555	TB6
6	KP1531	TB15
7	K564	TB1
8	KP1533	TB6
9	KP1531	TM9
10	K555	TB6

Варианты алгоритмов даны в Приложении Г.

При оформлении графического материала необходимо соблюдать требования ГОСТ 2.743-91, ГОСТ 19.701-90, ГОСТ 2.105-95.



Рис. 16. Элементы алгоритма

Размер a выбирается из ряда 10, 15, 22 мм. Допускается увеличивать размер a на число, кратное 5. Размер b равен $2a$.

Основные понятия о цифровом автомате

Цифровые автоматы - это логические устройства, в которых помимо логических элементов имеются элементы памяти. Значение выходных сигналов такого устройства зависит не только от аргументов на входе в данный момент времени, но и от предыдущего состояния автомата, которое фиксируется элементами памяти. В качестве элементов памяти могут использоваться триггеры. Каждое внутреннее состояние цифрового автомата определяется исходным состоянием триггеров и последовательностью входных сигналов, действующих на входе в данный момент времени, поэтому такие устройства называются последовательностными схемами. К последовательностным схемам можно отнести: триггеры, счетчики, регистры. В общем случае структурная схема цифрового автомата может быть представлена в виде набора трех узлов: комбинационной схемы формирования выходных сигналов, комбинационной схемы формирования сигналов управления триггерами и, собственно, памяти (рис. 16).

На вход комбинационной схемы управления триггерами поступают комбинации входных сигналов x_1, x_2, \dots, x_k , комбинации сигналов, отражающих состояние элементов памяти Q_1, Q_2, \dots, Q_m . С учетом этих множеств, комбинационная схема формирует серии сигналов, управляющих состоянием триггеров. Кодовые комбинации состояния триггеров образуют внутренние состояния цифрового автомата, которые принято обозначать буквой a .

Комбинационная схема формирования выходных сигналов создает сигналы y_1, y_2, \dots, y_p , которые могут использоваться для управления некоторыми узлами, для активизации процессов в других схемах. Эти сигналы могут зависеть только от внутренних состояний: в этом случае устройство принято называть *автоматом Мура*. А если выходные сигналы зависят и от входных сигналов X_1, X_2, \dots, X_k , то - *автоматом Мили*.

Таким образом, для задания цифрового автомата необходимы три множества:

- множество входных сигналов: X_1, X_2, \dots, X_k ;
- множество выходных сигналов: y_1, y_2, \dots, y_p ;
- множество внутренних состояний: a_1, a_2, \dots, a_z .

На указанных трех множествах задают две функции: функцию переходов и функцию выходов.

Для автомата Мили эти функции имеют вид:

$$a_{(t+1)} = f_{(a(t), (x(t)))} \quad (19)$$

$$y_{(t)} = \Phi_{(a(t), x(t))}; \quad (20)$$

где $a_{(t+1)}$ - новое состояние цифрового автомата;

$a_{(t)}$ - предыдущее состояние автомата;

$y_{(t)}$ - выходные сигналы текущего времени;

$x_{(t)}$ - сигналы на входе в данный момент времени.

Для автомата Мура:

$$a_{(t+1)} = f_{(a(t), x(t))} \quad (21)$$

$$y_{(t)} = \Phi_{(a(t))}. \quad (22)$$

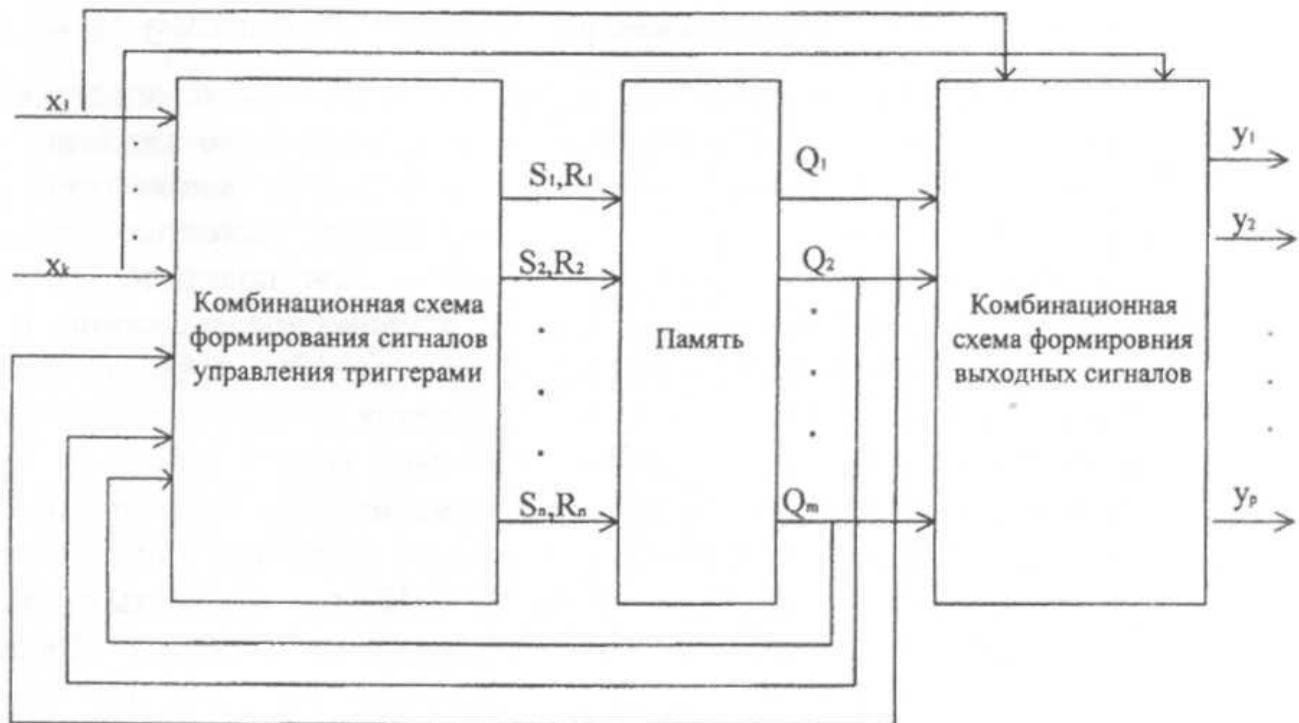


Рис. 17. Управляющее устройство со схемной логикой

Последовательность действий автомата по формированию выходных сигналов и сигналов управления триггерами с учетом входных сигналов может быть задана с помощью **алгоритма**. Алгоритм фактически является формализованным представлением задачи по построению цифрового устройства, где определены группы выходных сигналов для инициализации устройств схемы (например, операционного устройства процессора в зависимости от поступления тех или иных входных сигналов - x). Задавать цифровой автомат удобно с помощью **графа**.

Графом называется непустое конечное множество узлов (вершин) вместе с множеством дуг (ветвей), соединяющих пары различных узлов. Граф обычно представляется в наглядной форме, при этом вершины изображаются точками или кругами, которые помечаются с целью идентификации, а ветви изображаются линиями, соединяющими соответствующие узлы. Если каждой дуге также приписано направление, то такой граф называется *ориентированным*. Если направления не указаны, то граф называется *неориентированным*. Данные представления полезны ввиду их наглядности. Вершины обычно соответствуют объектам некоторого вида (в цифровом автомате - внутренним состояниям), а дуги - физическим или логическим связям между ними. Таким образом, графы можно использовать для математического моделирования самых разнообразных систем и структур: электрических схем, вычислительных сетей и т.д.

4.3. Методические рекомендации по синтезу МПА

Во втором разделе основной части пояснительной записки выполняется расчет и производится построение схемы цифрового автомата. Для этого требуется по заданному алгоритму определить множество внутренних состояний цифрового автомата, а множества выходных сигналов Y и входных сигналов X заданы алгоритмом. При практическом построении автомата обычно вначале задается его словесное описание с указанием конкретного объекта управления. Далее следует процесс формализации задачи. На этом этапе задание корректируется с учетом особенностей работы объекта, элементов, на основе которых будет построен автомат. В предлагаемой работе задание уже формализовано и представлено в виде алгоритма, где блок **РЕШЕНИЕ** указывает, какой входной сигнал (признак) определяет условие перехода, блок **ПРОЦЕСС** - какие выходные сигналы при данном переходе должен сформировать автомат. После каждого перехода фиксируется состояние цифрового автомата. По приведенному алгоритму при выборе состояний необходимо учитывать следующие рекомендации:

- исходное состояние соответствует заданию;
- следующие состояния выбираются в порядке возрастания после каждого блока ПРОЦЕСС (для кодирования достаточно использовать 3-х или 4-х разрядный код 8-4-2-1),
- перед каждым блоком РЕШЕНИЕ, после каждой точки примыкания линии, указывающей направление перехода (на алгоритме обозначается либо точкой, либо крестиком).

В общем случае порядок выбора состояний может быть и иной, в зависимости от особенностей реального объекта. В качестве примера рассмотрим задание, приведенное на рис. 18. Здесь, после выполнения некоторых этапов формализации, задача представлена в виде алгоритма.

Исходное состояние цифрового автомата для всех вариантов задано a_0 . Возьмем для примера исходное состояние a_3 . Это значит, что автомат находится в состоянии a_3 в момент действия сигнала начальной установки. Выход из этого состояния происходит под действием внешнего сигнала, который в данной задаче не учитывается. Перед блоком 3 отмечается следующее состояние, например a_0 , и далее по порядку возрастания: перед блоком 4 - a_1 , перед блоком 6 - a_2 , перед блоком 9 - a_4 . На этом разметка завершается. Место на алгоритме, где автомат фиксирует внутреннее состояние, отмечено символом «х», и проставлено буквенно обозначение с соответствующим индексом.

Далее эти состояния кодируются, т.е. буквенному обозначению присваивается некоторый двоичный код. В принципе это может быть любой код из известных, но чтобы кодовые комбинации имели меньше разрядов и, следовательно, меньше было триггеров, удобнее взять двоичный код 8-4-2-1.

Соответствие кодовых комбинаций внутренним состояниям приведено в табл. 16.

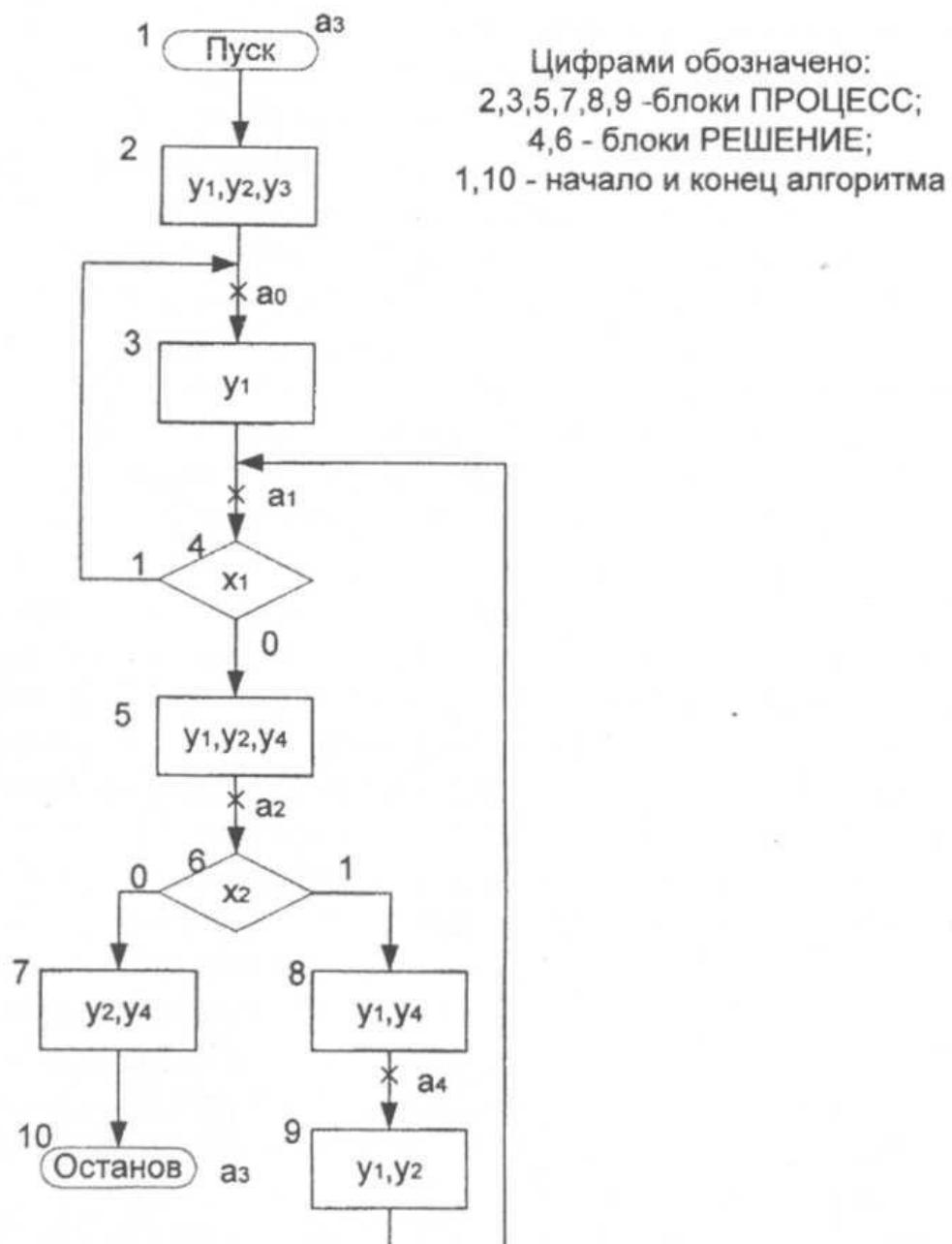


Рис.17. Алгоритм функционирования цифрового автомата

Таблица 16. Кодирование состояний МПА

Состояние автомата	Двоичный код
a_0	000
a_1	001
a_2	010
a_3	011
a_4	100

Для фиксации двоичного кода (табл. 16) требуется построить регистр (на рис. 17 – память) на триггерах, указанных в табл. 15. Описание их следует привести в пояснительной записке. Начальное состояние автомата задано, и оно соответствует нулевой комбинации. В составе почти всех серий микросхем имеются триггеры двух типов: JK-триггеры и D-триггеры. Эти триггеры имеют входы предварительной установки $-R$ и S .

Триггеры по своей структуре являются двухступенчатыми или с динамическим управлением. Это очень важное их достоинство, в частности, для построения схем цифровых автоматов. В автоматах подобного типа при построении их на асинхронных триггерах может возникнуть **явление гонок**.

Переход автомата из одного состояния в другое происходит под действием входных сигналов (на рисунке 18 - x_1, x_2). Изменение входных сигналов допускается только после окончания всех переходных процессов в автомате. Переход автомата в новое состояние связан с переключением триггеров. Скорость переключения их может быть неодинаковой. Выходные сигналы триггеров используются для управления этими же триггерами. Может случиться так, что один из триггеров, переключившись раньше другого, изменит сигналы на входах другого триггера так, что переключение второго триггера не состоится, т. е. при переходе автомата в новое состояние может возникнуть ситуация, при которой произойдет переключение не всех триггеров, как предусмотрено законом функционирования данного автомата. Этот процесс и называется явлением гонок. Наиболее удачным способом устранения гонок является использование двухступенчатых триггеров. В этом случае одна ступень запоминает исходное состояние автомата, а в другой происходит подготовка к переключению в новое состояние.

Для дальнейших расчетов потребуются таблицы переходов триггеров. Табл. 17 соответствует JK-триггеру, а табл. 18 – D-триггеру. Число триггеров для построения регистра состояний равно разрядности кодовой комбинации состояния (табл. 16). В нашем примере – три триггера. Выберем в качестве примера JK-триггеры.

Так как для задания цифрового автомата удобно использовать граф, то перейдем к его построению. Состояние устройства в графе будет соответствовать вершинам (узлам графа), – обозначено кружками, и внутри прописано буквенное обозначение состояния. Узлы соединяются дугами, которые показывают направление перехода.

На дугах записываются условия перехода, под действием которого он имеет место, и выходные сигналы, которые при этом должны быть сформированы. Так как переключение триггеров происходит либо по фронту, либо по срезу синхронизирующего сигнала, будем считать, что до наступления следующего активного уровня изменение входных сигналов не происходит, а, следовательно, и значение выходных сигналов $y_1 \dots y_r$ не изменяется.

Таблица 17. Таблица переходов JK-триггера

Переход	J	K
$0 \rightarrow 0$	0	-
$0 \rightarrow 1$	1	-
$1 \rightarrow 0$	-	1
$1 \rightarrow 1$	-	0

Таблица 18. Таблица переходов D-триггера

Переход	D
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	0
$1 \rightarrow 1$	1

Граф (рис.19) строится на основе алгоритма, и читать его следует так: автомат находится в исходном состоянии a_3 , затем под действием внешнего события он изменяет свое состояние на a_0 , при этом переходе должны быть сформированы выходные сигналы y_1, y_2, y_3 . Затем следует переход в состояние a_1 с формированием выходного сигнала y_1 . Из состояния a_1 возможен переход либо в состояние a_2 , либо в состояние a_0 . В состояние a_2 автомат перейдет, если внешнее условие (признак) x_1 равен 0 (\bar{x}_1) с выдачей управляющих сигналов y_1, y_2, y_4 , а в состояние a_0 автомат перейдет, если этот же сигнал $x_1 = 1 (x_1)$. При этом переходе не требуется формировать выходные сигналы. Аналогично следует читать и весь граф.

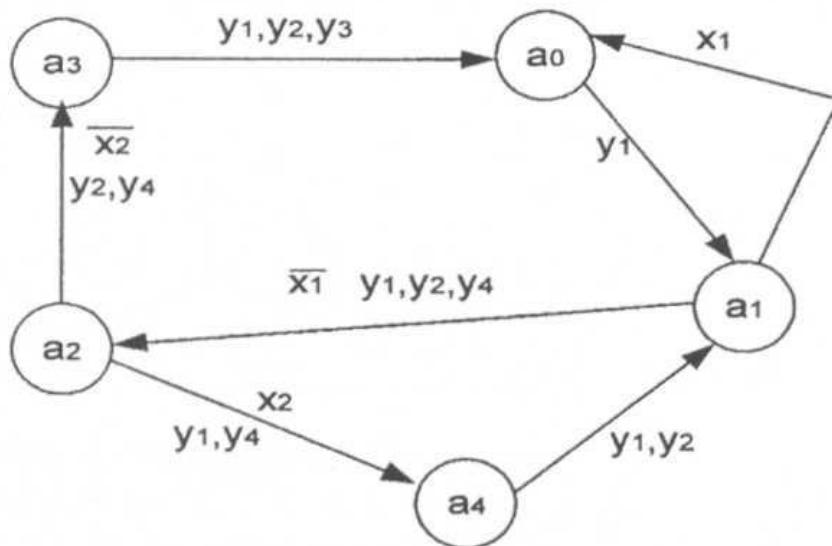


Рис. 19. Граф переходов автомата

После построения графа переходим к заполнению таблицы функционирования комбинационного узла автомата (табл. 17). Если число переменных x небольшое, и автомат имеет 2-3 состояния, то в этом случае можно воспользоваться методом Вейча (Карно). Это удобно, если число клеток в карте Карно будет до 2^5 , т.е. 32. В других случаях этот метод

становится слишком громоздким. Предлагаемая таблица позволяет записать функции для любого числа переменных. Затем их следует внимательно проанализировать с целью возможного упрощения (минимизации), так как табличный способ не позволяет получить МДНФ или МКНФ. В этом случае оказывается достаточным к некоторым выражениям применить **закон склеивания**.

Заполняется табл. 19 по графу переходов автомата (рис. 19). Пример заполнения первой строки: исходное состояние автомата a_3 (столбец 1), затем следует переход в состояние a_0 (столбец 5). Этот переход безусловный (столбцы 9-10 - прочерк) и при этом переходе должны быть сформированы выходные сигналы y_1, y_2, y_3 (столбцы 17-20). Пример заполнения четвертой строки: автомат находится в состоянии a_1 (столбец 1), под действием признака $x_1 = 0$ (столбец 9) автомат переходит в состояние a_2 (столбец 5). При этом переходе должны быть сформированы выходные сигналы y_1, y_2, y_4 (столбцы 17-20). В столбцы 2-4 и 6-9 записываются кодовые комбинации состояний из табл. 16.

Таблица 19. Таблица функционирования комбинационного узла при использовании JK- триггеров

Состояние автомата								Условие перехода	Сигналы управления триггерами								Выходные сигналы											
исходное				новое					J ₃				K ₃				J ₂		K ₂		J ₁		K ₁		y ₁	y ₂	y ₃	y ₄
a	Q ₃	Q ₂	Q ₁	a	Q ₃	Q ₂	Q ₁	x ₁	x ₂	J ₃	K ₃	J ₂	K ₂	J ₁	K ₁	y ₁	y ₂	y ₃	y ₄									
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20									
a_3	0	1	1	a_0	0	0	0	-	-	0	-	-	1	-	1	1	1	1	0									
a_0	0	0	0	a_1	0	0	1	-	-	0	-	0	-	1	-	1	0	0	0									
a_1	0	0	1	a_0	0	0	0	1	-	0	-	0	-	-	1	0	0	0	0									
a_1	0	0	1	a_2	0	1	0	0	-	0	-	1	-	-	1	1	1	0	1									
a_2	0	1	0	a_4	1	0	0	-	1	1	-	-	1	0	-	1	0	0	1									
a_2	0	1	0	a_3	0	1	1	-	0	0	-	-	0	1	-	0	1	0	1									
a_4	1	0	0	a_1	0	0	1	-	-	1	0	-	1	-	1	1	1	0	0									

Затем переходим к заполнению столбцов 11-16. Для этого понадобится таблица 17 (для D- триггеров - таблица 18). Сравниваем исходное состояние триггеров с их новым и определяем тип перехода. Далее по табл. 17 находим значение сигналов и записываем в столбцы 11-16. Сравнение проводим построчно для первого триггера. Начнем с первой строки. Триггер находится в состоянии **1** (столбец 4), его новое состояние **0** (столбец 8). По табл. 17 находим, что для перехода **1→0** надо подать сигналы $J=-$, $K=1$. Заносим эти значения в столбцы 15 и 16. Вторая строка: триггер **T1** находится в состоянии **0**, его новое состояние **1**. По таблице 17 определяем, что для перехода **0→1** на вход **J** надо подать **1**, значение сигнала на входе **K** - **безразлично**. Эти значения записываем в столбцы 15,16.

Выполнив сравнение по каждой строке для первого триггера, переходим к заполнению столбцов 13,14, а затем 11,12 триггеров T_2, T_3 .

При использовании **D-триггеров** таблица функционирования несколько изменится. В качестве примера приведена табл. 20. Заполняется она аналогично предыдущей. Отличие состоит в содержимом столбцов сигналов управления триггерами. В первой строке триггер T_1 изменяет свое состояние с 1 на 0, т.е. имеет место переход $1 \rightarrow 0$. По табл. 18 находим, что для этого перехода на вход D следует подать 0 (это значение и записываем в столбец 13).

После заполнения табл. 19 (табл. 20) переходим к записи логических выражений. У автомата Мили выходные сигналы и сигналы управления памятью являются функцией исходного состояния и внешних условий (формулы 23 - 32). Сначала покажем порядок записи функций по табл. 19.

Выходной сигнал y_1 должен быть сформирован, если автомат находится в состоянии a_3 или в состоянии a_0 , или в состоянии a_1 и признак $x_1=0$, или в состоянии a_2 и признак $x_2=1$, или в состоянии a_4 . Это выражение в виде логической функции имеет вид (формулы 23 – 26).

Таблица 20. Таблица функционирования комбинационного узла при использовании D- триггеров

Состояние автомата								Условие перехода	Сигналы управления триггерами			Выходные сигналы					
Исходное				Новое					x_1	x_2	D_3	D_2	D_1				
a	Q_3	Q_2	Q_1	a	Q_3	Q_2	Q_1							y_1	y_2	y_3	y_4
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
a_3	0	1	1	a_0	0	0	0	-	-	0	0	0	1	1	1	0	
a_0	0	0	0	a_1	0	0	1	-	-	0	0	1	1	0	0	0	
a_1	0	0	1	a_0	0	0	0	1	-	0	0	0	0	0	0	0	
a_1	0	0	1	a_2	0	1	0	0	-	0	1	0	1	1	0	1	
a_2	0	1	0	a_4	1	0	0	-	1	1	0	0	1	0	0	1	
a_2	0	1	0	a_3	0	1	1	-	0	0	1	1	0	1	0	1	
a_4	1	0	0	a_1	0	0	1	-	-	0	0	1	1	1	0	0	

$$y_1 = a_3 \vee a_0 \vee a_1 \cdot \bar{x}_1 \vee a_2 \cdot x_2 \vee a_4 \quad (23)$$

Аналогично записываются функции для выходных сигналов y_2, y_3, y_4 .

$$y_2 = a_3 \vee a_1 \cdot \bar{x}_1 \vee a_2 \cdot \bar{x}_2 \vee a_4 \quad (24)$$

$$y_3 = a_3 \quad (25)$$

$$y_4 = a_1 \cdot \bar{x}_1 \vee a_2 \cdot \bar{x}_2 \vee a_2 \cdot x_2 \quad (26)$$

Также записываются функции для комбинационной части схемы формирования сигналов управления триггерам.

$$J_3 = a_2 \cdot x_2 \quad (27)$$

$$K_3 = a_4 \quad (28)$$

$$J_2 = a_1 \cdot \bar{x}_1 \quad (29)$$

$$K_2 = a_3 \vee a_2 \cdot x_2 \quad (30)$$

$$J_1 = a_0 \vee a_2 \cdot \bar{x}_2 \vee a_4 \quad (31)$$

$$K_1 = a_3 \vee a_1 \cdot \bar{x}_1 \vee a_1 \cdot x_1 \quad (32)$$

Заметим, что функции (26), (32) можно упростить, применив закон склеивания. Они примут вид:

$$y_4 = a_1 \cdot \bar{x}_1 \vee a_2 \quad (33)$$

$$K_1 = a_3 \vee a_1 \cdot \bar{x}_1 \quad (34)$$

Окончательно логические функции для комбинационной схемы будут записаны так:

$$y_1 = a_3 \vee a_0 \vee a_1 \cdot \bar{x}_1 \vee a_2 \cdot x_2 \vee a_4 \quad (35)$$

$$y_2 = a_3 \vee a_1 \cdot \bar{x}_1 \vee a_2 \cdot \bar{x}_2 \vee a_4 \quad (36)$$

$$y_3 = a_3 \quad (37)$$

$$y_4 = a_1 \cdot \bar{x}_1 \vee a_2 \quad (38)$$

$$J_3 = a_2 \cdot x_2 \quad (39)$$

$$K_3 = a_4 \quad (40)$$

$$J_2 = a_1 \cdot \bar{x}_1 \quad (41)$$

$$K_2 = a_3 \vee a_2 \cdot x_2 \quad (42)$$

$$J_1 = a_0 \vee a_2 \cdot \bar{x}_2 \vee a_4 \quad (43)$$

$$K_1 = a_3 \vee a_1 \cdot \bar{x}_1 \quad (44)$$

При использовании для построения схемы D- триггеров (табл. 20) функции y_1-y_4 будут иметь такой же вид, а для схемы управления триггерами приведем пример их записи:

$$D_3 = a_2 \cdot x_2 \quad (45)$$

$$D_2 = a_2 \cdot \bar{x}_2 \vee a_1 \cdot \bar{x}_1 \quad (46)$$

$$D_1 = a_0 \vee a_2 \cdot \bar{x}_2 \vee a_4 \quad (47)$$

Таким образом, в результате анализа исходного алгоритма и выполненных расчетов, получены логические выражения для построения схемы цифрового автомата Мили. Переходим к этой части работы.

Ее следует начать с анализа состава серии микросхем, заданной табл. 15. Практически для всех серий удобным будет базис И-НЕ. С этой целью логические функции (35)-(47) следует преобразовать по теореме де Моргана. В схему в этом случае придется добавить элементы НЕ. Эти элементы могут понадобиться в схеме и в случае применения дешифраторов с инверсными выходами. Дешифраторы потребуются в схеме для преобразования кодовой комбинации состояния триггеров в одиночный управляющий сигнал, соответствующий состоянию цифрового автомата (табл. 15). В заданной серии могут быть JK- триггеры с *инверсным входом K*. В этом случае полученные выражения следует проинвертировать, а в схему ввести элементы НЕ.

Для построения схемы по приведенному расчету, не задаваясь конкретной серией микросхем, выберем дешифратор с прямыми выходами, базис И, ИЛИ, НЕ, D - триггеры с раздельной установкой в 0 и 1. Будем предполагать, что синхросигнал и сигнал начальной установки поступают с других схем. С целью получения завершенной схемы дополним ее входными и выходными разъемными соединениями.

Анализ логических функций (35) - (38), (45) - (47) позволяет несколько упростить схему. В выражениях есть повторяющиеся конъюнкции: $a_1 \cdot \bar{x}_1$ для y_1, y_2, y_4 ; $a_2 \cdot \bar{x}_2$ для y_2, D_2, D_1 , $a_2 \cdot x_2$ для y_1, D_3 .

Для реализации этих конъюнкций будем использовать по одному логическому элементу. Схема устройства приведена на рис. 20. При работе над этой частью проекта следует обосновать все элементы, включенные в схему, привести их обозначение и краткие сведения, таблицы функционирования. При построении дешифраторов на большее число выходов, чем имеется у выбранной микросхемы, объяснить принцип выбора элементов, их соединения для совместной работы. При отсутствии дешифратора надо привести полный его расчет. Все входы микросхем дешифраторов триггеров и логических элементов должны быть задействованы. Резистор в схеме на рис. 20 требуется для подачи на неиспользуемые входы триггеров пассивного уровня - логической единицы. Его величина выбирается из условий эксплуатации микросхем заданной серии [14].

Принципиальная схема вычерчивается с соблюдением ГОСТ 2.743-91. Док подключения питания указывается в технических требованиях на эже. Сведения о выбранных элементах приводятся в перечне элементов. Чень элементов составляется на отдельном листе, имеет штамп и ёщается после схемы. (Рис. 20 приведен безотносительно к конкретной и микросхем).

Для описания работы схемы необходимо выбрать переход, зависящий от внешнего условия. Описание приводится после составления схемы. Надо следить, чтобы логические уровни были обозначены чернилами любого цвета, кроме зеленого и красного. На рис. 20 это показано жирным шрифтом.

На входы **C** триггеров, соединенных вместе, подается сигнал от схемы генерации. Предположим, что она находится на другой плате. От других устройств подается и сигнал начальной установки. Его надо подавать на соответствующие входы **S** и **R** триггеров (на рис. 20). Начальное состояние -

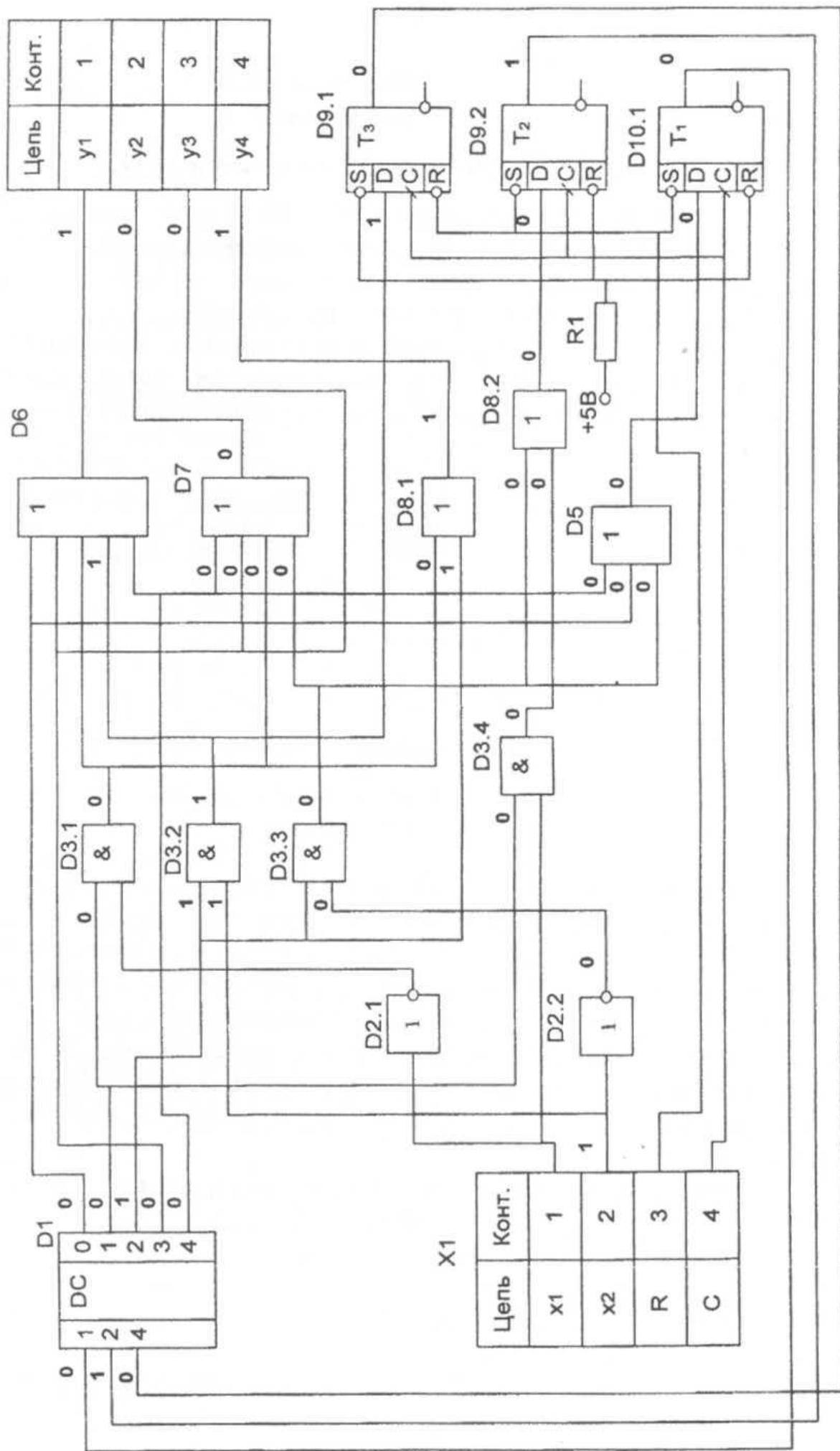


Рис. 20. Схема цифрового автомата

ПРИЛОЖЕНИЕ А (справочное)

Общие правила построения УГО

Государственный стандарт ГОСТ 2.743 – 91 устанавливает общие правила построения условных графических обозначений (УГО) элементов цифровой техники в схемах, выполняемых вручную или с помощью печатающих и графических устройств вывода ЭВМ.

УГО элемента имеет форму прямоугольника, к которому подводятся линии выводов. УГО может содержать три поля: основное и два дополнительных, которые располагаются справа и слева от основного (рис. А1)



Рис. А1. Общий вид УГО

В первой строке основного поля проставляются символы, обозначающие функции или совокупность функций, выполняемых элементом. В дополнительных полях помещают информацию о назначении выводов (метки выводов, указатели). Допускается дополнительные поля разделять на зоны, которые отделяют горизонтальной чертой.

Входы элементов изображаются с левой стороны УГО, выходы - с правой стороны. Выходы, не несущие логической информации (выходы питания и др.), изображают с правой или левой стороны УГО и обозначаются - x.

При подведении линий выводов к УГО не допускается проводить их на уровне сторон прямоугольника.

Размеры УГО определяются:

по высоте:

- числом линий выводов;
- числом интервалов;
- количеством строк информации в основном и дополнительных полях;
- размером шрифта;

по ширине:

- наличием дополнительных полей;
- числом знаков, помещаемых в одной строке внутри УГО

Минимальный размер основного поля установлен 10×10 мм при условии, что шаг модульной сетки М равен 2,5 мм. Размеры основного поля допускается увеличивать до размера, кратного 2М. Расстояние между любыми горизонтальными линиями УГО рекомендуется выдерживать кратными 2М.

Надписи внутри УГО выполняются шрифтом по ГОСТ 2.304. При выполнении схем с помощью устройств выводов ЭВМ применяют шрифты, имеющиеся в них.

Для обозначения функций, выполняемых элементом, на УГО проставляется символическая запись, состоящая из набора латинских букв, цифр и специальных символов. Обозначение функций наиболее распространенных элементов приведено в табл. А1.

Таблица А1. Обозначение функций элементов

Наименование	Обозначение
Демультиплексор	DX
Дешифратор	DC
Микропроцессор	MPU (CPU до 1993 года)
Постоянное ЗУ (ПЗУ)	ROM
Программируемое ПЗУ (ППЗУ)	PROM
ПЗУ с многократным программированием (РЭПЗУ)	RPROM (EEPROM до 1993 года)
Репрограммируемое ППЗУ с ультрафиолетовым стиранием (РФПЗУ).	UVPROM (EPROM до 1993 года)
Оперативное запоминающее устройство (ОЗУ)	RAM
Преобразователь кодов	X/Y
Регистр	RG
Регистр со сдвигом влево	←
Регистр со сдвигом вправо	→
Регистр реверсивный	↔
Счетчик	CT
Триггер	T
Триггер двухступенчатый	TT
Шифратор	CD

Выводы питания элементов приводят либо в качестве текстовой информации на свободном поле схемы, либо способом, показанным на рис. А2.

Нумерацию выводов элементов следует приводить над их линией выводов слева для входов или справа для линии выходов от контура УГО.

Информацию о назначении выводов размещают в дополнительном поле. Если выводы логически равнозначны или функции выводов однозначно определены функцией элемента, то дополнительное поле можно не приводить. Расстояния между выводами должны быть одинаковыми, а метки выводов не указываются.

Если выводы логически равнозначны, они могут объединяться в группу, которой присваивают метку, объединяющую их функцию. Данную метку проставляют на уровне первого вывода группы по середине поля. В качестве примера обозначения элементовсмотрите Приложение В.



Рис. A2. – Обозначение выводов питания

Если в группе разрядов однозначно определены весовые коэффициенты, то вместо номера разряда может поставлен его весовой коэффициент. Например, для двоичного счисления ряд весов имеет значения: 1, 2, 4, 8. Тогда информационный вывод (вход или выход) будет иметь метку D1 или 1, второго – D2 или 2 третьего – D4 или 4, четвертого – D8 или 8.

Для проставления меток выводов используются дополнительные поля: справа – для обозначения меток выходов, слева – для обозначения меток входов. УГО допускается выполнять без дополнительных полей или с одним из них, правым или левым в следующих случаях:

- все выводы логически равнозначны;
- функции выводов однозначно определяются функцией элемента.

При этом расстояния между выводами должны быть одинаковы, а метки выводов не указываются.

При наличии логически равнозначных выводов они могут быть графически объединены в группу выводов, которой присваивают метку, обозначающую их функцию. Метку проставляют на уровне первого вывода группы. Нумерацию выводов групп, с логически равнозначными выводами, допускается указывать в произвольном порядке.

Группы выводов разделяют интервалом в одну строку или помещают в отдельную для каждой группы зону.

ПРИЛОЖЕНИЕ Б
(справочное)

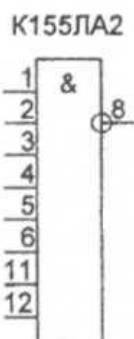
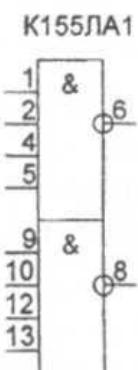
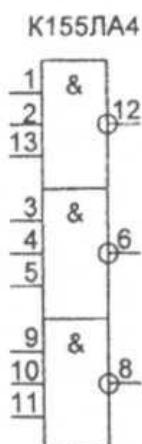
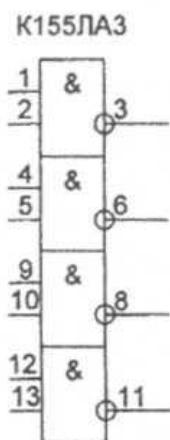
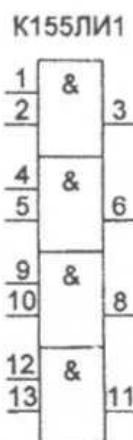
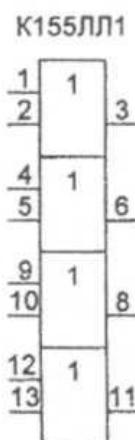
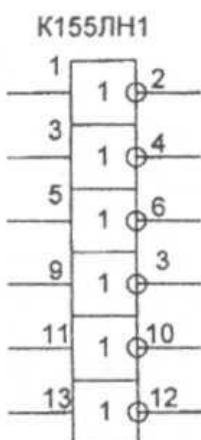
Третий элемент маркировки ИМС

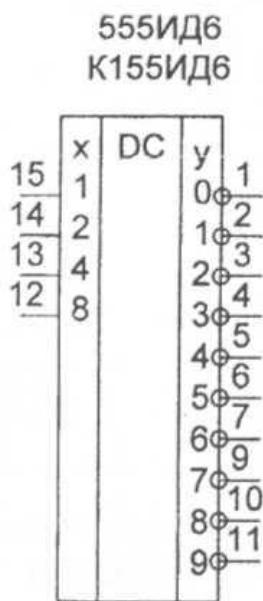
Подгруппа и вид микросхемы	Обозначение
Схемы вычислительных средств: управления вводом/выводом микроЭВМ микропроцессоры однокристальные	ВВ ВЕ ВМ
Схемы цифровых устройств: шифраторы десифраторы счетчики комбинированные полусумматоры сумматоры регистры	ИВ ИД СТ ИК ИЛ ИМ ИР
Логические элементы: И-НЕ ИЛИ-НЕ И ИЛИ НЕ И-ИЛИ-НЕ прочие	ЛА ЛЕ ЛИ ЛЛ ЛН ЛР ЛП
Схемы запоминающих устройств масочные ПЗУ ПЗУ с многократным электрическим программированием ПЗУ с однократным программированием оперативные запоминающие устройства ПЗУ с ультрафиолетовым стиранием и электрической записью	РЕ РР РТ РУ РФ
Триггеры типа JK типа D типа RS	ТВ ТМ ТР

ПРИЛОЖЕНИЕ В
(справочное)

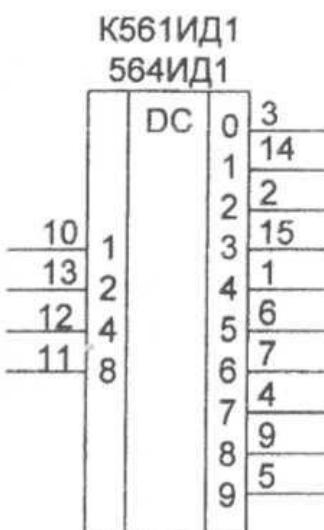
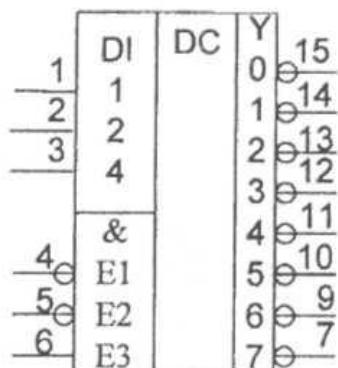
Условное графическое обозначение микросхем логических элементов и устройств

- K155ЛН1 шесть логических элементов НЕ;
 K155ЛЛ1 четыре логических элемента 2ИЛИ;
 K155ЛИ1 четыре логических элемента 2И;
 K155ЛА3 четыре логических элемента 2И-НЕ;
 K155ЛА4 три логических элемента 3И-НЕ;
 K155ЛА1 два логических элемента 4И-НЕ;
 K155ЛА2 один логический элемент 8И-НЕ;





К555ИД7
КР1533ИД7
530ИД7
КР1531ИД7



1533ИД3 К155ИД3
533ИД3

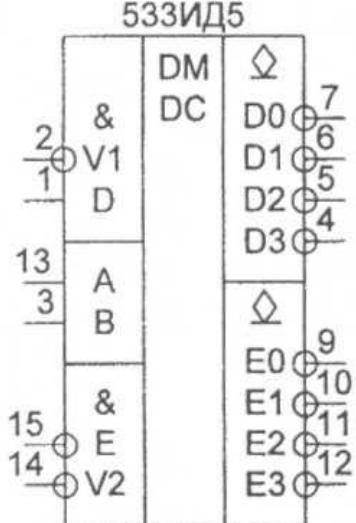
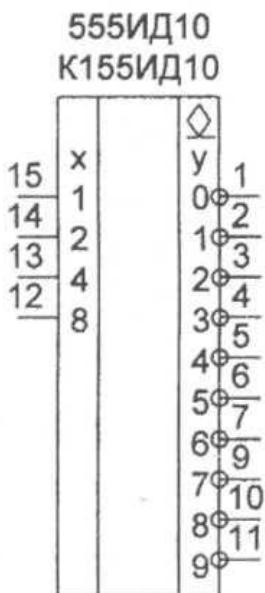
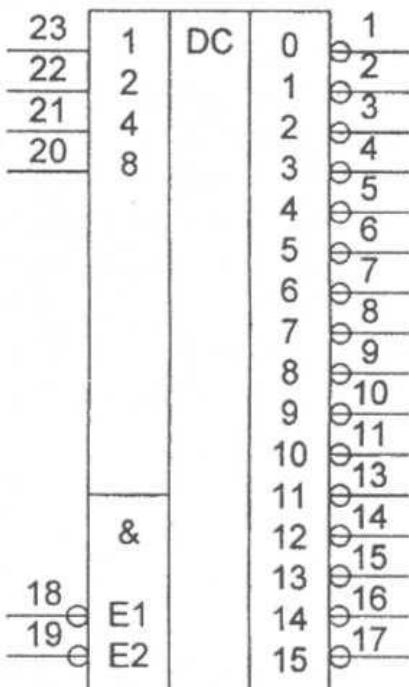
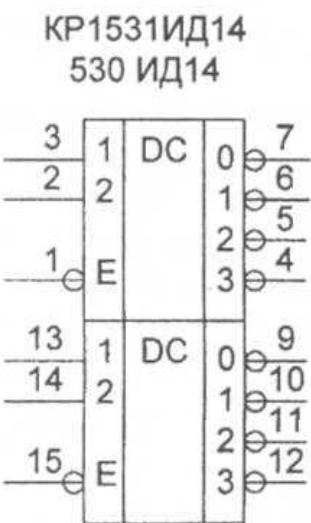
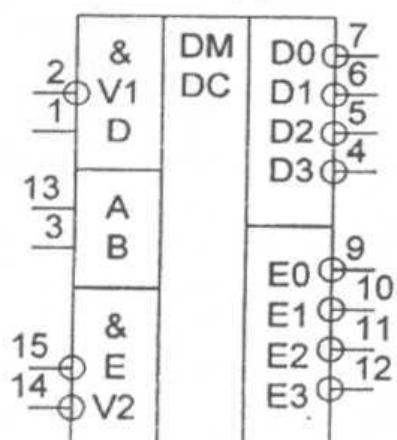


Таблица истинности К555ИД7

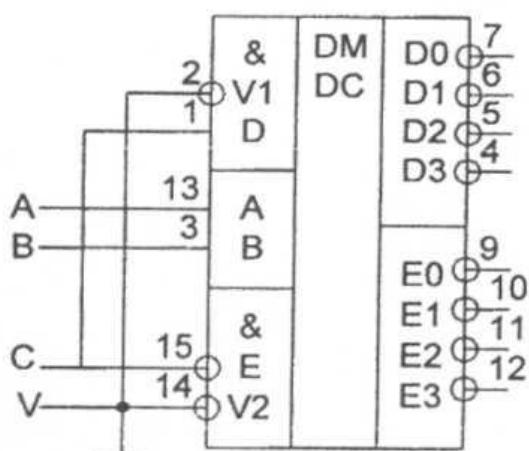
DI4	DI2	DI1	$\bar{E1}$	$\bar{E2}$	E3	Выходы
0	0	0	0	0	1	0
0	0	1	0	0	1	1
0	1	0	0	0	1	2
0	1	1	0	0	1	3
1	0	0	0	0	1	4
1	0	1	0	0	1	5
1	1	0	0	0	1	6
1	1	1	0	0	1	7
X	X	X	1	X	X	На всех выходах логическая 1
X	X	X	X	1	X	
X	X	X	X	X	0	

Отличается от ИД4 только типом выходов - открытый коллектор

К155ИД4



К155ИД4



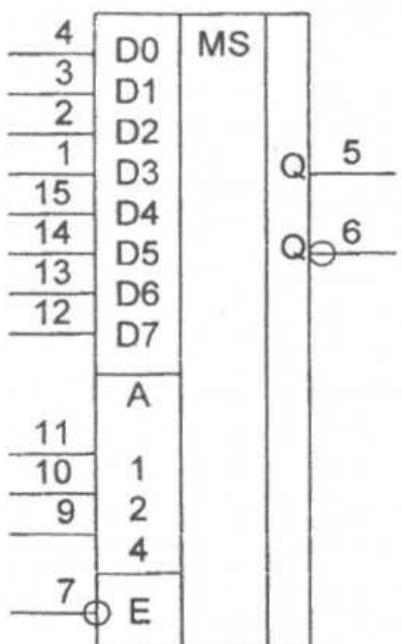
Микросхема К155ИД4 в роли дешифратора 3×8

В зависимости от схемы включения микросхема может быть использована следующих режимах: два демультиплексора $1 \rightarrow 4$; два дешифратора 2×4 мультиплексор $1 \rightarrow 8$; дешифратор 3×8 .

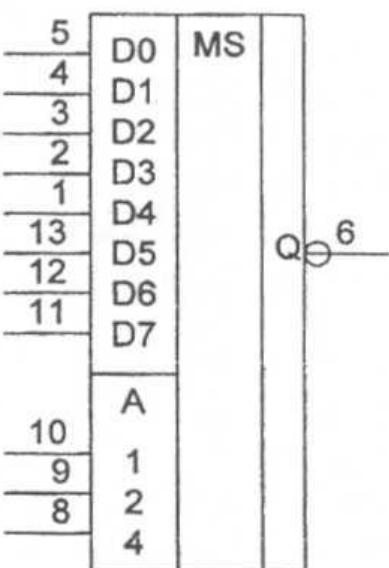
В режиме сдвоенного демультиплексора $1 \rightarrow 4$ входы D и E используются как информационные для первого и второго демультиплексора соответственно, входы V1 и V2 – разрешающие, а общие входы B и A – адресные. Два дешифратора 2×4 получаются в том случае, когда входы A и B служат как информационные, а V1 и D (для одной секции) и V2 и E (для другой) играют роль разрешающих. Задавая разрешающие уровни потенциалов на пары входов V1 И D, следует учитывать, что в отличие от инверсного входа V1 вход Г прямой. Если входы A, B, C использовать как адресные, а информацию подавать на вход V, данная схема работает как демультиплексор $1 \rightarrow 8$. При подаче на вход V логического 0 она действует как дешифратор состояний трех входов A, B, C на восемь выходов (дешифратор 3×8).

В режиме сдвоенного демультиплексора $1 \rightarrow 4$ входы D и E используются как информационные для первого и второго демультиплексора соответственно, входы V1 и V2 – разрешающие, а общие входы B и A – адресные. Два дешифратора 2×4 получаются в том случае, когда входы A и B служат как информационные, а V1 и D (для одной секции) и V2 и E (для другой) играют роль разрешающих. Задавая разрешающие уровни потенциалов на пары входов V1 И D, следует учитывать, что в отличие от инверсного входа V1 вход Г прямой. Если входы A, B, C использовать как адресные, а информацию подавать на вход V, данная схема работает как демультиплексор $1 \rightarrow 8$. При подаче на вход V логического 0 она действует как дешифратор состояний трех входов A, B, C на восемь выходов (дешифратор 3×8).

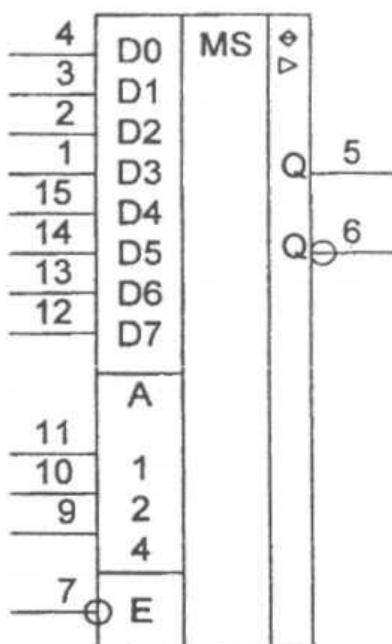
K555КП7



K155КП5



K555КП15



K555ИВ1

K155ИВ1

	X	CD	Y
10	0		
11	1		
12	2		
13	3		9
1	4		7
2	5		6
3	6		
4	7		
5	E		
		G	14
		EO	15

Приоритетный шифратор

X0 - X7 - входные сигналы. На одном из входов установлен "0", на остальных логическая "1". На выходах - соответствующий двоичный код. У шифратора инверсные вводы и выходы. При E=1 на всех выходах устанавливается "1". Сигнал на выходе EO указывает на отсутствие "0" хотябы на одном входе.

Сигнал на выходе G указывает на наличие "0" хотябы на одном входе.

K555ИВ2

533ИВ2

	X	CD	◊
10	0		
11	1		
12	2		
13	3		9
1	4		7
2	5		6
3	6		
4	7		
5	E		
		G	14
		EO	15

Отличается от ИВ1 только триистабильными

выходами. В третье состояние выходы переводятся при E=1, а также при E=0, но при отсутствии возбужденного информационного входа.

K555ИВ3

533ИВ3

	X	CD	Y
10	0		
11	1		
12	2		
13	3		9
1	4		7
2	5		6
3	6		
4	7		
			8

K155ИД1

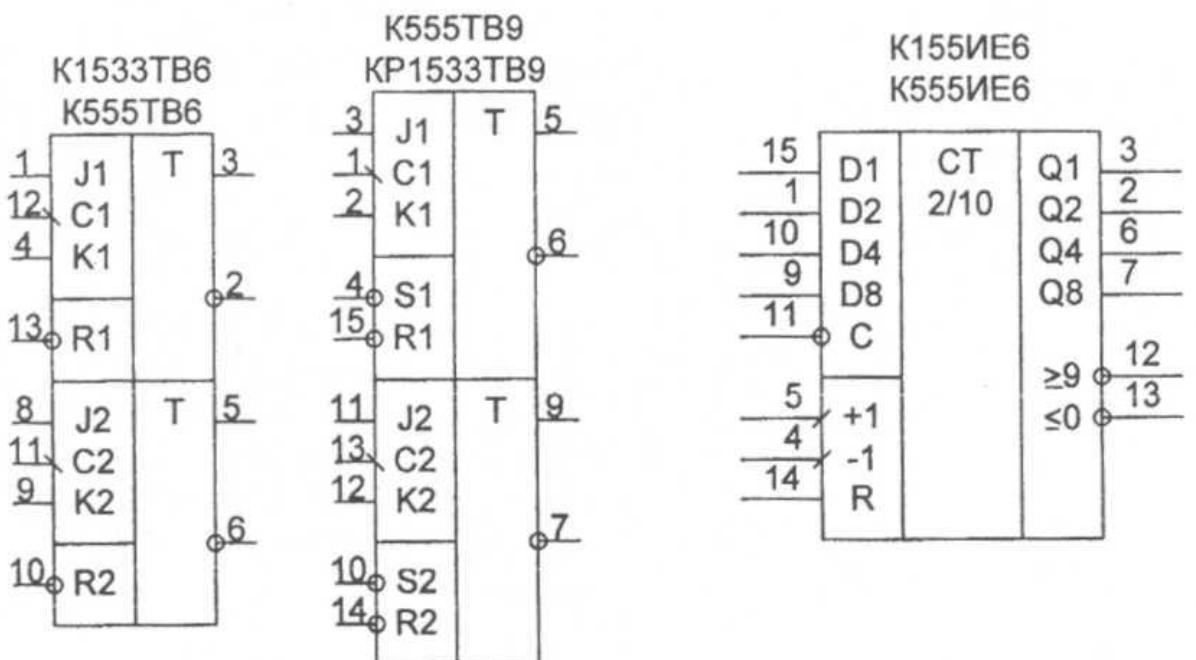
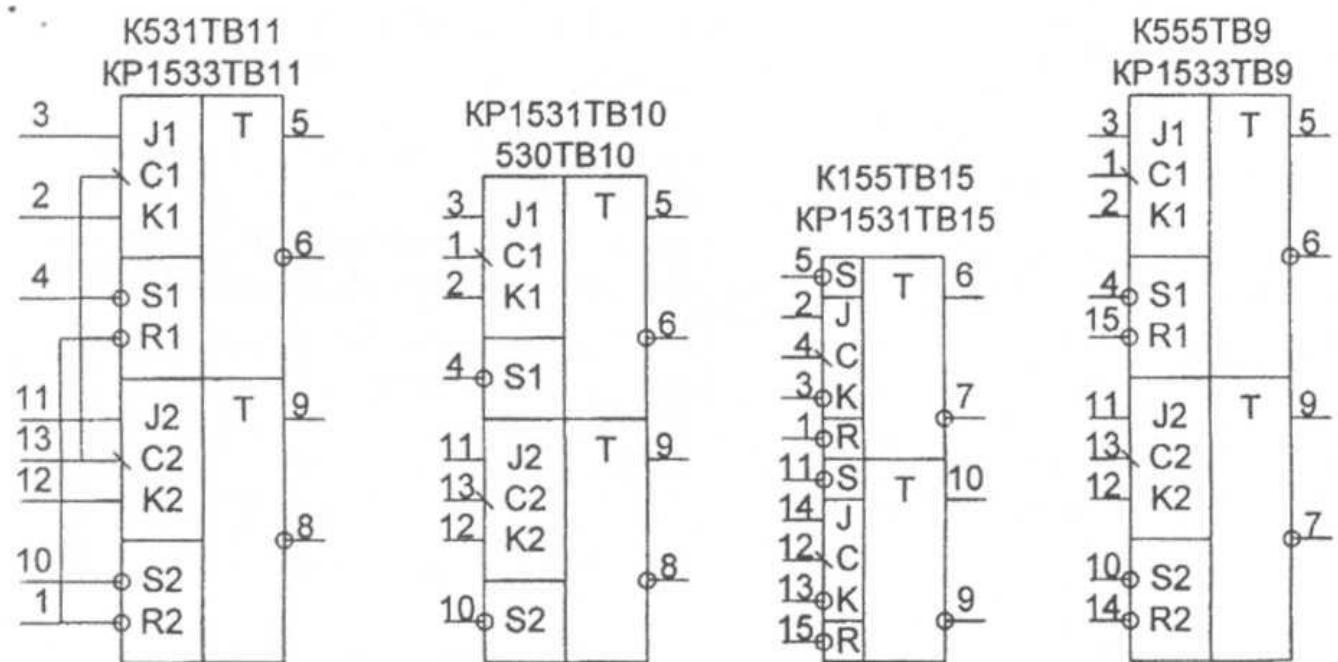
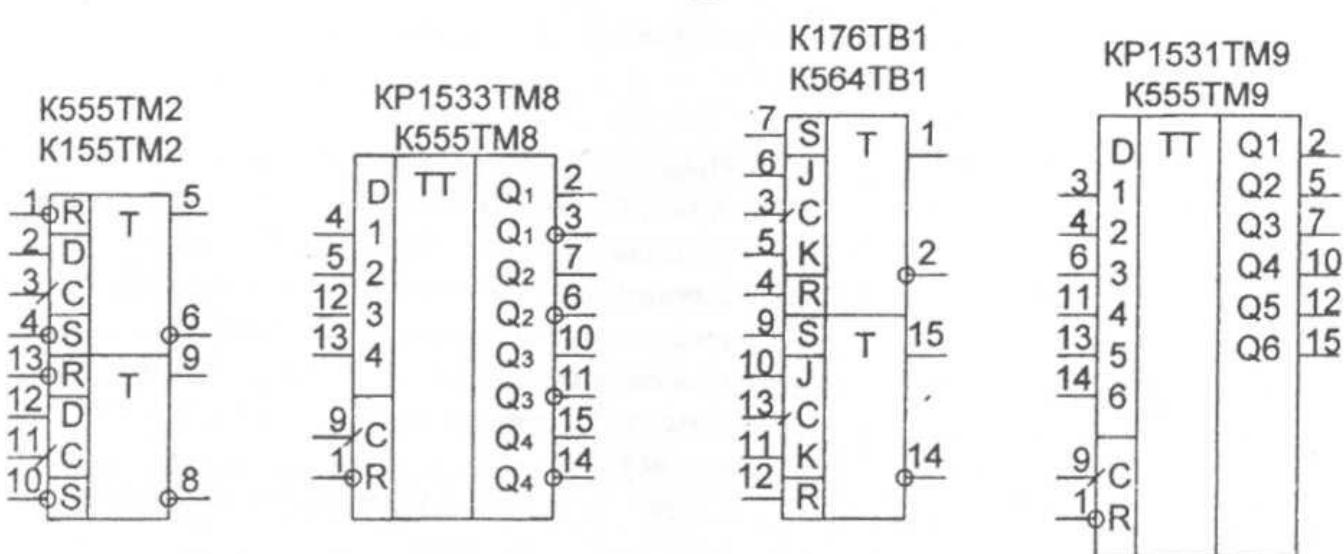
	X	CD	◊
3			16
1	0		15
6	1		
2	10		8
17	20		
4	9		
8	30		13
	40		14
	50		11
	60		10
	70		1
	80		2
	90		

Дешифратор K155ИД1 предназначен для управления высоковольтными индикаторами.

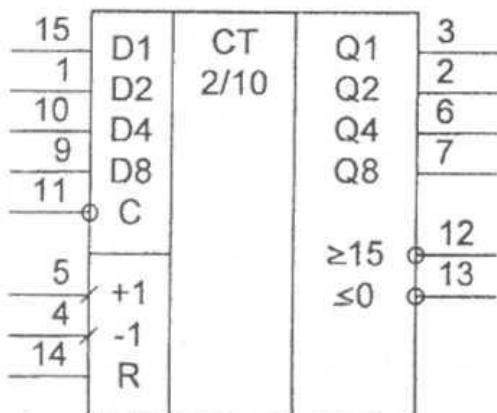
На выходах установлены высоковольтные транзисторы с открытым коллектором.

Допускается подача напряжения на выходы до 60В.

Подключение к выходам логических элементов не допускается.

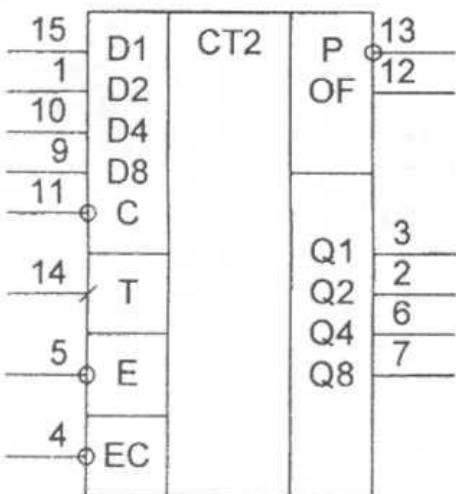


K155ИЕ7 K555ИЕ7



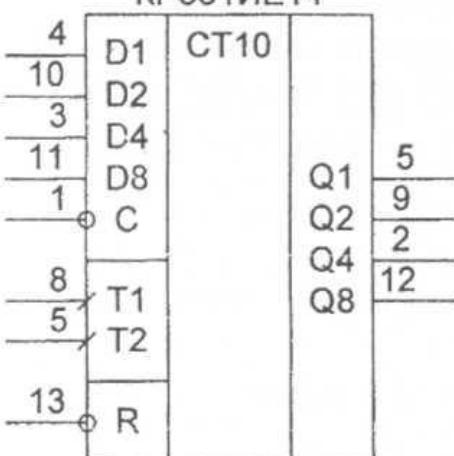
Микросхемы ИЕ6 и ИЕ7 четырехразрядные реверсивные счетчики –делители с параллельным переносом. Отличаются только коэффициентом счета. Входы D1-D8 - входы предварительной записи. С - разрешение предварительной записи. Входы -1 и +1 - счетные входы: -1 - вход обратного счета, +1 - вход прямого счета. ≥ 9 , (≤ 15) - выход переноса при прямом счете, ≤ 0 - выход переноса при обратном счете. Q1 - Q8 - информационные выходы.

K555ИЕ13



Входы D1-D8 - входы предварительной записи. С - разрешение предварительной записи. Вход T - счетный вход. Вход E задает направление счета: E=1 - обратный счет, E=0- прямой счет. EC - разрешение счета. Выход P - сигнал переноса. Выход OF - сигнал переполнения. Равен 0 при любой кодовой комбинации на выходах Q1 - Q8, кроме 0000 и 1111.

K555ИЕ14 KP531ИЕ14



Входы D1-D8 - входы предварительной записи. С - разрешение предварительной записи. Вход T1- вход счетчика (делителя) на 2. Вход T2 - вход счетчика (делителя) на 5. Если счетные импульсы подавать на вход T1, то счет будет вестись до двух. при этом выходы Q2, Q4, Q8 будут не задействованы. Если счетные импульсы подавать на вход T2, то счет ведется до пяти и информация представлена на выходах Q2, Q4, Q8. Чтобы получить счетчик до 10 надо соединить выход Q1 входом T2 и счетные импульсы подавать на вход T1.

K555 ИЕ10
KP1533ИЕ10

3	D1	CT2	P	15
4	D2			
5	D4			
6	D8			
9	C			14
2	T		Q1	13
7	V		Q2	12
10	EP		Q4	11
1	R		Q8	

KP1533 ИЕ10. Входы D1-D8 - входы предварительной записи. С- разрешение предварительной записи. Вход Т - вход счетный. V - вход разрешения счета. EP - вход разрешения переноса. R - сброс счетчика в 0. P - выход переноса. Q1 - Q8 - выходы информационные.

K155ИР13

11	C	RG ↔		
2	DR			4
22	DL		Q1	6
23	S1		Q2	8
1	S0		Q3	10
3	D1		Q4	14
5	D2		Q5	16
7	D3		Q6	18
9	D4		Q7	20
15	D5		Q8	
17	D6			
19	D7			
21	D8			
13	R			

K155ИР13. D1 - D8 - входы параллельной записи. S1 и S0 - задание режима. DR - последовательный ввод при сдвиге вправо. DL - последовательный ввод при сдвиге влево. Выход Q8 - выход младшего разряда.

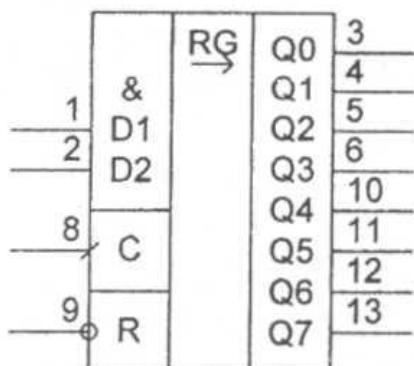
S1	S0	Режим
0	0	хранение
0	1	сдвиг вправо
1	0	сдвиг влево
1	1	параллельный ввод

K155ИР1

9	C1	RG ↔		
8	C2			
1	V1		Q1	13
6	V2		Q2	12
2	D1		Q3	11
3	D2		Q4	10
4	D3			
5	D4			

K155ИР1. Ввод информации последовательным кодом и сдвиг ее вправо производится при V2=0. Входная информация подается на вход V1, а тактовые импульсы - на вход C1. Сдвиг вправо на один разряд происходит по срезу тактовых импульсов. Ввод информации в параллельном коде осуществляется при V2=1. Разрешение подается на вход C2. Данные для записи подаются на входы D1 - D4. Значение сигналов на входах V1 и C1 при этом - безразлично.

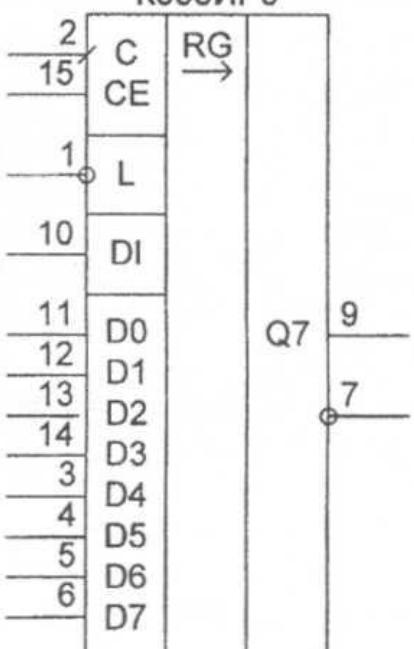
K555ИР8



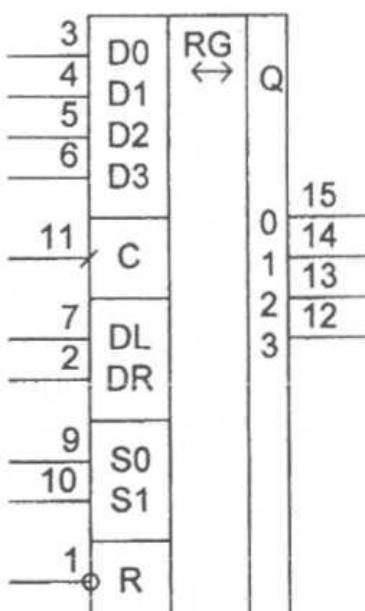
Восьмиразрядный регистр сдвига с параллельным выходом. осуществляет сдвиг вправо. Запись и сдвиг информации происходит под действием фронта импульса на входе С. Информация подается на один из входов D1 или D2. На свободный вход подается "1". Вход R - вход обнуления. Q7 - младший разряд.

1533ИР9

K555ИР9



Восьмиразрядный регистр с последовательным выходом. Данные загружаются параллельно с входов D0-D7 при L=0. После записи на выходе Q7 устанавливается значение, соответствующее входу D7. При L=1 данные записываются в последовательном коде с входа DI. Выход Q7 соответствует младшему разряду. Сдвиг данных на один разряд происходит по фронту импульсов на входе С. При CE=1 регистр не сдвигает (режим хранения). Входы С и CE можно менять местами.

K555ИР11
K555ИР11А

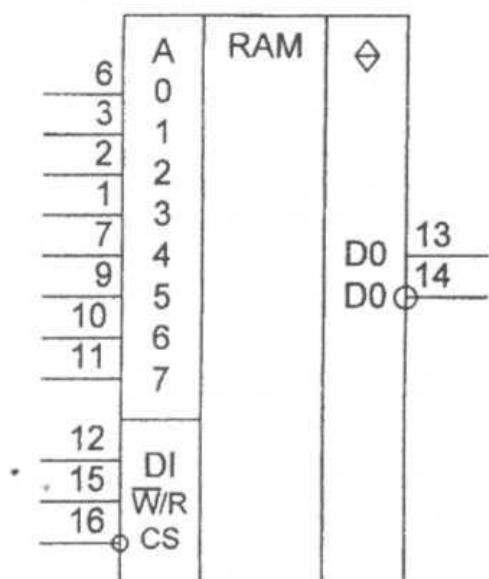
Параллельный ввод информации с входов D происходит синхронно по фронту импульсов на входе С. При сдвиге вправо данные поступают на вход DR, при сдвиге влево - на вход DL. Запись каждого разряда сопровождается синхросигналами на входе С. Q3 - старший разряд.

Значение сигналов на входах S1 и S0:

S1	S0	Режим
0	0	хранение
0	1	сдвиг вправо
1	0	сдвиг влево
1	1	параллельный ввод

К176РУ2

Назначение выводов микросхемы К176РУ2

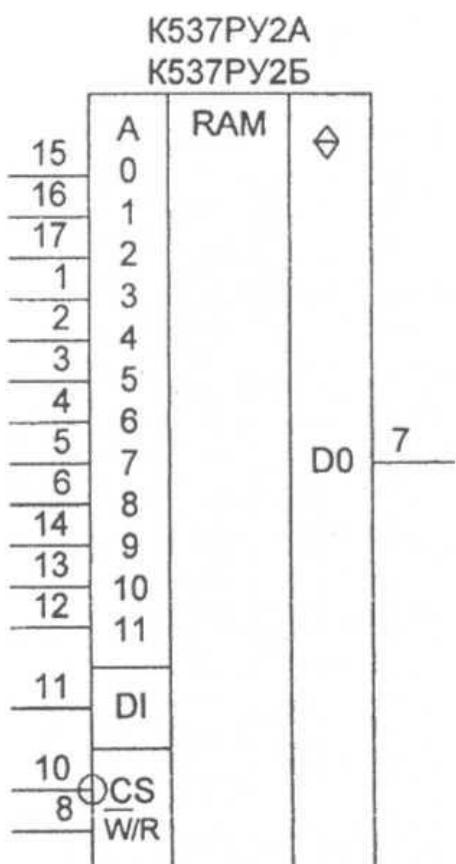


Назначение	Обозначение	№ вывода
Адресный вход	A ₇ - A ₀	1-3, 6, 7, 9 10, 11
Вход данных	DI	12
Выход данных (прямой)	DO	13
Выход данных (инвер.)	DO	14
Выбор микросхемы	CS	16
Сигнал запись/чтение	WR/RD	15
Напряжение питания	Ucc	5
Общий	0в	4

Таблица истинности микросхем К176РУ2

CS	WR/RD	A ₁₁ ...A ₀	DI	DO	Режим работы
1	X	X	X	Z	Хранение
0	1	A	1	Z	Запись 1
0	1	A	0	Z	Запись 0
0	0	A	X	данные	Чтение

Назначение выводов микросхемы KP537РУ2А(Б)



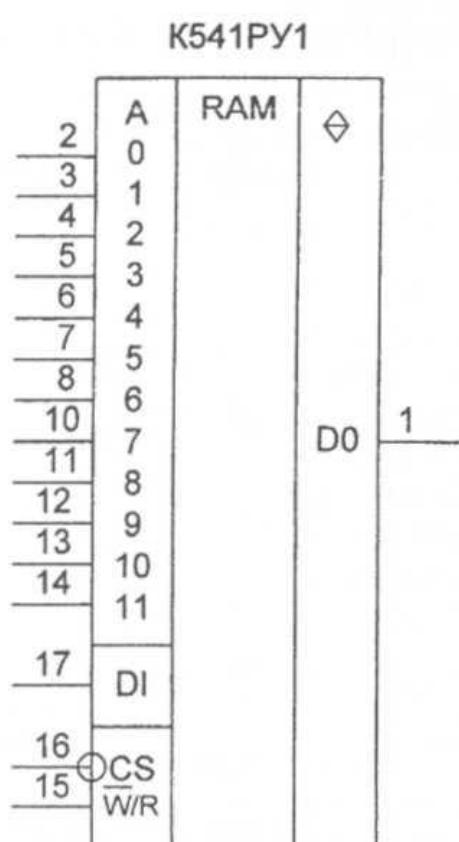
Назначение	Обозначение	№ вывода
Адресный вход	A ₁₁ - A ₀	1...6, 12...17
Вход данных	DI	11
Выход данных	DO	7
Выбор микросхемы	CS	10
Сигнал запись/чтение	WR/RD	8
Напряжение питания	Ucc	18
Общий	0в	9

Таблица истинности микросхем K537РУ2А(Б)

CS	WR/RD	A ₁₁ ...A ₀	DI	DO	Режим работы
1	X	X	A	Z	Хранение
0	0	A	0	Z	Запись 0
0	0	A	1	Z	Запись 1
0	1	A	X	данные	Чтение

Z - высокоимпедансное состояние, X - произвольное значение

Назначение выводов микросхемы K541РУ1

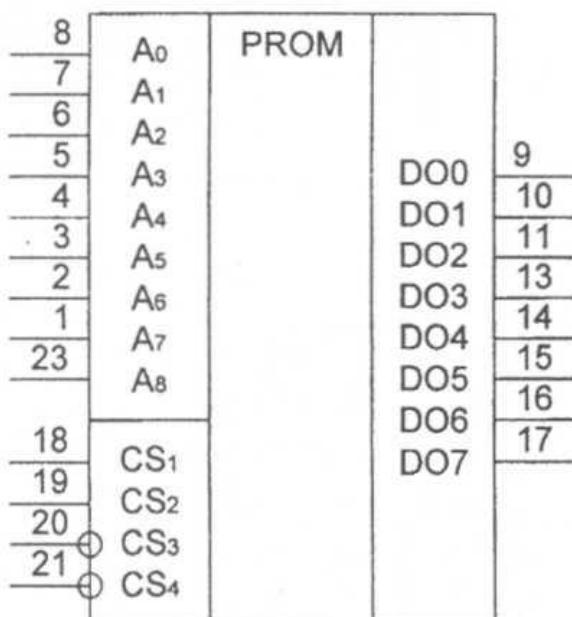


Назначение	Обозначение	№ вывода
Адресный вход	A11 - A0	2...8, 10...14
Вход данных	DI	17
Выход данных	DO	1
Выбор микросхемы	CS	16
Сигнал записи/чтение	WR/RD	15
Напряжение питания	Ucc	18
Общий	0в	9

Таблица истинности микросхемы K541РУ1

CS	WR/RD	A11...A0	DI	DO	Режим работы
1	X	X	A	Z	Хранение
0	0	A	0	Z	Запись 0
0	0	A	1	Z	Запись 1
0	1	A	X.	данные	Чтение

KP556PT5



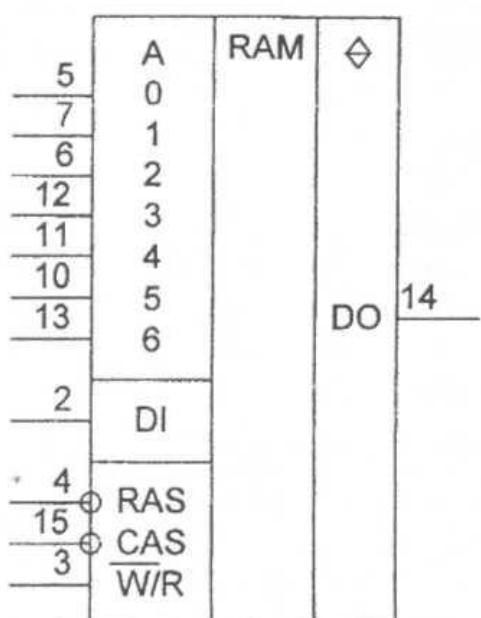
Назначение	Обозначение	№ вывода
Адресный вход	A ₈ - A ₀	1...8, 23
Выход данных	DO ₀ ...DO ₇	9...11
Выбор микросхемы	CS ₁ , CS ₂ CS ₃ , CS ₄	13...17 18, 19, 20, 21
Напряжение питания	Ucc	24
Напр. питания при программировании	UPR	22
Общий	0в	12

Таблица истинности микросхемы KP556PT5

CS ₁	CS ₂	CS ₃	CS ₄	A ₀ ...A ₉	DO ₀ ...DO ₇	UPR	Режим работы
M 1	M 1	M 0	M 0	X A	1 данные	Z Z	Хранение Чтение

М - любая комбинация сигналов CS, кроме CS₁=CS₂=1, CS₃=0, CS₄=0 одновременно

К565РУЗА



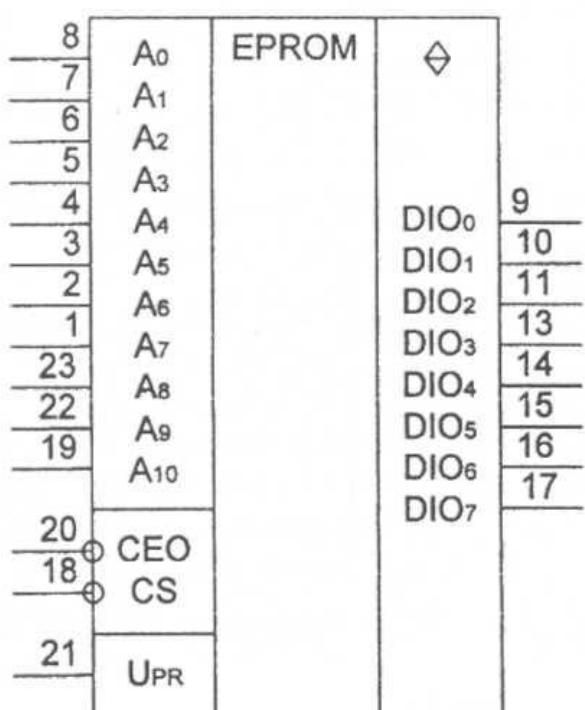
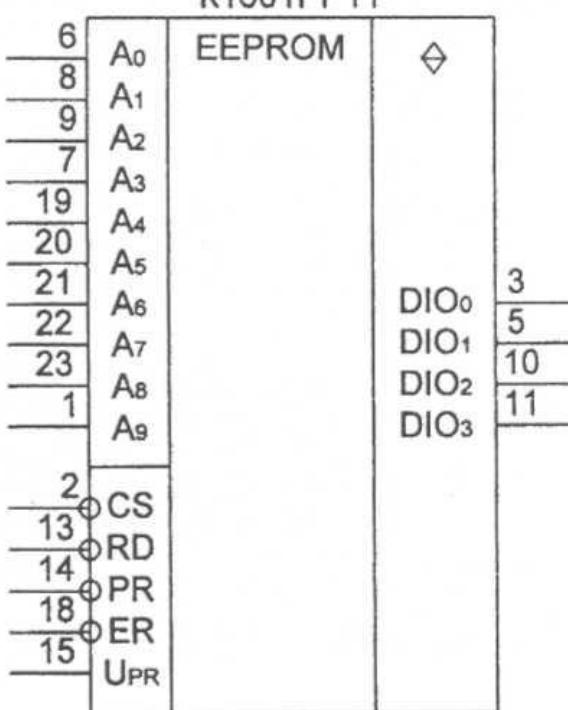
Назначение выводов микросхемы К565РУЗА

Назначение	Обозначение	№ вывода
Адресный вход	A ₆ - A ₀	5...7, 10...13
Вход данных	DI	2
Выход данных	DO	14
Сигнал записи/чтение	WR/RD	3
Строб адреса строк	RAS	4
Строб адреса столбцов	CAS	15
Напряжение питания +12В	Ucc ₁	8
Напряжение питания +5В	Ucc ₂	9
Напряжение питания -5В	Ucc ₃	1
Общий	0B	16

Таблица истинности микросхем К565РУЗА

RAS	CAS	WR/RD	A ₁₁ ...A ₀	DI	DO	Режим работы
1	1	X	X	X	Z	Хранение
1	0	X	X	X	Z	Хранение
0	1	X	A	X	Z	Регенерация
0	0	0	A	0	Z	Запись 0
0	0	0	A	1	Z	Запись 1
0	0	1	A	X	данные	Чтение

K573РФ5

K1601PP1
K1601PP11

K573PP2

8	A ₀	EEPROM	\diamond
7	A ₁		
6	A ₂		
5	A ₃		
4	A ₄		DIO ₀
3	A ₅		DIO ₁
2	A ₆		DIO ₂
1	A ₇		DIO ₃
23	A ₈		DIO ₄
22	A ₉		DIO ₅
19	A ₁₀		DIO ₆
20	CEO		DIO ₇
18	CS		
21	U _{PR}		

K1601PP3

22	A ₀	EEPROM	\diamond
21	A ₁		
20	A ₂		
19	A ₃		
26	A ₄		DIO ₀
10	A ₅		DIO ₁
11	A ₆		DIO ₂
13	A ₇		DIO ₃
14	A ₈		DIO ₄
15	A ₉		DIO ₅
16	A ₁₀		DIO ₆
17			DIO ₇
25	CS		
14	RD		
24	PR		
16	ER		
18	U _{PR}		

KP1610PE1

8	A ₀	ROM	\diamond
7	A ₁		
6	A ₂		
5	A ₃		DO ₀
4	A ₄		DO ₁
3	A ₅		DO ₂
2	A ₆		DO ₃
1	A ₇		DO ₄
23	A ₈		DO ₅
22	A ₉		DO ₆
19	A ₁₀		DO ₇
18	CS		
20	CEO		

Назначение выводов микросхемы KP1610PE1

Назначение	Обозначение	№ вывода
Адресный вход	A ₀ - A ₁₀	1...8, 22,23,19
Вход/выход данных	DO ₀ ...DO ₇	9...11 13...17
Выбор микросхемы	CS	18
Разрешение по выходу	CEO	20
Напряжение питания	U _{cc}	24
Общий	0B	12

Таблица истинности микросхемы KP1610PE1

CS	CEO	A ₀ ...A ₉	DO ₀ ...DO ₇	Режим работы
M 0	M 0	X A	Z Данные в прямом коде	Хранение Чтение

M - любая комбинация сигналов, кроме CS=CEO=0

Назначение выводов микросхемы K573PP2

Назначение	Обозначение	№ вывoda
Адресный вход	A ₀ - A ₁₀	8...1, 23,22,19
Вход/выход данных	DIO ₀ ...DIO ₇	11...9 13...17
Выбор микросхемы	<u>CS</u>	18
Разрешение по выходу	<u>CEO</u>	20
Напряжение питания	U _{cc}	24
Напряжение программирования	U _{PR}	21
Общий	0B	12

Таблица истинности микросхем K573PP2

CS	CEO	A ₀ ...A ₁₀	DIO ₀ ...DIO ₇	U _{PR}	Режим работы
1	X	X	Z	U _{cc}	Хранение
0	12B	X	1	22B (импульс)	Общее стирание
12B	1	X	X	22B (импульс)	Общая запись
0	1	A	Входные данные	22B (импульс)	Избирательная запись
0	1	A		22B (импульс)	Избирательное стирание
0	0	A	Выходные данные	U _{cc}	Считывание

Таблица истинности микросхем K1601PP3

CS	ER	PR	RD	A _{0..A₃}	A _{4..A₁₀}	U _{PR}	DIO ₀ ...DIO ₇	Режим работы
1	X	X	X	X	X	X	Z	Хранение
0	0	1	1	X	X	-35B	X	Общее стирание
0	0	0	1	X	A	-35B	1	Избир. стирание
0	1	0	1	A	A	-35B	1	Запись 1
0	1	0	1	A	A	-35B	0	Запись 0
0	1	1	0	A	A	-35B	Выходные данные	Считывание

Назначение выводов микросхемы K573РФ5

Назначение	Обозначение	№ вывода
Адресный вход	A ₀ - A ₁₀	1...8, 22,23,19
Вход/выход данных	DIO ₀ ...DIO ₇	9...11 13...17
Выбор микросхемы	<u>CS</u>	18
Разрешение по выходу	<u>CEO</u>	20
Напряжение питания	U _{cc}	24
Напряжение программирования	U _{PR}	21
Общий	0B	12

Таблица истинности микросхем K573РФ5

CS	CEO	A ₀ ...A ₁₀	DIO ₀ ...DIO ₇	U _{PR}	Режим работы
1	X	X	Z	U _{cc}	Хранение
1	1	A	Входные данные в прямом коде	25В	Программирование
0	1	A	Z	25В	Запрет программирования
0	0	A	Выходные данные в прямом коде	25В	Контроль после программирования
0	0	A	Выходные данные в прямом коде	U _{cc}	Считывание

Назначение выводов микросхемы K1601PP1

Назначение	Обозначение	№ вывода
Адресный вход	A ₀ - A ₁₀	1,6...9, 19...23
Вход/выход данных	DIO ₀ ...DIO ₃	3,5,10,11
Выбор микросхемы	CS	2
Сигнал считывания	RD	13
Сигнал программирования	<u>PR</u>	14
Сигнал стирания	<u>ER</u>	18
Напряжение программирования	U _{PR}	15
Напряжение питания	U _{cc1}	12
Напряжение питания	U _{cc2}	24
Общий	0B	4

Таблица истинности микросхем K1601PP1

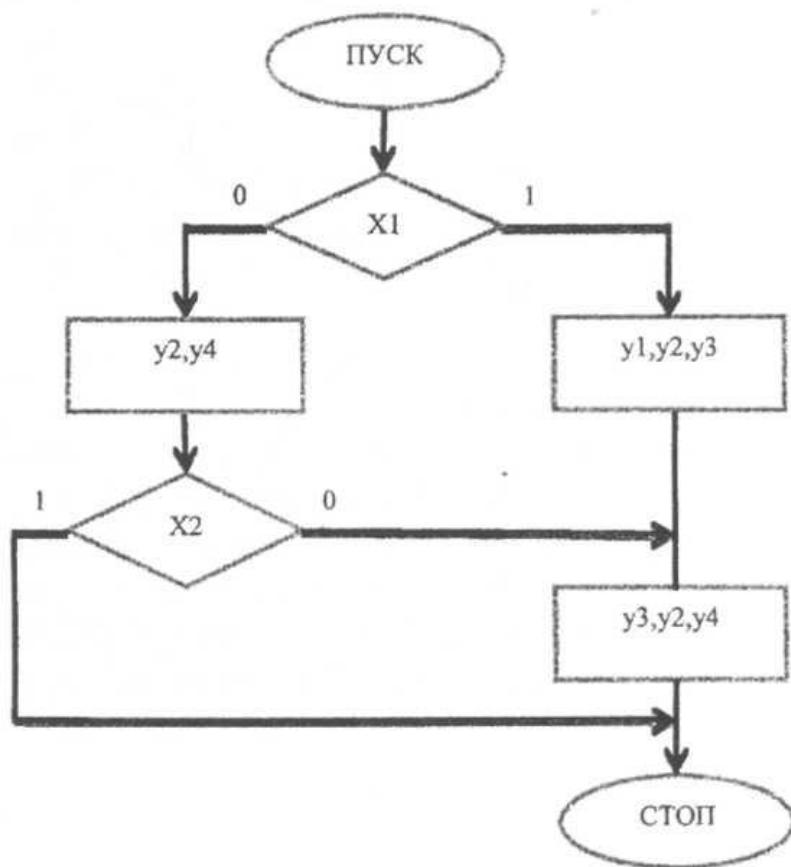
CS	\overline{ER}	\overline{PR}	RD	A _{0..A₃}	A _{4..A₉}	UPR	DIO _{0..DIO₃}	Режим работы
0	X	X	X	X	X	X	Z	Хранение
1	0	1	0	X	X	-31B	X	Общее стирание
1	0	0	0	X	A	-31B	1	Избир. стирание
1	1	0	0	A	A	-31B	1	Запись 1
1	1	0	0	A	A	-31B	0	Запись 0
1	1	1	1	A	A	-31B	Выходные данные	Считывание

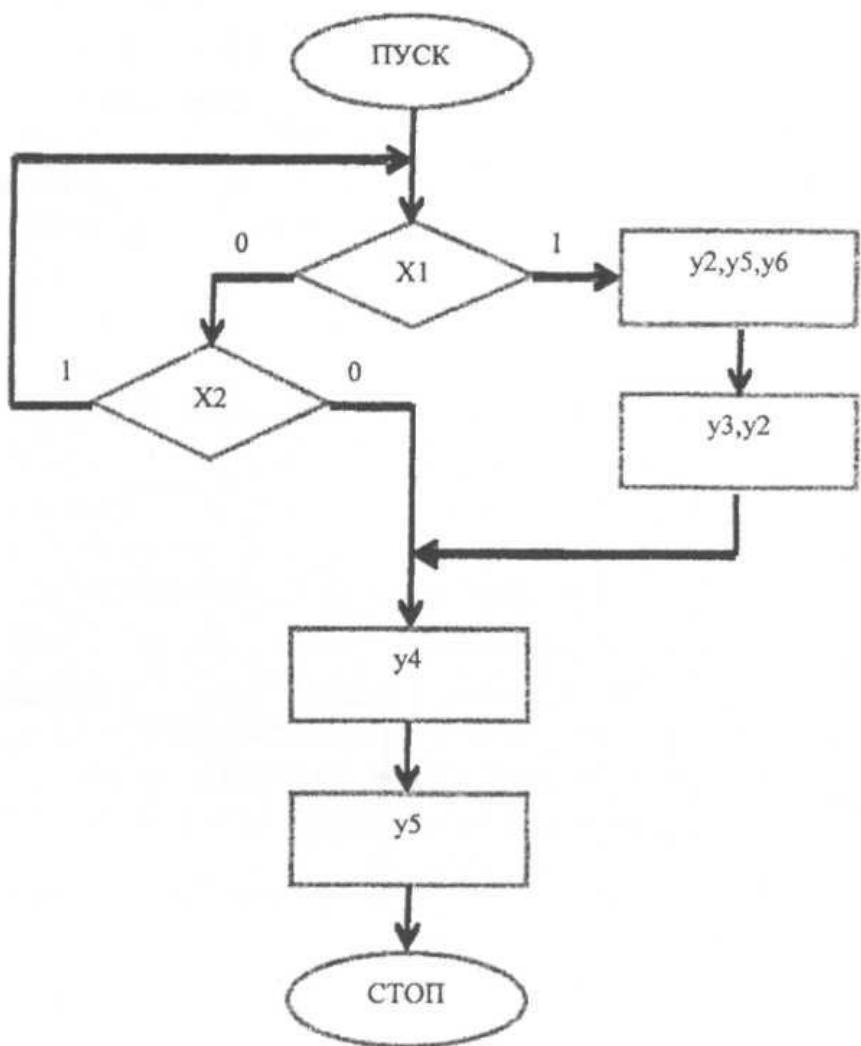
Назначение выводов микросхемы K1601PP3

Назначение	Обозначение	№ вывода
Адресный вход	A _{0 - A₁₀}	1...3,8, 19...22, 26...28
Вход/выход данных	DIO _{0..DIO₇}	4...7,9...12
Выбор микросхемы	CS	25
Сигнал считывания	RD	14
Сигнал программирования	\overline{PR}	24
Сигнал стирания	ER	16
Напряжение программирования	UPR	18
Напряжение питания	Ucc ₁	17
Напряжение питания	Ucc ₂	13
Общий	0B	23

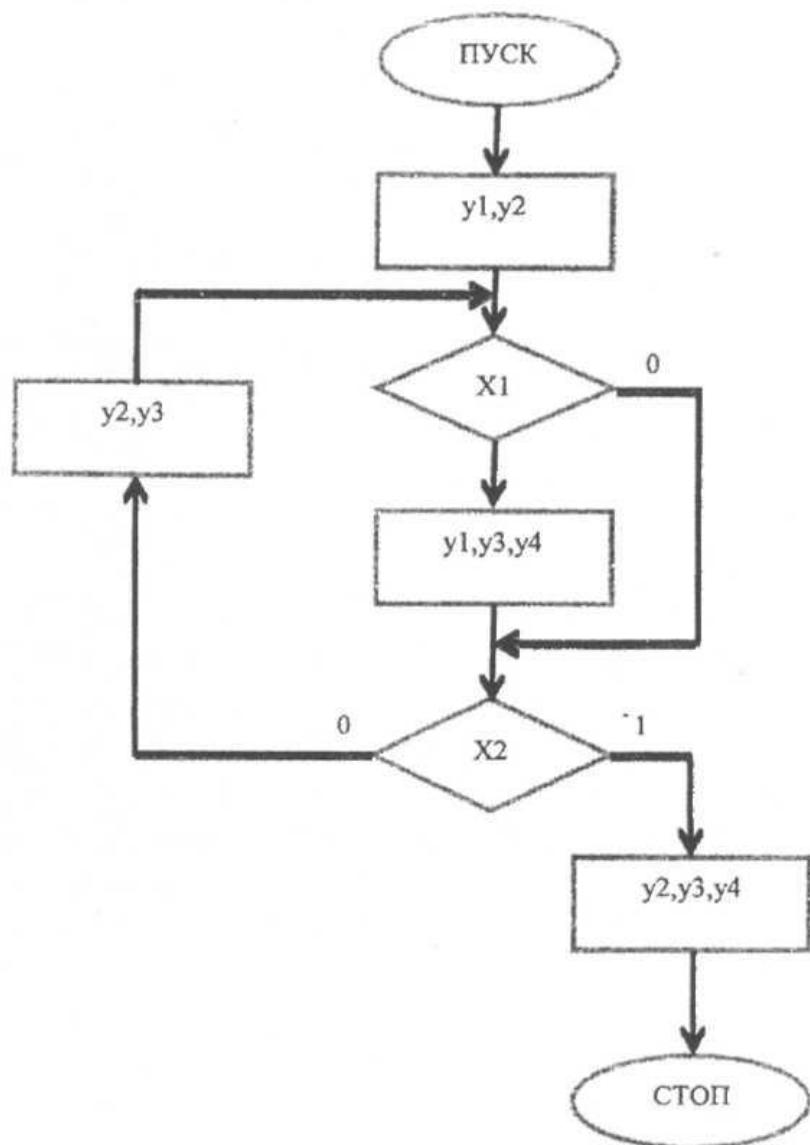
ПРИЛОЖЕНИЕ Г
(информационное)
Схемы алгоритмов для задачи № 5

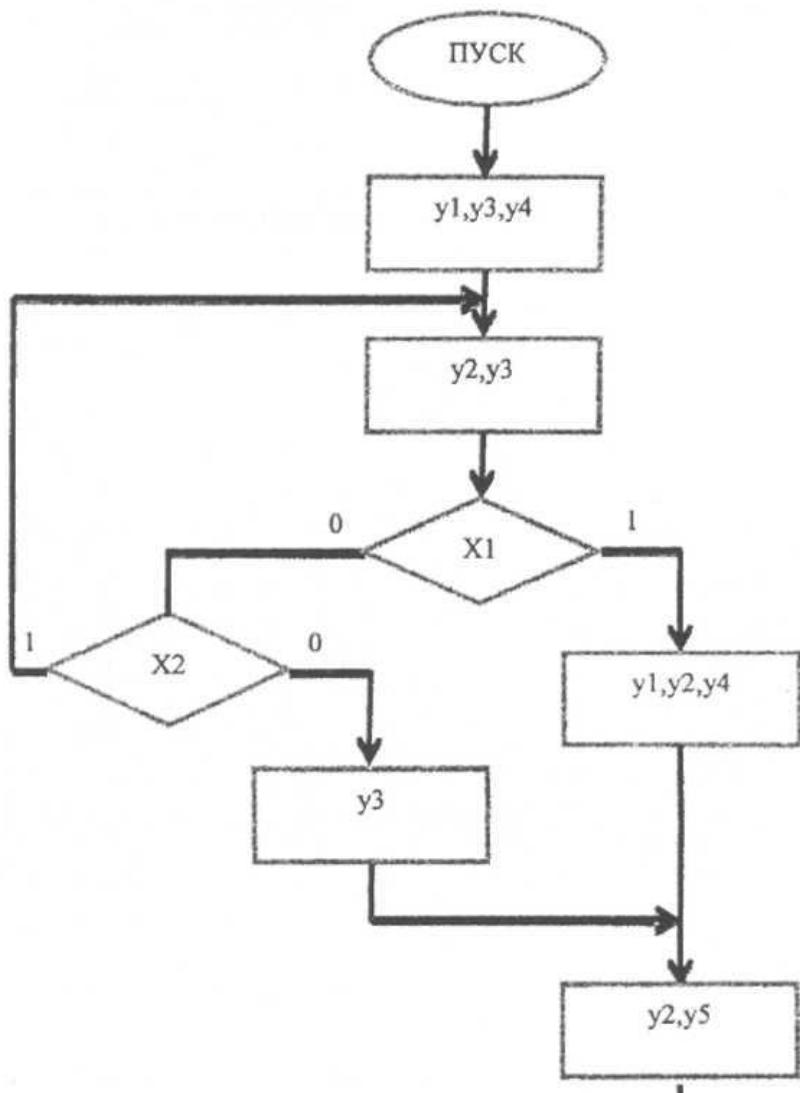
Вариант 1



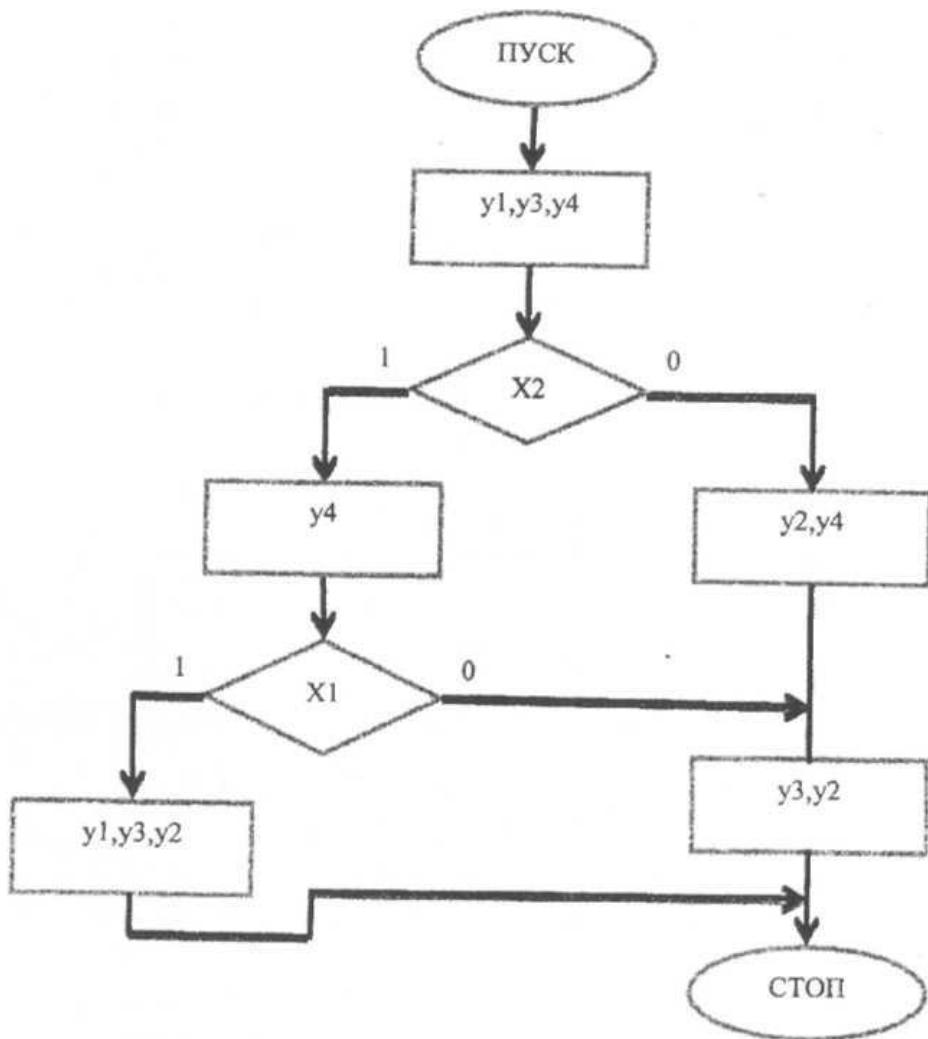
Вариант 2

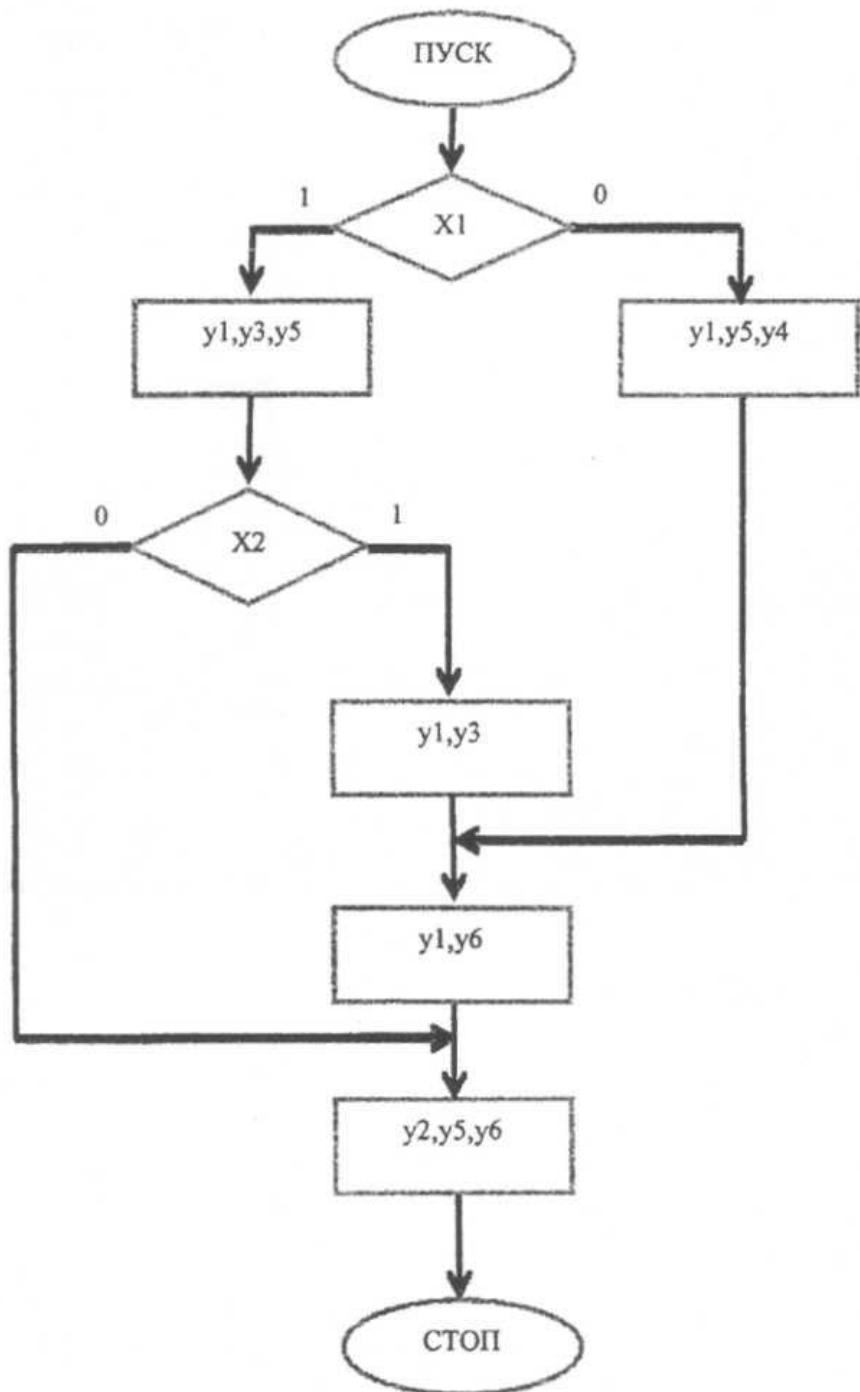
Вариант 3



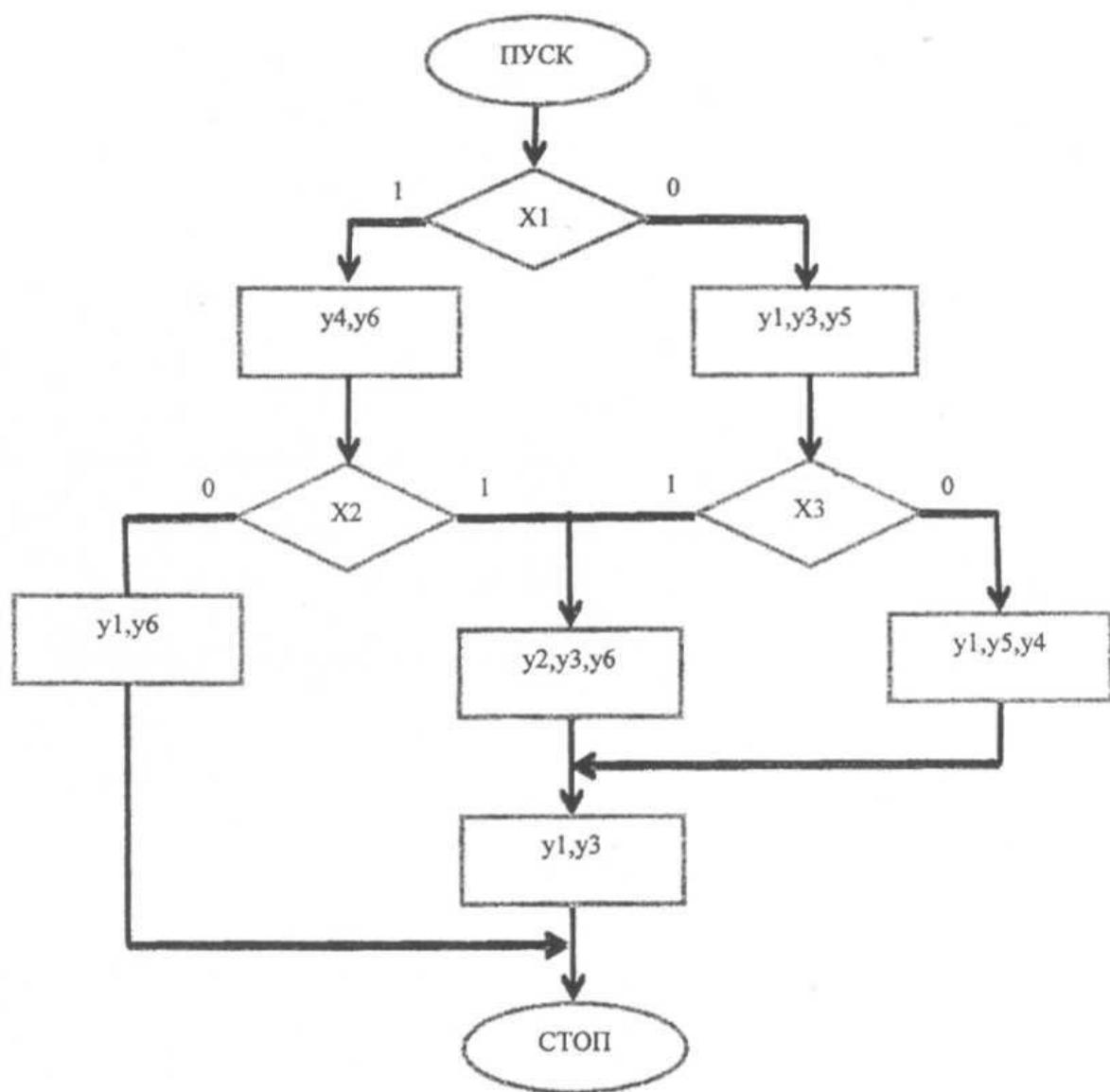
Вариант 4

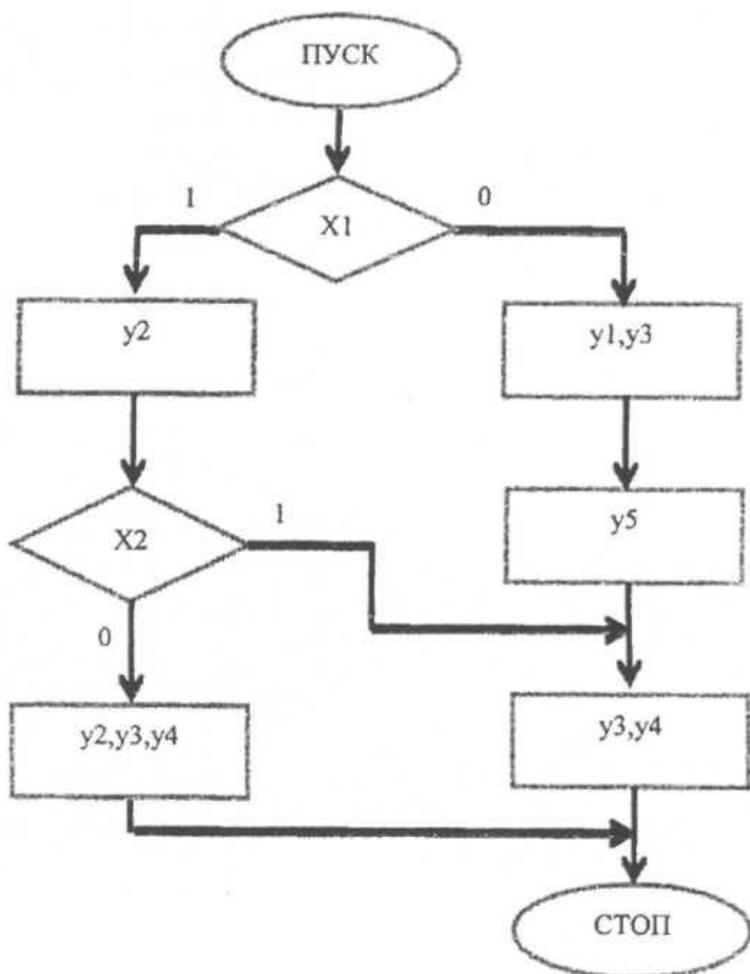
Вариант 5



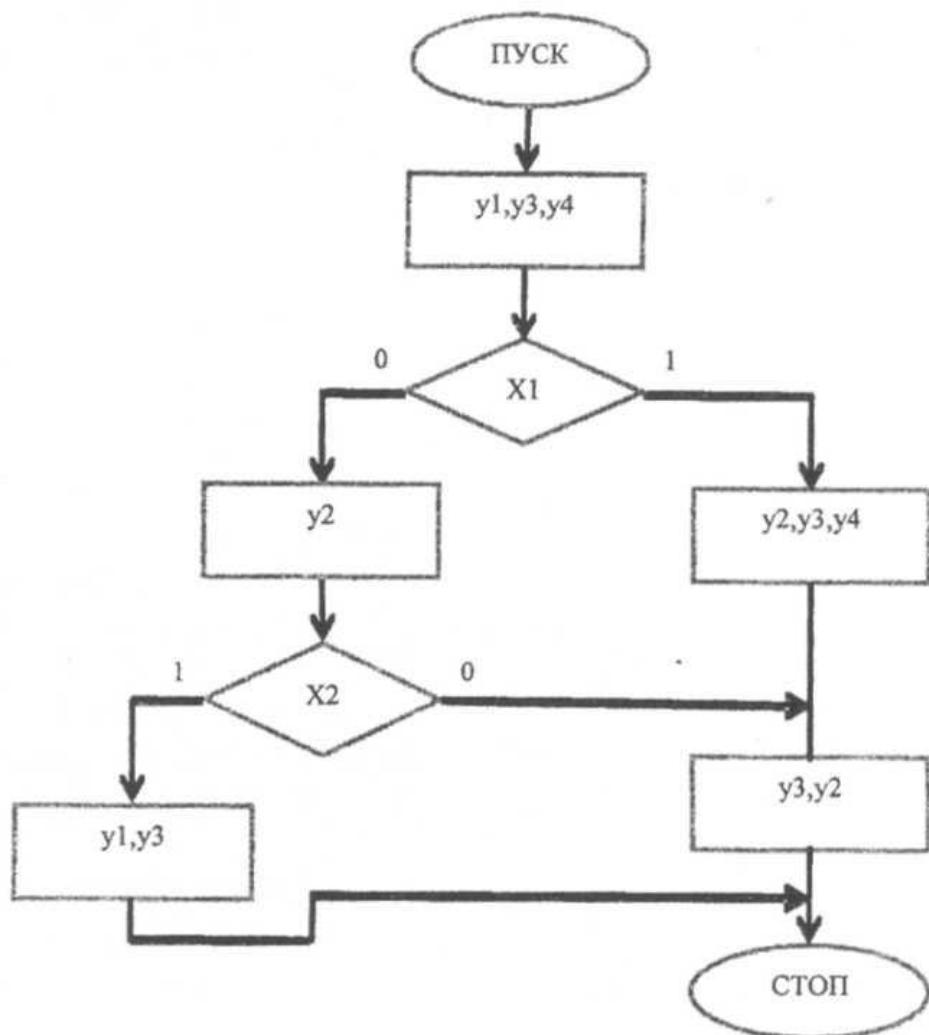
Вариант 6

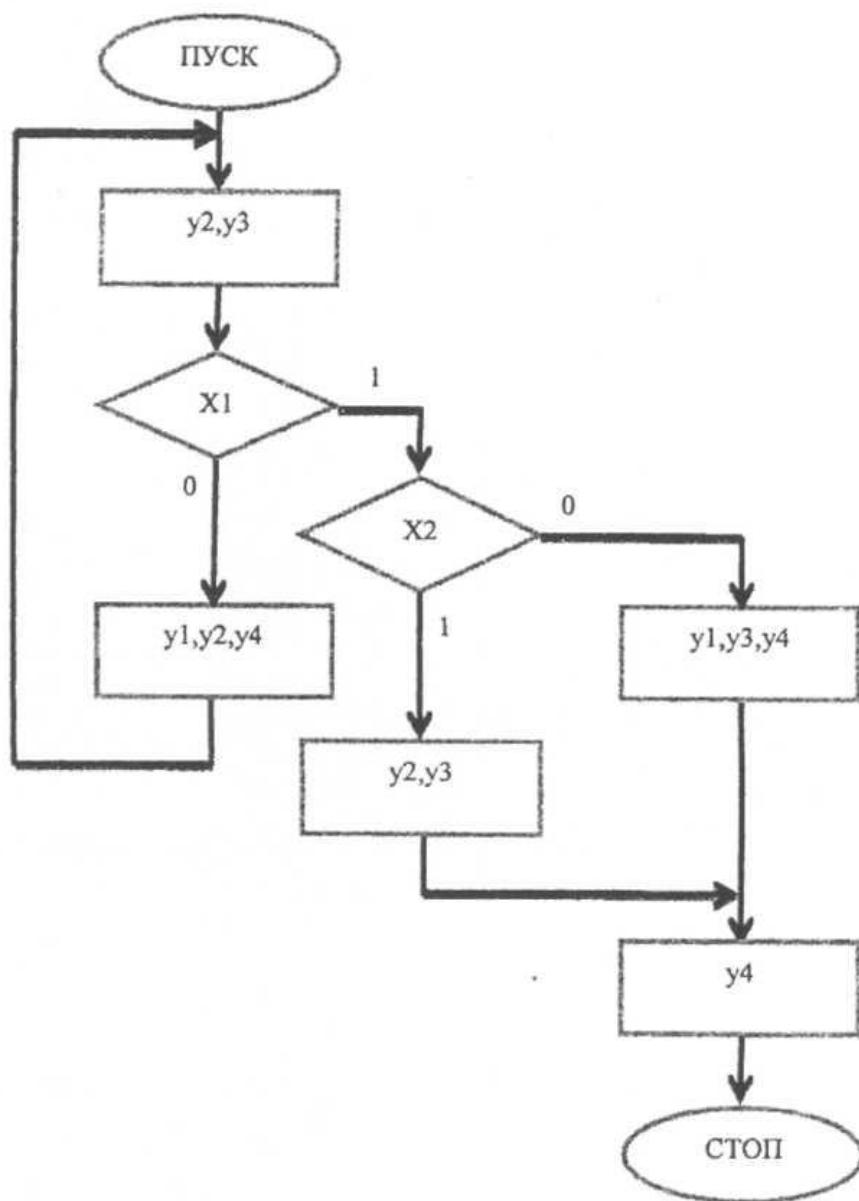
Вариант 7



Вариант 8

Вариант 9



Вариант 10

ПРИЛОЖЕНИЕ Д (информационное)

Принцип построения и функционирования схем цифровых устройств

Шифратор , Coder.

Используется для преобразования десятичных чисел в двоичные. Соотношение количества входов и выходов для полных шифраторов $N=2^N$

x	CD	y
0		1
1		2
2		4
3		
4		
5		
6		
7		

Входы								Выходы		
x0	x1	x2	x3	x4	x5	x6	x7	y3	y2	y1
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	0	1	0	0	1	0
0	0	0	0	0	0	0	1	0	1	1
0	0	0	0	0	0	0	0	1	1	1

Аналит. выражения в базисе И ,ИЛИ ,НЕ

$$Y_3 = X_4 \vee X_5 \vee X_6 \vee X_7$$

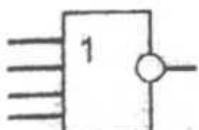
$$Y_2 = X_2 \vee X_3 \vee X_6 \vee X_7$$

$$Y_1 = X_1 \vee X_3 \vee X_5 \vee X_7$$

Перевод в базис ИЛИ-НЕ

$$\overline{Y_3} = \overline{X_4} \vee \overline{X_5} \vee \overline{X_6} \vee \overline{X_7}$$

Тип логического элемента



Перевод в базис И-НЕ

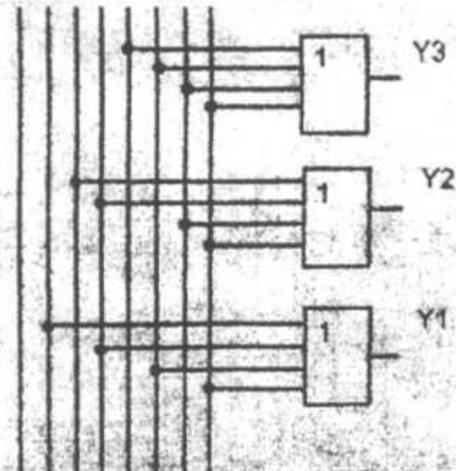
$$Y_3 = \overline{X_4} \vee \overline{X_5} \vee \overline{X_6} \vee \overline{X_7}$$

$$Y_3 = \overline{X_4} \mid \overline{X_5} \mid \overline{X_6} \mid \overline{X_7}$$

Тип логического элемента



x0 x1 x2 x3 x4 x5 x6 x7



В базисе И , ИЛИ , НЕ

входы X прямые

входы Y прямые

В базисе ИЛИ-НЕ

входы X прямые

входы Y инверсные

В базисе И-НЕ

входы X инверсные

входы Y прямые

ДЕШИФРАТОР, Decoder

Используется для преобразования двоичных чисел в десятичные.
 Соотношение количества входов и выходов для полных дешифраторов
 $N = 2^n$

X	DC	Y
0	0	—
1	1	—
2	—	—
3	—	—
4	—	—
5	—	—
6	—	—
7	—	—

Входы			Выходы							
X4	X2	X1	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Аналитические выражения
в базисе И,ИЛИ,НЕ

$$Y_0 = \overline{X_4} \cdot \overline{X_2} \cdot \overline{X_1}$$

$$Y_1 = \overline{X_4} \cdot \overline{X_2} \cdot X_1$$

$$Y_2 = \overline{X_4} \cdot X_2 \cdot \overline{X_1}$$

$$Y_3 = \overline{X_4} \cdot X_2 \cdot X_1$$

$$Y_4 = X_4 \cdot \overline{X_2} \cdot \overline{X_1}$$

$$Y_5 = X_4 \cdot \overline{X_2} \cdot X_1$$

$$Y_6 = X_4 \cdot X_2 \cdot \overline{X_1}$$

$$Y_7 = X_4 \cdot X_2 \cdot X_1$$

В Базисе ИЛИ-НЕ

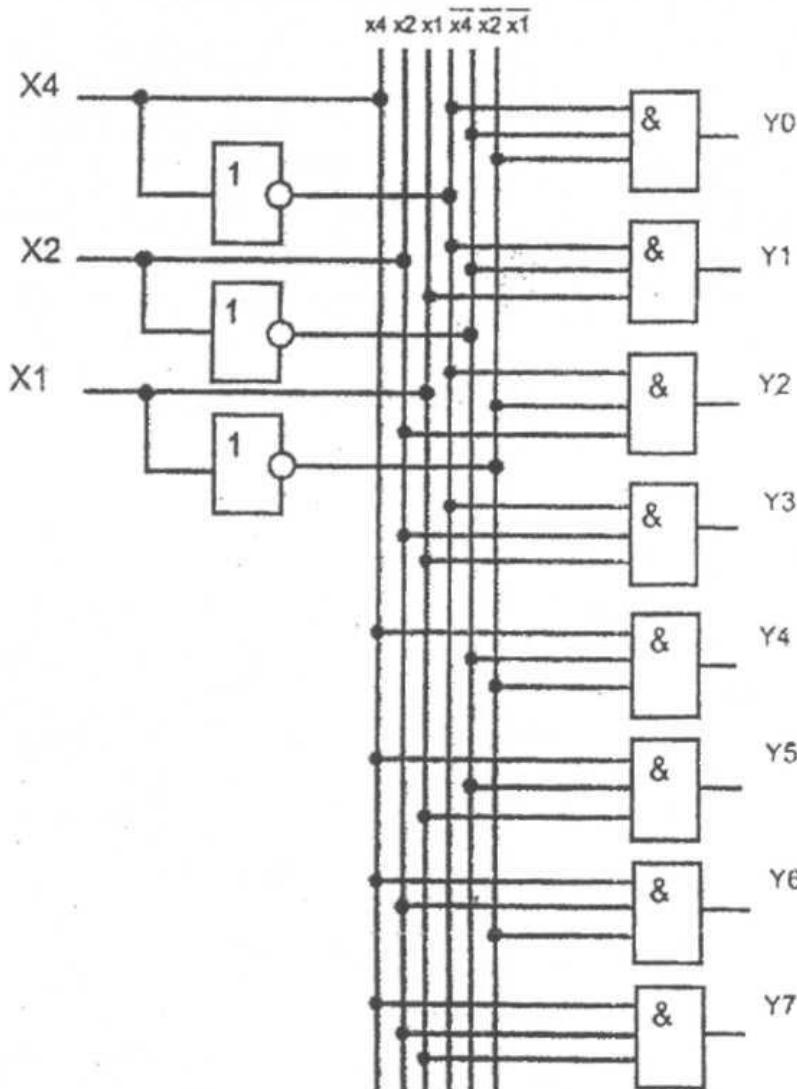
$$Y_0 = \overline{\overline{X_4} \cdot \overline{X_2} \cdot \overline{X_1}} =$$

$$= \overline{X_4} \vee \overline{X_2} \vee \overline{X_1} =$$

$$= X_4 \vee X_2 \vee X_1$$

В базисе И-НЕ

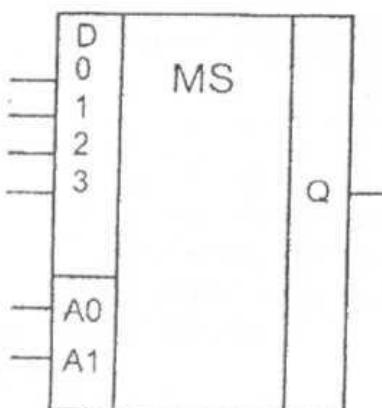
$$\overline{Y_0} = \overline{X_4} \cdot \overline{X_3} \cdot \overline{X_1}$$



При использовании базиса И-НЕ выходы Y будут инверсированы, т.е. на выходе, номер которого определен входным двоичным числом формируется лог. 0, а на остальных выходах – лог. 1.

МУЛЬТИПЛЕКСОР

Выбирают один из нескольких входов, номер которого определен адресом и подводят его на единственный выход. MS имеет N адресных входов A, 2^n - информационных входов D и один выход Q.

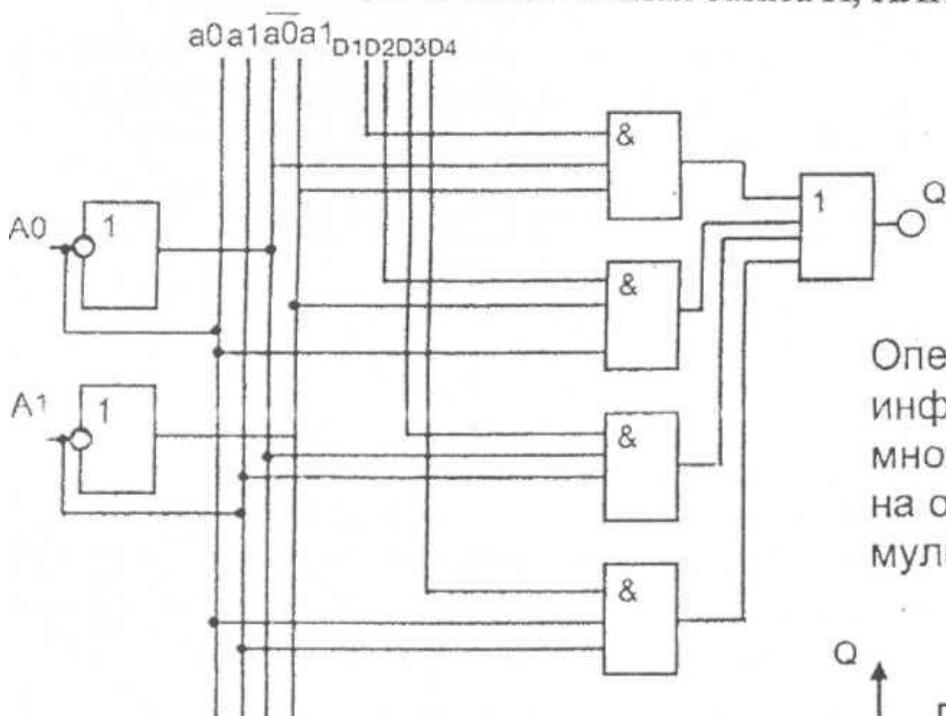


Адресные входы		Выходы
A1	A0	Q
0	0	D0
0	1	D1
1	0	D2
1	1	D3

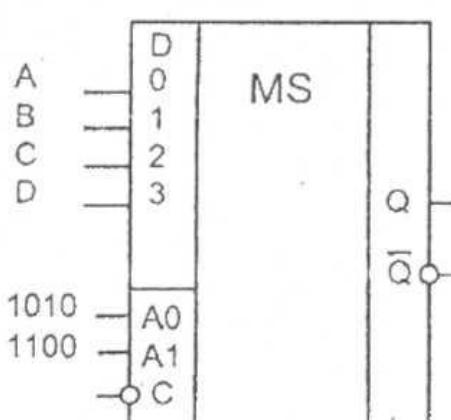
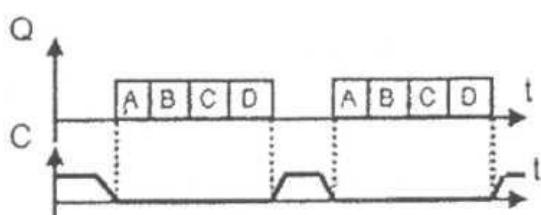
MS $4 \rightarrow 1$

$$Q = D_0 \cdot \overline{A_1} \cdot \overline{A_0} + D_1 \cdot \overline{A_1} \cdot A_0 + D_2 \cdot A_1 \cdot \overline{A_0} + D_3 \cdot A_1 \cdot A_0$$

Схема на элементах базиса И, ИЛИ, НЕ



Операция переключения информации из множества линий данных на одну называется мультиплексированием.

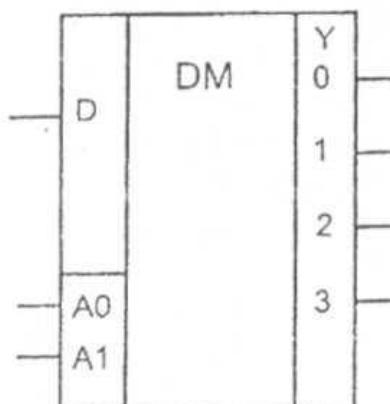


*Максимальное число информационных входов MS, выполненное в виде одной МКС равно 16. Для построения мультиплексорного устройства с большим числом входов можно объединить MS в схему "мультиплексорного дерева".

* A0 - младший разряд адреса.

ДЕМУЛЬТИПЛЕКСОР

DM выполняет коммутацию (подключение) входа на один из выходов, имеющих заданный адрес.



Входы адреса		Выходы информационные			
A1	A0	Y0	Y1	Y2	Y3
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

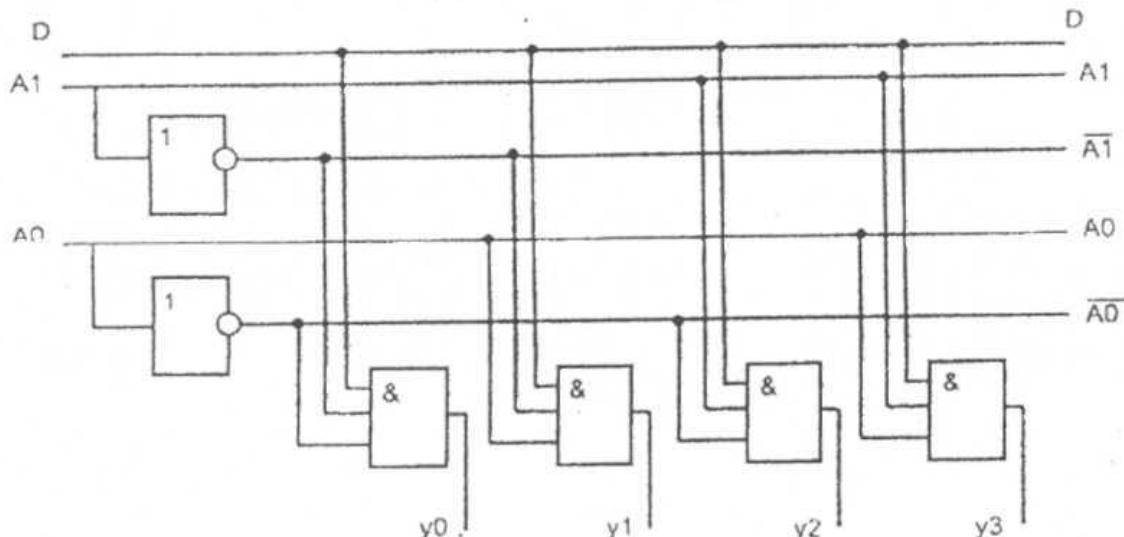
DM $1 \rightarrow 4$

$$Y_0 = D \cdot \overline{A_1} \cdot \overline{A_0}$$

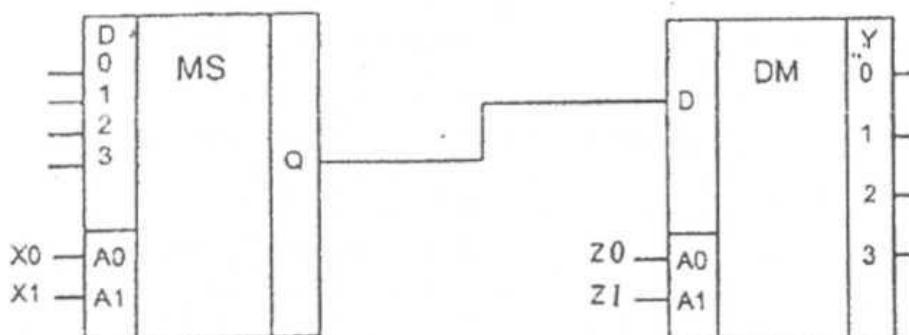
$$Y_1 = D \cdot \overline{A_1} \cdot A_0$$

$$Y_2 = D \cdot A_1 \cdot \overline{A_0}$$

$$Y_3 = D \cdot A_1 \cdot A_0$$



При объединении мультиплексора с демультиплексором может быть выполнена любая комбинация соединений входов с выходами.



Входы адресные		Выходы Y					
X1	X0	Z1	Z0	Y0	Y1	Y2	Y3
0	0	0	0	D0	0	0	0
0	0	0	1	0	D0	0	0
0	0	1	0	0	0	D0	0
0	0	1	1	0	0	0	D0
0	1	0	0	D1	0	0	0
0	1	0	1	0	D1	0	0
0	1	1	0	0	0	D1	0
0	1	1	1	0	0	0	D1
1	0	0	0	D2	0	0	0
1	0	0	1	0	D2	0	0
1	0	1	0	0	0	D2	0
1	0	1	1	0	0	0	D2
1	1	0	0	D3	0	0	0
1	1	0	1	0	D3	0	0
1	1	1	0	0	0	D3	0
1	1	1	1	0	0	0	D3

ТРИГГЕРЫ

Триггер – одноразрядный элемент памяти для хранения логической переменной. Состояние триггера обычно определяют сигналом на прямом выходе: при $Q = 1$ – единичное состояние, при $Q = 0$ – нулевое состояние. Триггер относится к устройствам последовательностного типа, в котором состояние зависит от сигналов на входе, как в текущий, так и предыдущий момент времени. Триггеры имеют различные типы входов, их обозначение и назначение:

R (Reset) – раздельный вход установки в состояние 0.

S (Set) - раздельный вход установки в состояние 1.

J (Jerk - толчок) – установка, вход установки триг. в сост. 0.

K (Killer) - сброс, вход установки триг. в сост 0.

T – (Toggle) – счетный вход.

D (Delay) – информационный вход.

C – управляющий (синхронный вход), предусматривающий возможность синхронизации переходов с тактирующими сигналами.

V – разрешающий вход, аналогичен входу синхронизации.

Таблицы переходов триггеров

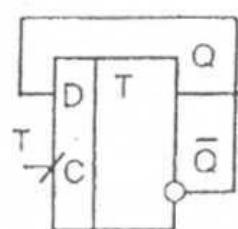
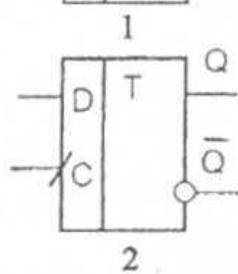
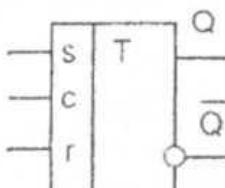
S	R	Q
0	0	Q0
0	1	0
1	0	1
1	1	*

J	K	Q
0	0	Q0
0	1	0
1	0	1
1	1	$\bar{Q}0$

D	Q
0	0
1	1

T	Q
0	Q0
1	$\bar{Q}0$

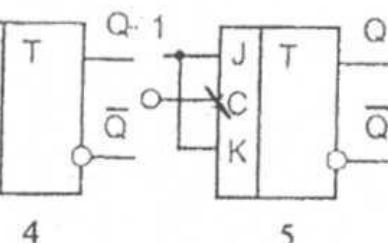
Схемы триггеров



Q0 – текущее состояние

Q0 – обратное от текущего состояния

* - состояние, соответствующее запрещенной комбинации входных сигналов



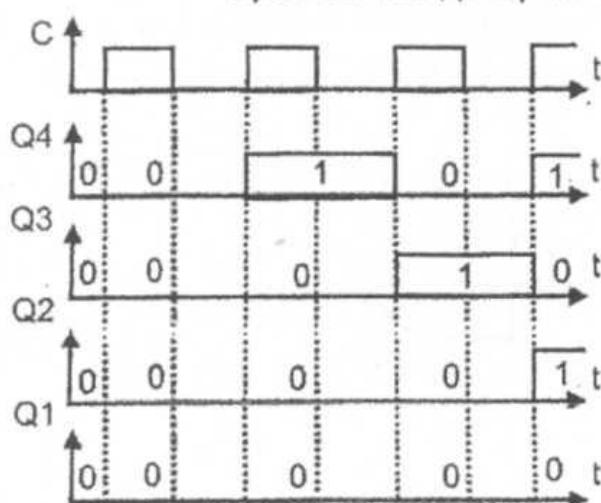
1. Синхронный SR триггер
2. Синхронный D триггер
3. Триггер (счетный триггер)
4. Синхронный JK триггер
5. JK триггер в счетном режиме

РЕГИСТРЫ

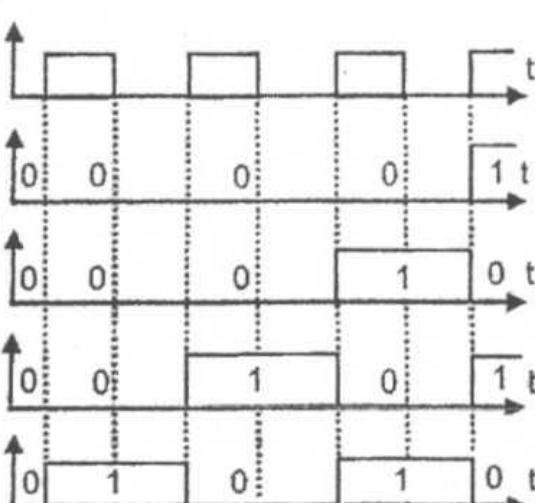
Устройства, осуществляющие ряд операций с информацией, представленной в виде многоразрядного двоичного числа. К этим операциям относятся: прием, хранение, сдвиг в разрядной сетке, поразрядные логические операции и выдача числовых слов в определенном коде. Регистры строятся на триггерах, главным признаком при классификации является способ приема и выдача данных. Типы регистров: параллельные (статические), последовательные (сдвигающие в сторону младших разрядов или старших разрядов), сдвигающий регистр может быть нереверсивным (с односторонним сдвигом) или реверсивным (с возможностью сдвига в обоих направлениях).



Временные диаграммы записи числа $N = 1010$



При сдвиге вправо, запись числа начинается с младшего разряда числа, разряд за разрядом. Входным является триггер старшего разряда регистра.



При сдвиге влево, запись числа начинается со старшего разряда числа, разряд за разрядом. Входным является триггер младшего разряда регистра.

СЧЕТЧИКИ

Счетчик – это устройство, которое подсчитывает число импульсов, поступивших на его вход за определенное время. Основной характеристикой счетчика является модуль, схема которого определяет число его возможных состояний. $N = 2^n$ (n – количество разрядов счетчика).

n	1	2	3	4
N	2	4	8	16

После поступления на счетчик N входных импульсов, обычно начинается новый цикл, повторяющий предыдущий.

Динамическая характеристика счетчика – его быстродействие. Классификация счетчиков осуществляется: *по способу кодировки внутренних состояний* (двоичные, двоично-десятичные или декадные и др.); *по направлению счета*: суммирующие (прямого счета), вычитающие (обратного счета и реверсивные); *по принципу действия* (синхронные и асинхронные); *по способу организации межразрядных связей* (с последовательным, параллельным, комбинированным переносом). Простейший двоичный счетчик можно реализовать последовательно цепочкой счетных Т-триггеров.

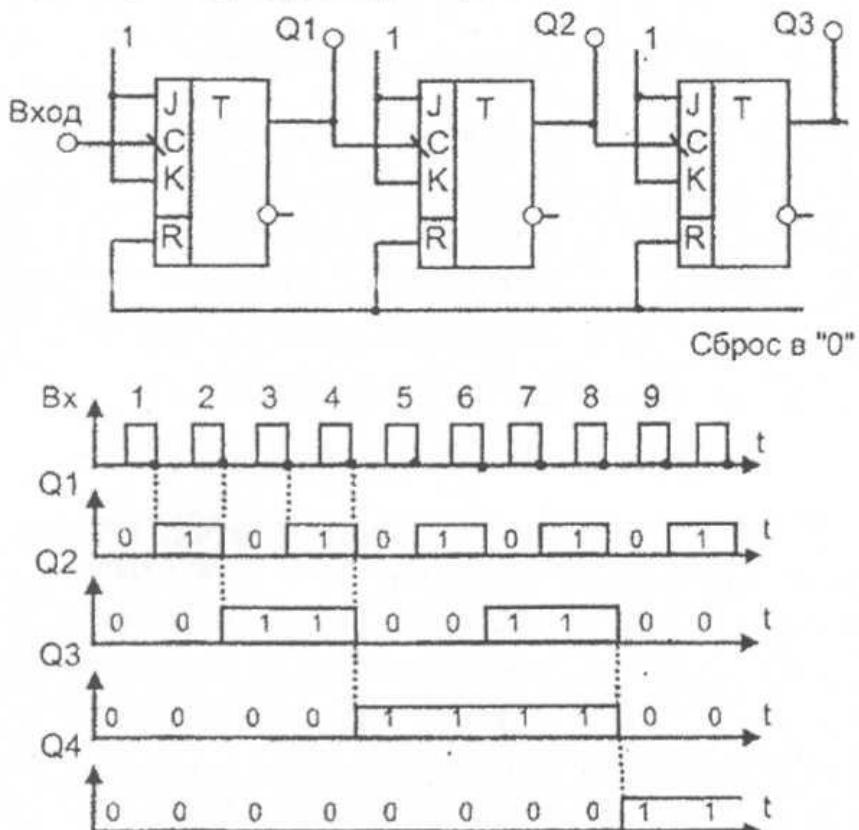
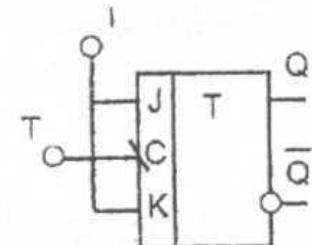


Таблица состояний для счетчика прямого счета

Число поступивших импульсов	Состояние триггеров		
	Q3	Q2	Q1
Исх. сост.	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

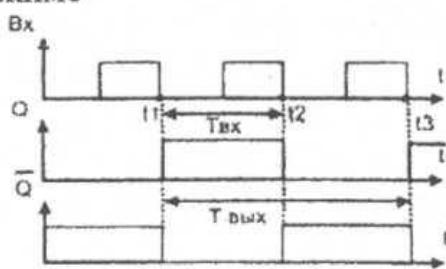
$$N = 8 = 2^3$$

Работа триггера в счетном режиме



В счетном режиме

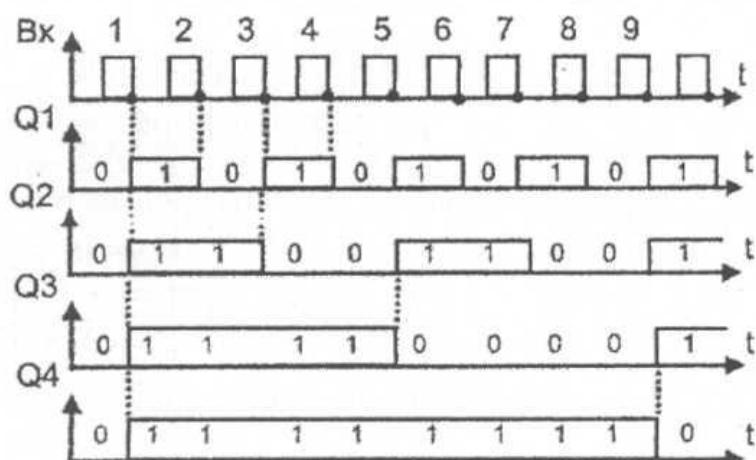
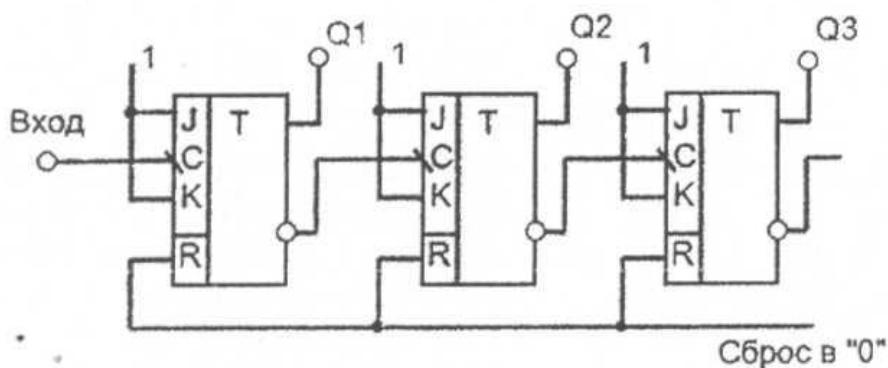
Bx	Q	\bar{Q}
T		
Исх	0	1
1/0	1	0
1/0	0	1
1/0	1	0



период вых. импульсов $T_{вых} = 2T_{вх}$. В счетном режиме триггер используется в качестве делителя частоты $F_{вых} = 1/2 F_{вх}$.

СХЕМА СЧЕТЧИКА ОБРАТНОГО СЧЕТА

Таблица
последовательности
состояний



Число поступивших импульсов	Состояние триггеров		
	Q3	Q2	Q1
Исх. сост.	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0

$$N = 8 = 2^3$$

Десятичный счетчик состоит из декад – двоичный счетчик с периодом цикла $N = 10$. Декада строится из четырех триггеров.

Вх. имп.	Q4	Q3	Q2	Q1
0	0	0	0	0
1	0	0	0	1
9	1	0	0	1
10	0	0	0	0

Существуют счетчики, имеющие период цикла $N \neq 2^n$. Например, $N = 3, 5, 6$ и т.д. Для получения таких периодов цикла используются входы для установления исходного состояния. Входы предварительной записи «предустановки», в них исходное состояние не нулевое. Например, необходимо получить $N = 12$, следовательно, число предустановки определяется как ($2^4 = 16$ – это полный цикл) $16 - 12 = 4$, т.е. 0100.

Существуют схемы счетчиков, в которых происходит сброс в «0» всех триггеров при поступлении определенного количества импульсов.

8 Экзаменационные вопросы по дисциплине ОП.04 Вычислительная техника

1. Представление чисел в различных системах счисления и перевод чисел из одной системы счисления в другую.
2. Выполнение арифметических операций над двоичными числами (сложение, вычитание и умножение двоичных чисел).
3. Формы представления чисел в цифровых устройствах. Использование обратного и дополнительного кодов при выполнении операций алгебраического сложения и вычитания.
4. Основные логические функции двух аргументов: дизъюнкция, конъюнкция, инверсия.
5. Основные законы и тождества алгебры логики.
6. Канонические формы представления логических функций. СДНФи . СКНФ.
7. Синтез комбинационных схем по таблице истинности.
8. Минимизация логических функций. Метод Вейча.
9. Триггеры на логических элементах. Обозначение, типы.
10. Построение асинхронных RS-триггеров на основе логических элементов. Таблица состояния RS-триггеров с прямыми и инверсными входами.
11. Синхронный RS-триггер. Построение, обозначение, принцип действия.
12. JK-триггер. Обозначение, таблица состояний. Временная диаграмма работы.
13. T-триггер. Обозначение, временная диаграмма работы.
14. D-триггер. Обозначение, временная диаграмма работы.
15. Счетчики. Назначение, параметры, классификация.
16. Суммирующий счетчик. Схема. Временная диаграмма работы.
17. Вычитающий счетчик. Схема. Временная диаграмма работы.
18. Регистры. Назначение, типы.
19. Параллельный регистр. Принцип построения,
20. Последовательный регистр. Принцип построения, временная диаграмма работы.
21. Сумматоры. Назначение, классификация, характеристики.
22. Одноразрядный сумматор с переносом. Закон функционирования. Принцип построения.
23. Шифратор. Назначение, принцип построения.
24. Дешифратор. Назначение, принцип построения.
25. Мультиплексор. Назначение, построение, закон функционирования.
26. Демультиплексор. Назначение, построение, закон функционирования.
27. Распределитель на основе счетчика и дешифратора. Схема, временная диаграмма.
28. Классификация запоминающих устройств: виды, режимы работы, назначение.
29. Основные параметры запоминающих устройств.

- 30.Запоминающий элемент ОЗУ. Запись, чтение, хранение информации.
- 31.Построение ОЗУ заданной емкости и разрядности.
- 32.Классификация ПЗУ. ПЗУ, программируемые пользователем.
- 33.ПЗУ, программируемые маской.
- 34.Средства и методы перепрограммирования РПЗУ.
- 35.Структура процессорного устройства.
- 36.Структурная схема процессора с устройством управления на основе программируемой логики.
- 37.Структура МП КР580ВМ80А. Регистры общего назначения.
Аккумулятор. Буферные регистры. Счетчик команд. Указатель стека.
Регистр адреса.
- 38.Регистр признаков МП КР580ВМ80А.

Промежуточная аттестация по учебной дисциплине ОП.04 Вычислительная техника предусмотрена в форме экзамена. Экзамен устный – по билетам. Экзаменационный билет состоит из трёх вопросов: два теоретических вопроса из указанного списка вопросов к экзамену и одно практическое задание аналогичное заданиям из домашней контрольной работы или заданиям из практических работ по дисциплине.

Критерии оценивания заданий экзамена:

«5» - Задания выполнены полностью. Ответ на теоретический вопрос изложен грамотно и логично. Практическое задание выполнено правильно.

«4» - Задания выполнены полностью. Ответ на теоретический вопрос изложен грамотно, но содержание и форма ответа имеют отдельные неточности. Практическое задание выполнено правильно.

«3» - Задания выполнены полностью или частично (не менее двух заданий из трёх). Ответ на теоретический вопрос изложен неполно, непоследовательно, допущены неточности, в применении теоретических знаний и (или) при решении практического задания допущены неточности.

«2» - Работа выполнена частично (менее двух заданий из трёх). В теоретическом вопросе допущены ошибки в определении базовых понятий и искажен их смысл. При решении практического задания допущены неточности.

Список использованных источников

иные

Иерифийные устройства вычислительной техники: Учебное пособие
Партика, И.И. Попов. - 3-е изд., испр. и доп. - М.: Форум: НИЦ
РА-М, 2014. - 432 с.: ил
znanium.com/catalog.php?bookinfo=424031
Чебешков, А.Ю. Вычислительная техника, сети и телекоммуникации.
Горячая Линия–Телеком, 2015 г. , 190 с.
ibooks.ru/reading.php?productid=351833

помощником

Вычислительная техника [Текст] : сборник описаний лабораторных
работ / ; сост. М. Н. Нехлебаева. - Архангельск : АКТ, 2015. - 62 с.
ms\Books_Irbis\12.2015\VT-sbor-LR.docx

Вычислительная техника [Текст] : сборник описаний практических
работ / ; сост. И. М. Рыжкова. - Архангельск : АКТ, 2015. - 20 с.
books_Irbis\12.2015\VT-PR.docx