

Федеральное агентство железнодорожного транспорта
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
Петербургский государственный университет путей сообщения

Кафедра «Радиотехника»

Методические указания
на курсовую работу по дисциплине «Электроника»
для специальности
«Автоматика, телемеханика и связь на железнодорожном
транспорте»

Санкт-Петербург – 2013

Введение

Курсовая работа посвящена вопросам применения интегральных микросхем на аналого-цифровых преобразователях (АЦП), которые нашли применение в цифровых системах связи, в автоматизированных системах, в различной радиоаппаратуре.

Оформленная курсовая работа должна содержать пояснительно-расчетную записку с приложением необходимых схем и рисунков.

В пояснительно-расчетной записке необходимо привести данные задания, обзорную и расчетную части, описание работы микросхем, перечень используемой литературы.

В процессе расчета величин и параметров элементов необходимо сначала привести расчетную формулу, затем подставить цифровые значения и полученный результат в принятых единицах измерения (СИ) округлить до практически необходимого номинального значения. Схемы надо выполнять в соответствии с ГОСТами на условные обозначения.

При возникновении затруднений в процессе выполнения задания можно лично или письменно через факультет или кафедру обратиться к преподавателю за консультацией.

Курсовая работа должна быть подписана исполнителем.

Работа, выполненная по варианту, не соответствующему шифру студента, не проверяется и зачету не подлежит.

Задание на курсовую работу

По исходным данным, приведенным в табл. 1—3, требуется:

1. Выполнить полную схему АЦП, описать работу предложенного АЦП, соответствующих выбранных микросхем и устройств, обеспечивающих работу АЦП. Построить временные диаграммы работы АЦП.
2. Рассчитать тактовый генератор для АЦП по исходным данным табл. 2.
3. В соответствии с табл. 3 выбрать конкретные базовые микросхемы, начертить их принципиальные схемы, описать работу и привести справочные данные, необходимые для расчета преобразователя уровней.
4. Выбрать схему преобразователя уровней (ПУ) и описать его работу.
5. Выбрать тип биполярных транзисторов для схемы ПУ, привести необходимые справочные данные выбранных транзисторов.
6. Рассчитать схему ПУ в заданном температурном диапазоне и подобрать резисторы по их номинальным значениям.
7. Рассчитать мощность, потребляемую ПУ от источника питания.
8. Создать модель ПУ в программе Multisim, привести в отчете схему и осциллограммы иллюстрирующие её работу.

Таблица 1

Последняя цифра шифра	Тип АЦП, основная интегральная микросхема
0	АЦП последовательного счета
1	АЦП последовательного приближения с К572 ПВ1
2	АЦП двойного интегрирования с К572 ПВ2
3	АЦП параллельного преобразования с К1107 ПВ1
4	АЦП с использованием преобразования «напряжение — временной интервал — двоичный код» с ГЛИН
5	АЦП с преобразованием «напряжение — частота — двоичный код» с К1108 ПП1
6	АЦП последовательного приближения с К1113 ПВ1
7	АЦП двойного интегрирования
8	АЦП параллельного преобразования
9	АЦП с преобразованием «напряжение - частота - двоичный код»

Таблица 2

Параметр	Предпоследняя цифра шифра									
	0	1	2	3	4	5	6	7	8	9
Частота, Гц	10^4	$5 \cdot 10^4$	$8 \cdot 10^4$	10^5	$2 \cdot 10^5$	$3 \cdot 10^5$	$4 \cdot 10^5$	$5 \cdot 10^5$	10^5	$7 \cdot 10^5$
Скважность	4	5	2	4	6	2	3	5	4	7
Длительность фронтов, МКС не более	1	0,5	0,1	10^{-2}	$5 \cdot 10^{-2}$	$2 \cdot 10^{-2}$	$3 \cdot 10^{-2}$	10^{-2}	$4 \cdot 10^{-2}$	$5 \cdot 10^{-2}$
Амплитуда, В	3	4	5	6	7	8	9	10	2	3

Таблица 3

Первая цифра шифра	Согласуемые элементы серии ИМС	Нагрузочная способность ПУ	Частота переключения f , МГц	Температурный диапазон, $^{\circ}\text{C}$
0	ТТЛШ->КМДП K1533->K176	1	1	—10÷45
1	ТТЛШ->КМДП KM1533->K176	2	1	—10÷70
2	ТТЛШ->КМДП K1533->K561	2	1	—10÷70
3	КМДП->ТТЛШ K176->K1533	1	0,5	— 10 ÷ 45
4	КМДП->ТТЛШ K561->K1533	3	1	—10÷30
5	КМДП->ТТЛШ K176->K531	3	1	+ 10÷45
6	КМДП-ТТЛШ K561->K531	1	—	—10 ÷ 45
7	КМДП->ТТЛШ K176->K555	2	2	—10 ÷ 45
8	ТТЛ->КМДП K1533->K176	2	0,5	—10÷70
9	ТТЛ->КМДП K1533->*K176	4	1	— 10 ÷ 45

Монтажная емкость $C_M = 50$ пФ, входная емкость элементов $C_{вх} = 15$ пФ.

МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ВЫПОЛНЕНИЮ КУРСОВОЙ РАБОТЫ

При построении цифровых систем управления и контроля, в частности с использованием микропроцессоров (МП), используют устройства аналого-цифрового (АЦП) и цифро-аналогового (ЦАП) преобразований. ЦАП используют в большинстве АЦП как в режиме аналого-цифрового, так и цифро-аналогового преобразований; кроме того, в цифровых системах связи и передачи данных (модемы, кодеры), оконечных устройствах цифровых телевизионных и космических линий связи, активных фильтрах с управляемой полосой пропускания, усилителях с программируемым коэффициентом усиления, испытательной и измерительной технике.

АЦП и ЦАП находят применение в микропроцессорных информационных и управляющих системах. Роль этих устройств может быть пояснена с помощью рис. 1, где обозначено: ОУ—объект управления; D — датчики, преобразующие измеряемые величины в электрическое напряжение; АЦП — аналого-цифровой преобразователь; ЦСОИ — цифровая система обработки информации (МП); ЦАП — цифро-аналоговый преобразователь; ИУ — исполнительное устройство, формирующее сигналы управления.

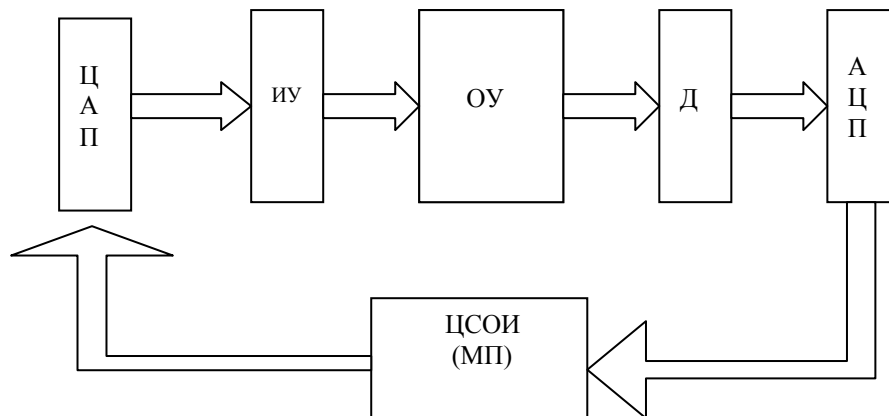


Рис. 1

АЦП производит преобразование аналогового сигнала, имеющего бесконечное множество значений, в сигнал с конечным множеством значений (квантование по уровню), а также его временную дискретизацию, т. е. преобразование сигнала, описываемого функцией непрерывного времени, в сигнал, представляемый функцией дискретного времени.

ЦАП производит обратное преобразование цифрового сигнала в аналоговый.

Основными характеристиками АЦП являются: разрешающая способность, точность и быстродействие. Разрешающая способность R (рис. 2) определяется разрядностью и максимальным диапазоном входного аналогового напряжения $U_{\text{вх макс}}$

$$R = \frac{U_{\text{вх макс}}}{2^n}$$

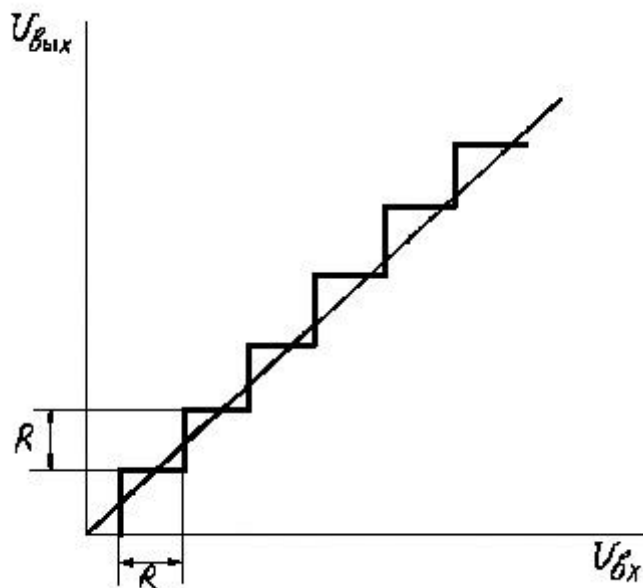


Рис. 2

Быстродействие АЦП характеризуется временем преобразования t_c , т. е. интервалом времени от момента начала изменения сигнала на входе до появления на выходе установившегося двоичного кода. Точность преобразования характеризуется абсолютной погрешностью полной шкалы, нелинейностью и дифференциальной нелинейностью.

Абсолютная погрешность преобразования в конечной точке шкалы определяется отклонением входного напряжения (тока) от номинального значения, соответствующего

конечной точке характеристики преобразования. Измеряется в единицах младшего разряда преобразования (МР).

Дифференциальная нелинейность оценивает отклонение ширины отдельной ступеньки от заданного значения.

В зависимости от метода преобразования и способа его реализации известны много АЦП различных типов. В настоящее время разработаны АЦП с использованием методов последовательного счета, поразрядного уравнивания, двойного (двухкратного) интегрирования, с преобразованием напряжения в частоту, с преобразованием напряжения в интервал времени с помощью генератора линейно заменяющегося напряжения (ГЛИН), параллельного преобразования.

Схемы преобразователей, построенных на основе перечисленных методов, могут содержать или не содержать ЦАП.

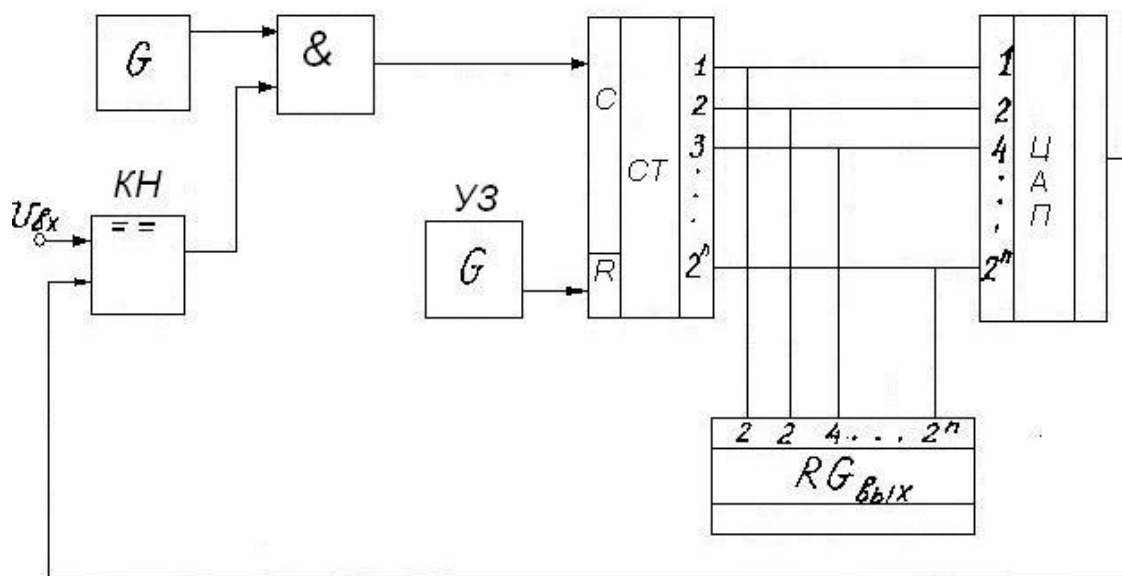


Рис. 3

Схема АЦП последовательного счета — типа 1 — представлена на рис. 3. Здесь импульсы с генератора тактовых импульсов (ГТИ) при единичном выходном сигнале, компаратора через конъюнктор (ЛЭ) заполняют счетчик (СТ), на выходе которого формируется код с нарастающим весом. Выходное напряжение с ЦАП, пропорциональное этому коду, поступает на компаратор, где сравнивается с U_{BX} . Когда сигналы на входах компаратора (КН) будут равны, он переключается в нуль и запрещает доступ импульсов к счетчику. Выходной код счетчика при этом выдается на выходной регистр (RГ) и является цифровым эквивалентом напряжения U_{BX} на выходе АЦП.

Данные АЦП имеют низкое быстродействие. Время одного полного такта равно $T_p = 2n T_{ГТИ}$. Например, для получения 10 разрядов выходного кода требуется время $t_c = 1024 T_{ГТИ}$. При $T_{ГТИ} = 1 \text{ мкс}$, $t_c = 1,024 \text{ мкс}$.

При выполнении курсовой работы по данному варианту (см. табл. 1) требуется разработать или подобрать интегральные микросхемы: ИМС ГТИ, КН, ЛЭ, СТ, ЦАП; источник питания: ИП и, если надо, преобразователь уровней ПУ. Кроме этого, в соответствии с данными табл. 2 и 3 необходимо выполнить расчет ГТИ и ПУ.

Упрощенная функциональная схема АЦП последовательного приближения развертывающего действия — типа 2 — представлена на рис. 4.

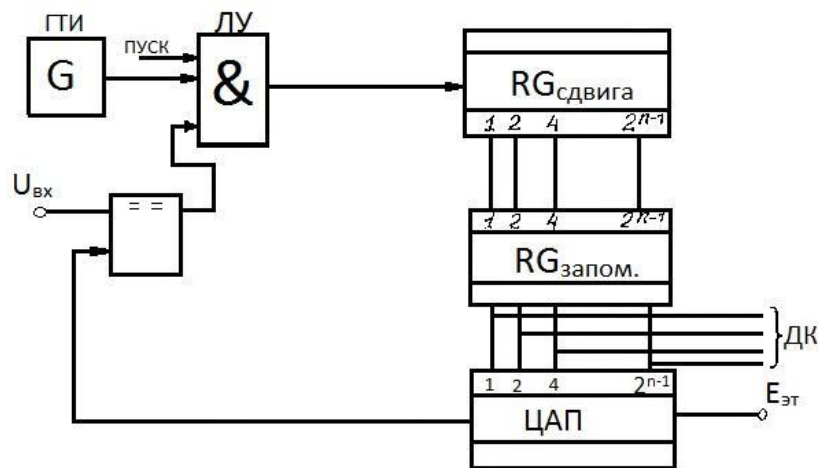


Рис. 4

В данном АЦП реализуется поразрядное уравнивание, что по сравнению с АЦП типа 1 повышает быстродействие схемы. В АЦП типа 1 сравнение $U_{\text{вх}}$ осуществляется со всеми возможными эталонными напряжениями (т. е. $s(2/g - 1)$ уровнями, а в АЦП типа 2 — только с p уровнями).

В АЦП типа 2 формируемый выходной код последовательно приближается к своему полному выражению: вначале определяется цифра в старшем, n -м, а затем в $(n-1)$ -м разрядах и т. д.; процесс завершается младшим (первым) разрядом. Работа такого преобразователя основана на свойствах натурального двоичного кода, а именно: веса единиц в соседних разрядах отличаются вдвое; единица в старшем n -м разряде имеет вес больше половины веса всего кода, единица в следующем $(n-1)$ -м разряде — вес больше четверти веса всего кода и т. д.

Схема работает следующим образом: по команде «пуск» логическое устройство (ЛУ) подает первый импульс от генератора импульсов (ГТИ) в сдвигающий регистр ($RG_{\text{сдв}}$) из p триггеров. Первый его триггер переключается и подает импульс в запоминающий регистр ($RG_{\text{запом.}}$) вызывая переключение триггера старшего разряда и появление на выходе 2^{n-1} напряжения логической 1. Этот же сигнал подается на вход старшего разряда ЦАП, и на его выходе появляется эталонное напряжение, равное $0,5 E_{\text{эт}}$. Это напряжение сравнивается с напряжением сигнала $U_{\text{вх}}$ и, если $U_{\text{вх}} > 0,5 E_{\text{эт}}$, то ЛУ подает следующий, второй импульс на вход $RG_{\text{сдв}}$. При этом в старшем разряде $RG_{\text{сдв}}$ остается записанной 1, и далее этап сравнения повторяется. Таким образом, формируется цифровой код на выходе АЦП, начиная со старшего разряда.

Для реализации АЦП типа 2 выпускаются ИМС К572ПВ1 и КП1113ПВ1, подробно описанные в [1, 2, 3, 4, 5]. Совместно с внешними КН или ОУ, ИОН, ГТИ, резисторами, конденсаторами и ПУ на микросхеме К572 микросхемы К1113 выполняют функции АЦП.

При выполнении курсовой работы по данному варианту (тип 2) требуется построить полную схему АЦП с подбором внешних устройств к ИМС К572. Кроме этого, в соответствии с данными табл. 2 и 3 необходимо выполнить расчет ГТИ и ПУ.

В АЦП типа 3 двойного «интегрирования с реализацией в ИМС К572 ПВ2 [2, 3] используется метод предварительного преобразования напряжения во временной интервал, а затем измерения временного интервала в двоичном коде.

Преобразователь «напряжение — временной интервал — двоичный код» строится на использовании интегратора, так как при постоянном входном напряжении выходное напряжение генератора есть линейная функция времени:

$$U_{\text{вых}}(t) = -\frac{1}{RC} \int_0^t U_{\text{вх}}(t) dt = -\frac{1}{RC} U_{\text{вх}} t$$

На рис. 5 приведена структурная схема и временная диаграмма работы АЦП двойного интегри

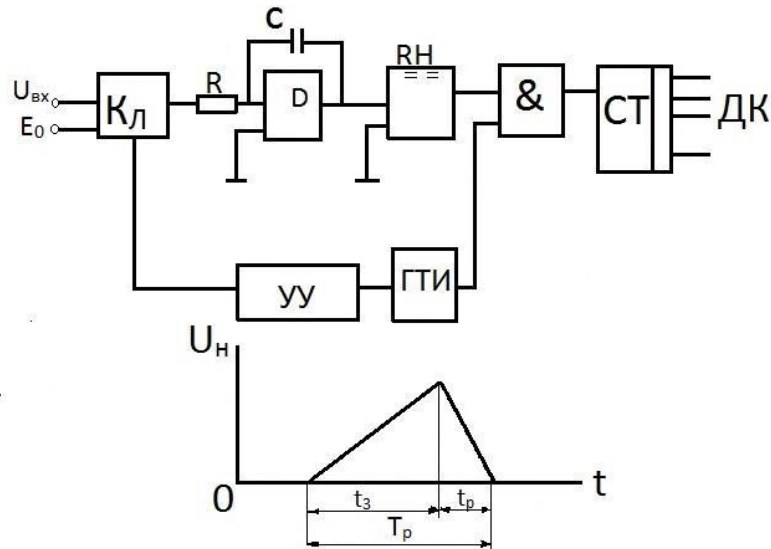


Рис. 5

На первом этапе преобразования на вход интегратора через входной коммутатор подается напряжение $U_{\text{вх}}$ и в течение фиксированного времени $t_3 \sim m T_{\text{ГТИ}}$ реализуется первое интегрирование, в результате которого на выходе интегратора устанавливается напряжение, пропорциональное $U_{\text{вх}}$

$$U_{\text{вых}} = -U_{\text{вх}} \frac{t_3}{RC}$$

На втором этапе преобразования на вход интегратора через ключ (Кл) подается напряжение E_0 , знак которого противоположен знаку $U_{\text{вх}}$. Напряжение на выходе интегратора изменяется от $U_{\text{вых}}$ до 0 в течение времени

$$t_p = \frac{U_{\text{вых}}}{E_0} RC$$

При достижении на выходе интегратора нулевого уровня «нуль-компаратор» (КН) прекращает поступление тактовых импульсов на вход счетчика результата. Из двух соотношений для определения t_3 и t_p можно получить выражение, связывающее входное напряжение с результатами счетчика

$$U_{\text{вх}} = E_0 \frac{p}{m}$$

где p — число импульсов, подсчитанных за время t_p ;

m — число импульсов, подсчитанных за время t_3 .

Таким образом, измеряемое напряжение $U_{\text{вх}}$ будет пропорционально числу импульсов p , подсчитанных в период разрядки интегрирующего конденсатора. Это число в двоичном параллельном коде выдается на дешифратор.

Самым быстроедействующим является АЦП параллельного преобразования — типа 4, структура которого приведена на рис. 6.

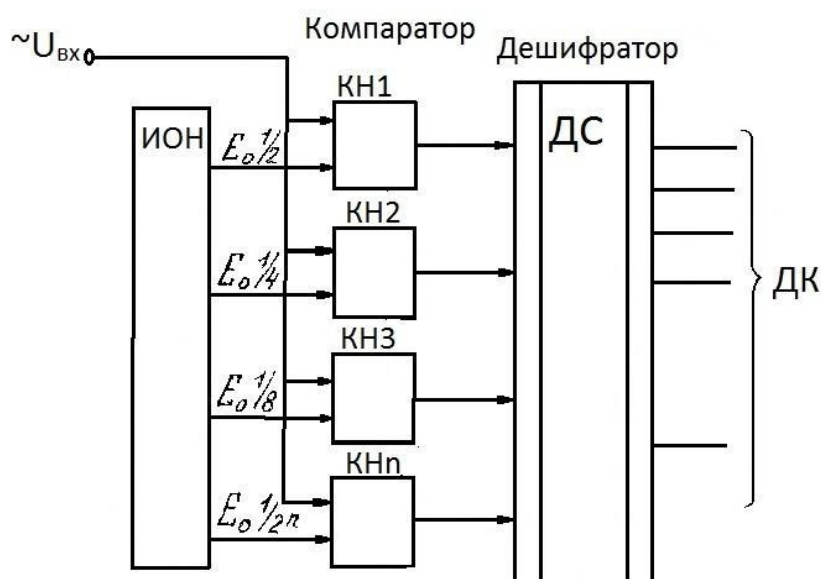


Рис. 6

Достоинство такого преобразователя — высокое быстродействие, определяемое временем переключения компараторов. Частота преобразования может достигать 10—20 МГц при 3-разрядном выходном коде. Но такой АЦП весьма сложен. Если, например, напряжение сигнала составляет $U_{BX} = 10$ В и отсчет должен производиться с погрешностью не выше 0,1%, то дискретизация сигнала должна осуществляться с шагом не более $\Delta U = 0,01$ В, а общее число уровней должно составлять

$$N = \frac{U_{ax}}{\Delta U} \geq 10^3$$

Вследствие этого в АЦП должны входить 103 компараторов, столько же прецизионных резисторов в делителе эталонного напряжения и более чем 3·103 различных логических элементов, составляющих кодирующее устройство. Быстродействие обходится очень дорого. АЦП типа 4 реализуют с использованием ИМС КП07 ПВ1.

Схема АЦП с использованием преобразования «напряжение — временной интервал — двоичный код» с помощью генератора линейно изменяющего напряжения (ГЛИН) — типа 5 — приведена на рис. 7.

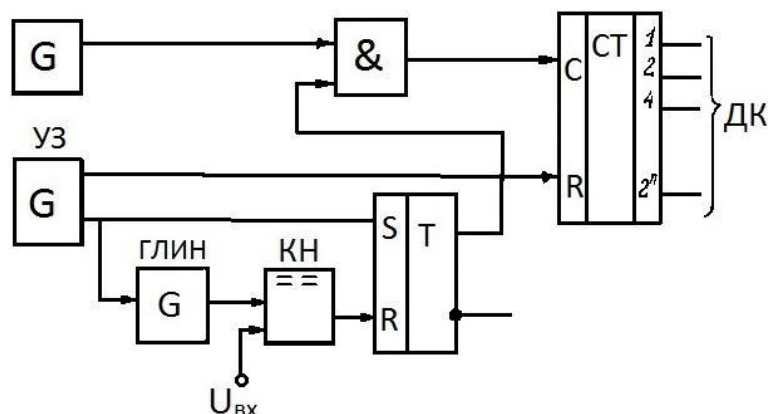


Рис. 7

В рассматриваемом АЦП значению аналогового входного напряжения $U_{вх}$ ставится в соответствие временной интервал, длительность которого пропорциональна $U_{вх}$. Этот интервал заполняется импульсами стабильной частоты, количество которых и является цифровым эквивалентом преобразуемого напряжения. Работает АЦП в соответствии с рассматриваемой схемой в следующем порядке.

Выходной импульс узла запуска (УЗ) обнуляет счетчик, устанавливает RS-триггер — в 1 и запускает ГЛИН. Конъюнктор (ЛЭ) при наличии логической 1 с триггера (Т) пропускает импульсы ГТИ на счетчик (СТ), который ведет подсчет импульсов (интервал времени — входное напряжение).

Когда напряжение на выходе ГЛИН станет равным $U_{ВХ}(U_{ВХ} \text{ const})$, на выходе компаратора (КН) появится логическая 1, которая переключит триггер в логический 0. Нулевой сигнал от Т через ЛЭ прерывает подачу импульсов ГТИ на счетчик СТ. Длительность положительного импульса $t_{в}$ на выходе Т пропорциональна $U_{ВХ}$, следовательно, при неизменной частоте ГТИ код, установившийся на выходе счетчика, является цифровым эквивалентом аналоговой величины.

При проработке АЦП типа 5 следует выполнить расчет ГТИ по данным табл. 2; ГЛИН, исходя из того, что $U_{вх\text{макс}} = 10 \text{ В}$, и ПУ по данным табл. 3.

И, наконец, рассмотрим АЦП типа 6 с преобразованием «напряжение — частота — двоичный код», структурная схема которого показана на рис. 8.

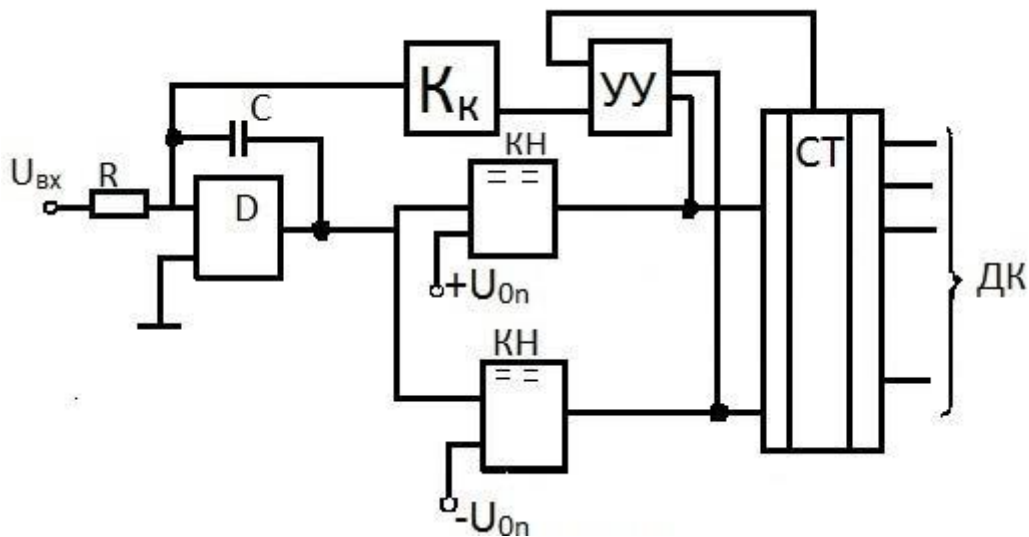


Рис. 8

Входное напряжение, интегрируется с помощью интегрирующего операционного усилителя (ДА). Интегрирование продолжается до тех пор, пока напряжение на выходе интегратора не превзойдет уровень $+U_{0н}$ (или $-U_{0н}$), при достижении которого один из аналоговых компараторов формирует выходной импульс. Выходные импульсы используются для возврата интегратора в нулевое состояние при работе устройства управления (УУ) и ключей (Кк). Это приводит к тому, что величина, равная числу импульсов, генерируемых в секунду, т. е. частота, становится пропорциональной уровню входного сигнала $U_{вх}$. Эти импульсы затем могут быть подсчитаны двоичным счетчиком в течение фиксированного интервала времени. Результат счета, соответствующий концу этого интервала, пропорционален уровню входного напряжения. Метод преобразования «напряжение—частота» реализован в ИМС КРП08 ПП1.

МЕТОДИЧЕСКИЕ УКАЗАНИЯ К РАЗРАБОТКЕ ПРЕОБРАЗОВАТЕЛЕЙ УРОВНЕЙ (ПУ)

Преобразователи уровней (ПУ) — специальные элементы цифровых устройств, предназначенные для обеспечения совместимости уровней цифровых элементов различных серий. Иногда ПУ называют транслятором уровней.

При проектировании микроэлектронной аппаратуры на цифровых интегральных микросхемах (#ИМС) на практике возникает необходимость в совместном использовании цифровых ИМС различных серий. Эти ИМС могут существенно различаться как конструктивно-технологическими, схемотехническими решениями, так и электрическими параметрами, вследствие чего *они не могут сопрягаться непосредственно. ПУ позволяет обеспечить управление интегральным логическим элементом (ЛЭ) одной серии с помощью интегрального логического элемента другой серии, т. е. добиться электрического и временного сопряжений этих двух элементов.

Каждый ЛЭ характеризуется набором входных и выходных статических и динамических параметров, некоторые из которых показаны на рис. 9.

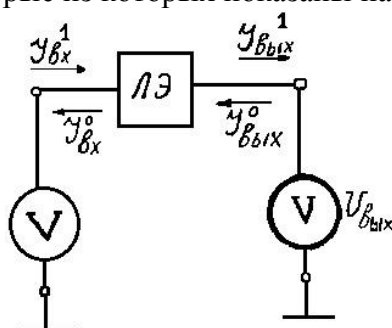


Рис. 9

К статическим параметрам относятся: U_{BX} и U_{BbIx} — входное и выходное напряжения; U_1 и U_0 — уровни логической 1 и логического 0; $I_{вх}^1$, $I_{вх}^0$, $I_{вых}^1$, $I_{вых}^0$ — входные и выходные токи ЛЭ в состояниях логического 0 и логической 1 по входу и выходу; I_n — ток нагрузки; U_{n*} — допустимая статическая помеха на нулевом уровне (помехозащищенность снизу) и $U_{n\sim}$ — допустимая статическая помеха на единичном уровне (помехозащищенность сверху).

Средние значения этих параметров, пределы их изменений и полярности у различных ЛЭ разные.

Для удобства дальнейшего изложения введем следующие обозначения: наименьшее и наибольшее значения некоторой величины V обозначим V_{\min} и V_{\max} соответственно.

На рис. 10 представлена обобщенная структурная схема согласования элементов ЛЭ1 и ЛЭ2 с различными типами логики и схемотехники.



Рис. 10

Основным элементом схемы согласования является преобразователь уровня П2. Входной П1 и выходной П3 каскады обеспечивают согласование выходов ЛЭ1 со входом П2 и выхода П2 со входом ЛЭ2. В отличие от логических элементов, у которых значения уровней входных и выходных сигналов, как правило, совпадают, у ПУ значения входных и выходных сигналов всегда различны. Это характерный признак ПУ. Поэтому для обеспечения полного сопряжения уровней ЛЭ1 и ЛЭ2 необходимо, чтобы входной каскад ПУ — П1 был реализован аналогично схеме выходного каскада ЛЭ1, точно так же выходной каскад ПУ — П3 должен быть реализован по схеме входного каскада ЛЭ2. Чтобы обеспечить выполнение этих условий для питания ПУ, необходимо одновременно использовать питающие напряжения как ЛЭ1, так и ЛЭ2.

В некоторых случаях, если расстояния ЛЭ1—ПУ и ПУ—ЛЭ2 (см. рис. 10) небольшие, например когда ЛЭ1, ПУ, ЛЭ2 размещены на одной и той же плате или в одном корпусе микросхемы, то схему ПУ можно упростить, исключив из нее каскады П1 или П3, или оба. В общем случае, когда предполагается изготовить ПУ в виде отдельной ИС или микросборки, желательно, чтобы ПУ содержал все три каскада П1—П2—П3, так как при этом ограничения на длину связей между ПУ и цифровыми ИС с ЛЭ будут такими же, как для связей между цифровыми ИС в данной аппаратуре. Это в определенной степени облегчит конструирование электронных блоков аппаратуры.

Кроме обеспечения совместимости уровней сигналов ПУ должны удовлетворять специальным требованиям, например таким, как:

сохранение преобразователем порогового уровня управляющего элемента ЛЭ1 и уровней токов элементов ЛЭ1 и ЛЭ2;

обеспечение преобразования уровней с логической инверсией (если на входе ПУ А, то на выходе \bar{A}) или без инверсии;

обеспечение заданных требований по нагрузочной способности и параметрам быстродействия.

Обеспечение заданных требований по нагрузочной способности сводится к реализации преобразования выходного логического уровня элемента ЛЭ1 во входной логический уровень элемента ЛЭ2 с заданным коэффициентом разветвления p (т. е. ПУ должен давать требуемый логический уровень для p элементов ЛЭ2, параллельно подключенных к выходу ПУ).

Обеспечение заданных требований по параметрам быстродействия обычно сводится к тому, что ПУ не должен ухудшать быстродействие цифрового устройства, в котором он используется, т. е. задержка на переключение ПУ не должна быть больше задержки наиболее медленного из элементов ЛЭ1 и ЛЭ2.

Можно сформулировать общие правила построения ПУ, пригодные для большинства возможных вариантов преобразователей уровня [7]:

преобразователи уровней проектируются для конкретных схем с обязательным учетом выходных характеристик и параметров управляющего элемента, а также входных характеристик и параметров управляемого элемента;

перепад логических уровней управляющего элемента должен быть достаточным для надежного функционирования преобразователей уровней;

преобразователь уровней должен обеспечивать необходимые динамические параметры с учетом емкостных и активных нагрузок.

По схемотехнической реализации основных логических функций цифровые ИМС, наиболее распространенные в настоящее время, подразделяются на следующие группы:

ИМС транзисторно-транзисторной логики (ТТЛ, ТТЛШ);

ИМС эмиттерно-связанной логики (ЭСЛ);

ИМС на МДП транзисторах (КМДП-логика, р-МДП-логика, я-МДП-логика);

ИМС на элементах инжекционной логики (ИЭЛ).

Рассмотреть в одном пособии все варианты преобразователей уровней, предназначенных для сопряжения цифровых ИМС и принадлежащих к перечисленным выше группам, не представляется возможным..

Целью настоящих методических указаний является научить студента самостоятельно проектировать схемы ПУ, предназначенные для согласования ЛЭ, выполненных на основе ТТЛ и КМДП технологий.

Типовые значения основных статических параметров рассматриваемых групп ИМС при наихудшем сочетании дестабилизирующих факторов и технологических разбросов приведены в табл. 4.

Таблица 4

Параметр, единица измерения	Элементная база	
	ТТЛ	КМДП
E, V	$+5 \pm 5\%$	$+ (5 \div 9) \pm 5\%$
U^0, V	$\leq +0,4$	$\leq +0,3$
U^1, V	$+5 \div 4,5$	$+4,5 \div 8,5$
$I_{вх}^1, mA$	$\leq 0,1$	$\leq 1,5 \cdot 10^{-3}$
$I_{вх}^0, mA$	$\leq 1,6$	$\leq 1,5 \cdot 10^{-3}$
$I_{вых}^1, mA$	≤ 1	$\leq 2,5$
$I_{вых}^0, mA$	≤ 16	$\leq 2,5$
U_n^{\pm}, V	$\leq 0,6$	$1 \div 3$

В составе схем малой и средней степеней интеграции ТТЛ и КМДП типов имеются специально разработанные преобразователи уровней.

Отечественная промышленность выпускает микросхемы ПУ типов КМДП -* ТТЛ и ТТЛ-> КМДП серий К176, К561, К564. Наиболее известными ПУ КМДП-+ТТЛ являются микросхемы К176ПУ5, К561ЛН1, К564ЛН2.

Микросхема К176ПУ1 содержит пять инверторов и имеет два вывода питания: $E7 = 5 V$ и $E2 = 9 V$. Микросхема К176ПУ2 содержит в одном корпусе шесть преобразователей КМДП-^ТТЛ. Особенностью этой микросхемы является повышение значения выходных токов логического 0 и логической 1, что необходимо для работы на значительную емкостную нагрузку.

В корпусе микросхемы К176ПУ3 расположены шесть ПУ КМДП-^ ТТЛ без инверсии выходов, имеются, два вывода питания $E1$ и $E2$. Время завершения переходных

процессов преобразования уровней КМДП -> ТТЛ не превышает 100 не для случая перехода от низкого уровня к высокому и 40 не для случая обратного перехода.

Отличительной особенностью микросхемы К176ПУ5 является то, что каждый из четырех ее ПУ имеет прямой и инверсный выходы. Микросхема К176ПУ4 содержит в своем корпусе шесть ПУ — буферных усилителей и работает от одного источника питания Е1.

Микросхема К564ПУ6 содержит четыре схемы сдвига логических уровней от низкого напряжения к высокому, т. е. ТТЛ-> КМДП, и питается от двух источников питания: $E_1 = 5 \text{ В}$ и $E_2 = (10+15) \text{ В}$. Отличительной особенностью этой микросхемы является наличие отдельных для каждого канала сигналов разрешения; при запрещающем сигнале соответствующий выход микросхемы переходит в высокоомное состояние.

Преобразователь уровней ТТЛ -> КМДП

На рис. 11, а представлена простейшая схема преобразования уровней элемента ТТЛ-типа в уровни элемента КМДП-типа (ТТЛ->КМДП).

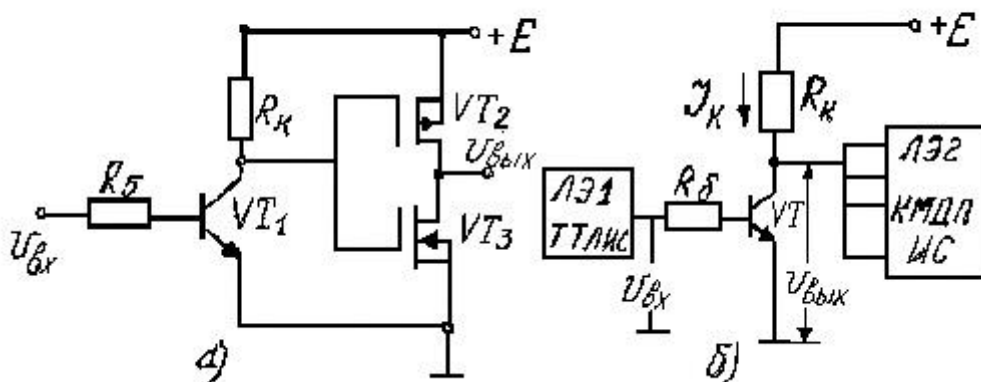


Рис.11

Первый каскад (на транзисторе VT_1) выполняет функции обычного инвертора-усилителя. Второй каскад (на транзисторах VT_2 и VT_3) представляет собой обычный комплементарный каскад. Чтобы этот каскад работал нормально, значения порогов $U_{но}$ Транзисторов VT_2 и VT_3 должны удовлетворять условию

Схема ПУ $U_{норм VT_2} + U_{норм VT_3} \leq E$ работает следующим образом. При $U_{вх} = U^{0\text{ТТЛ}}$ транзистор VT_1 находится в отсечке, и на выходе первого каскада $U = +E$. Транзистор VT_2 заперт, а VT_3 открыт, на выходе схемы $U_{вых} = 0 < U^{0\text{КМДП}}$.

При $U_{вх} = U^{1\text{ТТЛ}}$ транзистор VT_1 отпирается до насыщения благодаря базовому току, равному $(U_{вх} - e_{06})/R_5$ где e_{06} — напряжение на р—п-переходе Б—Э насыщенного транзистора (для кремниевых транзисторов $\sim 0,6 \text{ В}$). Остаточное напряжение между коллектором и эмиттером насыщенного транзистора близко к нулю (для кремниевых транзисторов — $0,2 \text{ В}$), и транзистор VT_2 открыт, а VT_3 заперт. Следовательно, $U_{вых} = +E > U^{0\text{КМДП}}$. Недостаток схемы — одновременное использование и биполярных, и полевых транзисторов в одной микросхеме, что затрудняет ее изготовление в виде интегральной полупроводниковой схемы, хотя эту схему ПУ можно изготовить в виде гибридной микросборки. В случае, когда ставится задача спроектировать ПУ . ТТЛ-> КМДП для расположенных на одной и той же плате

конкретных ТТЛ ИС и КМДП ИС с заданными нагрузочной способностью ПУ, частотой переключения f и температурным диапазоном работы ПУ, схема преобразователя может содержать только один биполярный транзистор VT и резисторы R_K и R_B .

Напряжение E выбирается равным напряжению питания КМДП ИС.

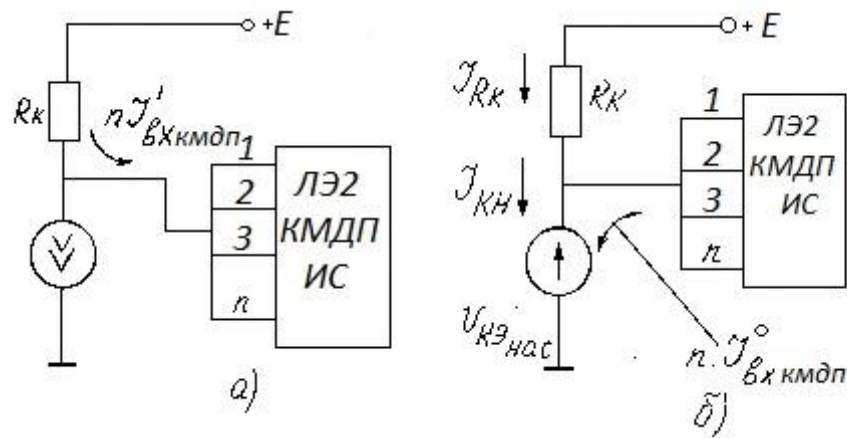


Рис. 12

Если $U_{BX} = U_{TTL} < e_{об}$, то VT находится в режиме отсечки (рис. 12, а), и напряжение на его коллекторе, равное напряжению на выходе ПУ, не должно быть меньше уровня логической 1 КМДП - элементов, т. е. $U_{КМДП}$:

где n — нагрузочная способность ПУ;

$$U_{вых} = E - (nI_{вхКМДП} + I_{кб0})R_K \geq U_{1КМДП}$$
 $I_{вхКМДП}$ — малый ток, обусловленный в основном охранными диодами, подключенными к затворным входам транзисторов (p—n - переходы, смещенные в обратном направлении);
 $I_{кб0}$ — обратный ток коллекторного перехода транзистора VT.

Если $U_{BX} = U_{TTL}$, то целесообразно обеспечить насыщение транзистора VT со степенью насыщения $S=1,5 \div 2$, т. е.

$$I_{\delta} = SI_{\delta n} = S \frac{I_{кн}}{\beta} \quad (2)$$

$I_{кн}$ — ток коллектора насыщенного транзистора VT.

Из рис. 11,6 видно, что ток I_{δ} , протекающий в цепи базы транзистора VT при условии, что $U_{QX} = U_{1TTL}$ равен

$$I_{\delta} = \frac{U_{вх} - e_{об}}{R_{\delta}} = \frac{U_{1TTL} - e_{об}}{R_{об}} \quad (3)$$

Вычисленный по формуле (3) ток I_{δ} не должен превышать выходной ток $I_{выхTTL}$, обеспечиваемый TTL - элементом в состоянии логической 1, а также должен быть меньше максимально допустимого тока $I_{\delta max}$ выбранного транзистора VT, т. е.:

$$I_{\delta} \leq I_{выхTTL} \quad (4 а)$$

$$I_{\delta} < I_{\delta max} \quad (4 б)$$

В коллектор насыщенного транзистора VT (рис. 12,б) втекает ток $I_{кн}$ который

складывается из тока I_k , протекающего через резистор R_k , и n входных токов $I^{0}_{вх}$ КМДП КМДП-элемента, т. е.

$$I_{кн} = I_{R_k} + nI^{0}_{вхКМДП} = \frac{E - U_{кэн}}{R_k} + nI^{0}_{вхКМДП} \quad (5)$$

Ток $I_{кн}$, найденный по формуле (5), должен быть меньше максимально допустимого тока $I_{кмакс}$ выбранного транзистора VT, т. е.

$$I_{кн} < I_{кмакс} \quad (6)$$

Напряжение $U_{вх}$ на выходе ПУ, равное потенциалу на коллекторе насыщенного транзистора VT $U_{кэн}$ не должно превышать уровня логического 0 КМДП элемента $U^{0}_{КМДП}$

$$U_{вых} = U_{кэн} \leq U^{0}_{КМДП}$$

Статические свойства схемы ПУ наглядно отражаются ее передаточной характеристикой — зависимостью $U_{вх} = f(U_{вх})$.

На передаточной характеристике рассматриваемой схемы ПУ можно выделить три участка.

Если $U_{вх} < U_{об}$, то VT находится в режиме отсечки и $I_{кн}$ определяется по формуле (1).

Если $U_{вх} > U_{об}$, то VT открыт и ток базы определяется по формуле (3). Пока VT работает в активном режиме и $I_{б} \leq I_{бн} = \frac{I_{кн}}{\beta}$ по

$$U_{вых} = E - (I_{кн} + nI^{0}_{вхКМДП})R_k \approx E - I_{кн}R_k = E - \frac{U_{вх} - U_{об}}{R_b} \beta R_k \quad (7)$$

Мы пренебрегли малым током $nI^{0}_{вхКМДП}$.

Ток $I_{б}$ достигает значения $I_{бн}$ при $U_{вх} = U_{об} + I_{бн}R_b$, поэтому, если $U_{вх} > (U_{об} + I_{бн}R_b)$, то УГ - находится в насыщении и $U_{вых} = U_{кэн}$

На графике $U_{вх} = f(U_{вх})$ ПУ проводят уровни (U_1 КМДП и $U^{0}_{КМДП}$). Абсцисса точки пересечения характеристики $U_{вых} \sim f(U_{вх})$ с уровнем U_1 КМДП мин соответствует пороговому напряжению $U_{1пор}$ входного сигнала ПУ. Абсцисса точки пересечения характеристики $U_{вх} = f(U_{вх})$ с уровнем $U^{0}_{КМДП}$ Макс равна пороговому значению $U^{0}_{ПОР}$ входного сигнала ПУ.

Для того чтобы уровни выходных сигналов ТТЛ -элемента могли использоваться в качестве уровней входного сигнала ПУ, необходимо соблюдать условия:

$$\begin{aligned} U^{0}_{ТТЛ_{макс}} &\leq U^{1}_{пор}; \\ U^{1}_{ТТЛ_{мин}} &\geq U^{0}_{ПОР} \end{aligned} \quad (8)$$

Указанные неравенства выполняются с некоторым запасом. Так как $U^{0}_{ТТЛ_{макс}} < U_{1пор}$, то допускаются некоторые паразитные (помеховые) изменения входного сигнала, которые не приводят к изменению сигнала на выходе ПУ до уровня, меньшего $U_{КМДП_{мин}}$.

Статическую помехоустойчивость ПУ характеризуют параметрами U_{+n} и U^{-n} . Напряжение $U_{+n} = U^{1}_{пор} - U^{0}_{ТТЛ_{макс}}$ (рис. 13) характеризует помехоустойчивость схемы ПУ к помеховым выбросам положительной полярности уровня логического 0 на его входе.

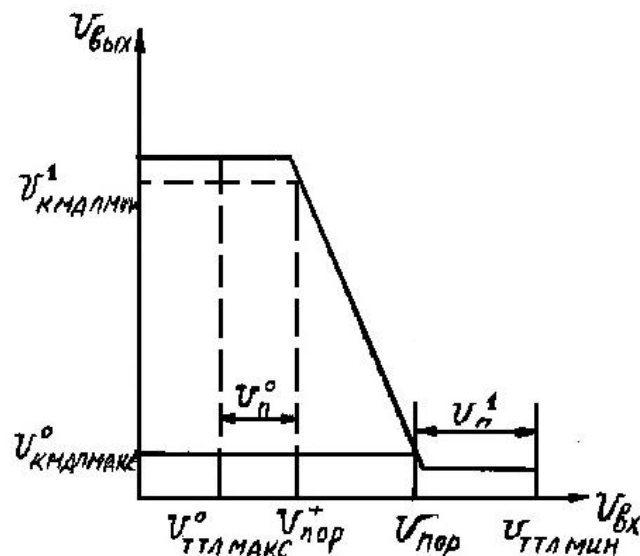


Рис. 13

Аналогично $U_n = U_{\text{ТТЛМИН}} - U_{\text{пор}}$ характеризует помехоустойчивость схемы ПУ к отрицательным изменениям уровня логической 1 на его входе.

Значения U_{+n} и U_{-n} можно определить аналитически и графически.

Более точный анализ помехозащищенности следует проводить для наихудшего сочетания параметров ПУ и темпера-, туры. В этом случае будет не одна передаточная характеристика ПУ, а целое семейство, по которому* более корректно определяют U_{+n} и U_{-n} .

Важной характеристикой ПУ является его быстродействие, которое определяется максимально допустимой частотой следования входных сигналов, представляющих кодовые символы 0 и 1 каждый из которых приводит к переключению ПУ.

Очевидно, что быстродействие зависит от общей длительности переходного процесса, возникающего при воздействии переключающего сигнала и обусловленного инерционностью транзистора и перезарядом паразитных емкостей в процессе переключения. В рассматриваемой схеме ПУ обычно медленнее происходит процесс переключения из состояния логического 0 в состояние логической 1, который определяется процессом заряда нагрузочной емкости C_n через резистор R_k .

Если выбрать транзистор VT, у которого граничная частота переключения в несколько раз выше заданной частоты переключения ПУ, то при заперении транзистора его инерционностью можно пренебречь и длительность /од можно рассчитать исходя из упрощенной схемы (см. рис. 13):

$$t^{0,1} = 2.3 R_k C_n \quad (9)$$

где $C_n = C_{\text{вх}} + C_m$;

p — нагрузочная способность ПУ;

$C_{\text{вх}}$ — входная емкость КМДП-элемента;

C_m — емкость монтажа.

Если задана частота переключения ПУ f , то время переключения $t_{\text{пер}} = \frac{1}{f}$ и необходимо обеспечить условие:

$$t^{0,1} \leq t_{\text{пер}} \quad (10)$$

Если частота переключения / не задана, то спроектировать ПУ нужно так, чтобы он не ухудшал быстродействия цифрового устройства, в котором он используется, т. е. должно выполняться неравенство:

$$t^{0,1} \leq t_{\text{макс}}^{0,1}$$

(11)

где $t_{0,1\max}$ — наибольшее время задержки распространения сигнала для ТТЛ и КМДП - элементов,

$$t^{0,1}_{\max} = \max(t^{0,1}_{\text{зд р ттл}}, t^{0,1}_{\text{здр кмп}}).$$

Значения резисторов R_K и R_6 определяются из условий двухсторонних ограничений, изложенных ниже.

Из условия, что напряжение на выходе ПУ не должно быть меньше напряжения $U_{1\text{кмп}}$, для наихудшего соотношения параметров определяем первое ограничение сверху на величину R_K :

$$R_k \leq \frac{E - U_{1\text{кмп}}}{nI_{\text{вх кмп}} + I_{\text{кб0}}} \quad (12)$$

Где E — минимальное напряжение питания при заданном допуске;

$I_{\text{вх кмп}}$ и $I_{\text{кб0}}$ — максимальные значения входного тока КМДП-элемента и обратного тока коллектора транзистора VT, которые достигаются при максимальной температуре T_{\max} заданного температурного диапазона работы ПУ.

Для нахождения $I_{\text{вх кмп}}$ и $I_{\text{кб0}}$ можно использовать известное упрощенное выражение, описывающее зависимость обратного тока р—n-перехода I_0 от температуры окружающей среды T ,

$$I_0(T) \approx I_0(T_0) 2^{\frac{T-T_0}{T^*}}$$

где T^* — приращение температуры, при которой обратный ток $I_0(T_0)$ удваивается ($T^* = (8 \div 10)^\circ \text{C}$ для германия и $T^* = (6 \div 7)^\circ \text{C}$ для кремния); T — температура, при которой определяют ток I_0 ;

$I_0(T_0)$ — ток I_0 при некоторой исходной температуре T_0 , который приводится в справочнике. Второе ограничение сверху на величину R_K определяется требованиями обеспечения заданного быстродействия ПУ (формулы (9) и (10)):

$$R_k \geq \frac{t}{2.3 f C_n} \quad (13 \text{ а})$$

или выполнения условия, что спроектированный ПУ не ухудшит быстродействие электронной системы, построенной на ТТЛ и КМДП-элементах (формулы (9) и (11)):

$$R_k \leq \frac{t^{0,1}_{\max}}{2.3 f C_n} \quad (13 \text{ б})$$

Из условия ограничения тока коллектора насыщенного транзистора VT максимально допустимым током $I_{\text{кмакс}}$ в соответствии с формулами (5) и (6) для наихудшего соотношения параметров определяем ограничение снизу на величину R_K :

$$R_k \geq \frac{\bar{E} - U_{\text{кбн}}}{I_{\text{кмакс}} - nI_{\text{вх кмп}}} \quad (14)$$

где \bar{E} — максимальное напряжение питания при заданном допуске.

Таким образом, получаем двустороннее ограничение на величину R_K — формулы (12) — (14).

С точки зрения уменьшения мощности, потребляемой ПУ, необходимо выбрать величину R_K наибольшей, удовлетворяющей двустороннее ограничение и в соответствии со стандартным рядом номиналов резистора.

Мощность, рассеиваемая на резисторе R_k при насыщении транзистора VT,

$$P_{P_k} \geq \frac{(E - U_{кэи})^2}{R_k} \quad (15)$$

В соответствии с величиной PR выбираем мощность резистора R_k .

Из условия, что ток базы I_b транзистора VT не должен превышать ток $I_{1выхттл}$ (формулы (2) и (4 а)), получаем первое ограничение снизу на величину R_6

$$R_6 \geq \frac{U_{1ммл} - e_{об}}{I_{1выхттл}} \quad (16)$$

Из условия, что ток I_b не должен превышать максимально допустимый ток $I_{бмакс}$ базы I_b макс выбранного транзистора VT (формулы (3), (4 б)), получим второе ограничение снизу на величину R_6 :

$$R_6 \geq \frac{U_{1ммл} - e_{об}}{I_{бмакс}} \quad (17)$$

Для определения ограничения сверху на величину R_6 потребуем, чтобы при минимальном значении I_b для выбранного транзистора VT обеспечивалась бы степень насыщения S . Используя формулы (2), (3) и (5), при наихудшем сочетании параметров (E , V и $I_{вхкмп}$) и выбранных значениях R_k и S получим:

$$I_b = \frac{U_{1ммл} - e_{об}}{R_6} \geq \frac{S}{\beta} \left(\frac{E - U_{кэи}}{R_k} + nI_{вхкмп} \right)$$

откуда, предположив, что $nI_{вхкмп} = 0$, имеем:

$$R_6 \leq \frac{\beta(U_{1ммл} - e_{об})R_k}{S(E - U_{кэи})} \quad (18)$$

Таким образом, получаем двустороннее ограничение на величину R_6 — формулы (16), (17) и (18).

Величину R_6 выбираем наибольшей, удовлетворяющей двустороннее ограничение и в соответствии со стандартным рядом номиналов резистора.

Определим мощность, потребляемую ПУ. Если $I_{1вх} = I_{7ттл}$, то VT находится в режиме отсечки (см. рис. 12, а) и согласно формуле (1) через резистор R_k протекает ток $I_{1вхкмп} + I_{кбо}$ который будет максимальным при наибольшей заданной температуре. Поэтому мощность, которую ПУ потребляет от источника питания E в состоянии логической 1 на выходе, равна:

Если $U_{BX} = U_{ттл}$ $P^1 = E(nI_{вхкмп} + I_{кбо})$ то VT насыщен и мощность, потребляемая ПУ в состоянии логического 0 на выходе, с учетом (5) равна:

$$P^0 = E I_{кн} = E \left(\frac{E - U_{кэи}}{R_k} + nI_{вхкмп} \right) \quad (19)$$

Преобразователь уровней КМДП->ТТЛ

При непосредственном сопряжении ЛЭ КМДП- типа с ЛЭ ТТЛ- типа выходные токи КМДП- элементов $I_{\text{вых}}$ и $P_{\text{вых}}$ могут быть недостаточными для управления входами ТТЛ- элементов. Для усиления этих токов и согласования уровней используется ПУ, простейшая схема которого аналогична схеме ПУ ТТЛ->КМДП и приведена на рис. 14.

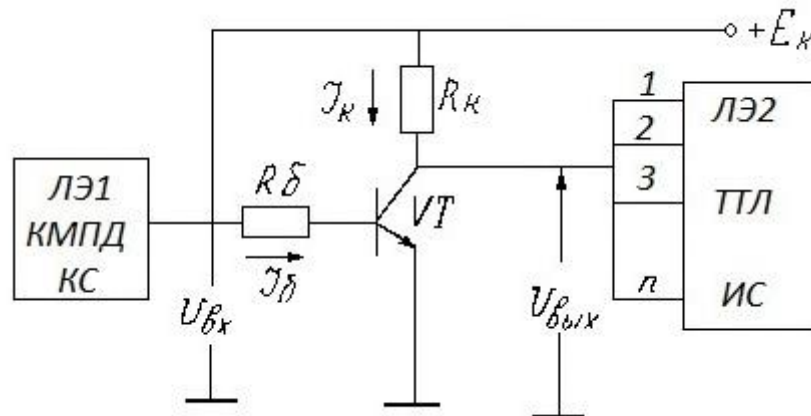


Рис. 14

Если $U_{\text{вх}} = U^{\circ}_{\text{КМДП}} < E_{0\delta}$ то транзистор VT находится в режиме отсечки (рис. 15, а).

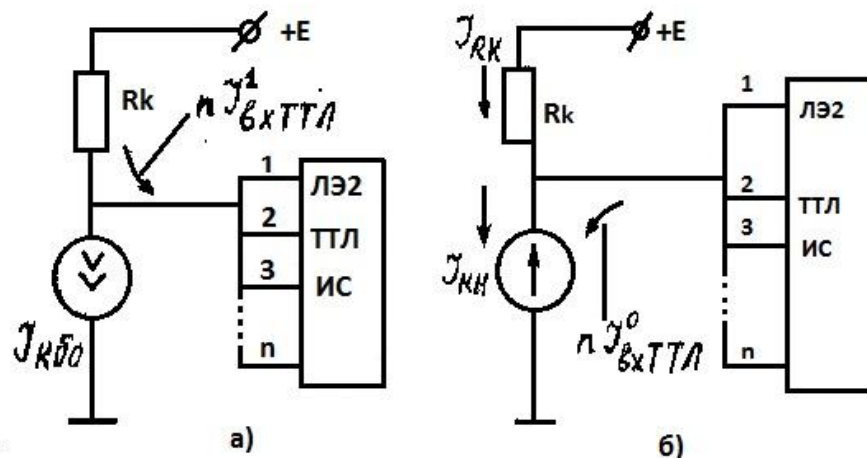


Рис. 15

Поскольку к выходу ПУ подключены п ТТЛ- элементов, то через резистор R_k протекает не только обратный ток коллекторного перехода $I_{\text{кбо}}$ транзистора VT, но и я токов $I_{\text{вхТТЛ}}$. Напряжение на коллекторе транзистора VT, равное напряжению на выходе ПУ, должно быть больше уровня логической 1 ТТЛ- элементов $U^1_{\text{ТТЛ}}$

$$U_{\text{вых}} = E - (nI^1_{\text{вхТТЛ}} + I_{\text{кбо}})R_k \geq U^1_{\text{ТТЛ}}$$

Если $U_{BX} = U_{кмдп}$, то транзистор VT должен находиться в режиме насыщения, т. е.

$$I_{\bar{o}} = SI_{\bar{o}н} = S \frac{I_{кн}}{\beta} \quad (20)$$

Обычно стараются создать степень насыщения транзистора $S=1,5—3$; при больших S существенно снижается быстродействие ПУ.

Из рис. 14 видно, что при условии $U_{BX} = U_{кмдп}$ ток базы

$$I_{\bar{o}} = \frac{U_{вх} - e_{об}}{R_{\bar{o}}} = \frac{U_{кмдп} - e_{об}}{R_{\bar{o}}} \quad (21)$$

В коллектор насыщенного транзистора VT (рис. 15,6) втекает ток

$$I_{кн} = I_{R_k} + I_{вх}^{0} m m л = \frac{E - U_{кн}}{R_{\bar{o}}} + n I_{вх}^{0} m m л \quad (22)$$

Ток $I_{кн}$, найденный по формуле (22), должен быть меньше максимально допустимого тока $I_{к макс}$ выбранного транзистора VT, т. е.:

$$I_{кн} < I_{к макс} \quad (23)$$

На передаточной характеристике $U_{вых} = f(U_{BX})$ рассматриваемой схемы можно выделить три участка (рис. 16).

Если $U_{BX} < e_{об}$ то VT находится в режиме отсечки и $U_{вых}$ определяется формулой (19).

Если $U_{BX} > e_{об}$, то VT открыт и ток $I_{\bar{o}}$ определяется формулой (21).

Пока $I_{\bar{o}} \leq I_{\bar{o}н} = \frac{I_{кн}}{\beta}$ VT работает в активном режиме и

$$U_{вых} = E - (I_{\bar{o}} + n I_{вх}^{0} m m л) R_k \approx E - \left(\beta \frac{U_{вх} - e_{об}}{R_{\bar{o}}} + n I_{вх}^{0} m m л \right) R_k$$

Если $U_{BX} > (e_{об} + I_{\bar{o}н} R_{\bar{o}})$ VT находится в насыщении, и

Расчет ПУ КМДП->ТТЛ проводится аналогично с использованием выражений (8) - (18) с соответствующими изменениями.

РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА

1. Федорков Б. Г., Телец В. А. Микросхемы ЦАП и АЦП. М.: Энергоатомиздат, 1990. 320 с.
2. Цифровые и аналоговые интегральные микросхемы: Справочник/ Под ред. С. В. Якубовского. М.: Радио и связь, 1990. 496 с.
3. Титц У, Шейк К. Полупроводниковая схемотехника. М.: Мир, 1983. 512 с.
4. Гнатек 10 ?. Справочник по цифро-аналоговым и аналого-цифровым преобразователям. М.: Радио и связь, 1982. 551 с.
5. Моисеев Б. С. Системное проектирование преобразователей информации. Л.: Машиностроение, 1982.
6. Мкртчян С. О. Преобразователи уровней логических элементов. М.: Радио и связь, 1982. 64 с.
7. Микропроцессоры. • Кн. 2.: Средства сопряжения. Контролирующие и информационно-управляющие системы/Под ред. Л. Н. Преснухина. М.: Высшая школа, 1986.
8. Преснухин Л. Н., Воробьев Н. В., Шишкевич Л. А. Расчет элементов цифровых устройств: Учебное пособие. М.: Высшая школа, 1982.

