Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное   
учреждение высшего образования   
«Тульский государственный университет»

Кафедра Электротехника и электрооборудования

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

К контрольно - курсовой работе по дисциплине

«Микропроцессорные системы управления электротехническимим объектами»

Студент Диденко Г.В.

Группа 121271

Руководитель работы

Чумаков А.В.

Тула 2020

Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего образования   
«Тульский государственный университет»

Кафедра Электротехника и электрооборудования

ЗАДАНИЕ НА КОНТРОЛЬНО - КУРСОВУЮ РАБОТУ

Студент: Диденко Г.В. группа:121271

Вариант №1

1. Тема: проектирование микропроцессорного (МП) контроллера электропривода постоянного тока (ЭП ПГ)

2. Исходные данные:

Процессорный модуль

1 Центральный процессор – КР580 ВМ80

2 Буфер ША – ИР82

3 Буфер ШД – ВК28

4 Организация микросхем ОЗУ – 2 Кб х 8

5 Объем ОЗУ – 8 Кб

6 Организация микросхем ПЗУ – 256 б x 4

7 Объем ПЗУ – 1 Кб

Модуль ВУ

1 Начальный адрес портов — AD

2 Регистр ЦАП — ИР22

З Регистр АЦП — ИР15

4 Регистр вектора прерывания – ИР15

5 Вектор прерывания — 5

6 Триггер «Сбой» — ТМ8

7 Триггер «Готовность» — ТМ8

Программное обеспечение

1 Алгоритм работы ЭП, постоянного тока

2 Уровень управляющего напряжения — 4,47 В

3 Время задержки — 0,62 с

Задание получил: Диденко Г.В. «\_\_\_\_\_»\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_2020 г.

Срок представления задания: «\_\_\_\_\_»\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_2020 г.

Руководитель \_\_\_\_\_\_\_\_\_\_ Чумаков А.В. «\_\_\_\_\_»\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_2020 г.

Оглавление

[Введение 4](#_Toc58252400)

[1. Принцип работы ЭП ПТ и общие требования 5](#_Toc58252401)

[2. Разработка блока центрального процессора (ЦП) 7](#_Toc58252402)

[3. Разработка блока запоминающих устройств (ЗУ) 9](#_Toc58252403)

[4. Разработка интерфейсного модуля 12](#_Toc58252404)

[4.1 Разработка адресного дешифратора. 13](#_Toc58252405)

[4.2 Разработка регистра вектора прерывания. 14](#_Toc58252406)

[5 Разработка программного обеспечения 15](#_Toc58252407)

[5.1 Разработка подпрограммы пуска ЭД 15](#_Toc58252408)

[5.2 Разработка подпрограммы обслуживания прерывания 15](#_Toc58252409)

[5.3 Расчет цифрового эквивалента 16](#_Toc58252410)

[6. Расчет источника питания 21](#_Toc58252411)

[Заключение 29](#_Toc58252412)

[Список используемой литературы 30](#_Toc58252413)

Введение

Широкое внедрение в промышленность роботов и гибких про­изводств потребовало существенного расширения и повышения эффективности системы подготовки и переподготовки специалистов в этой области. Создание систем управления роботами и гибкими ав­томатизированными производствами базируется на средствах вычис­лительной техники, в первую очередь на больших интегральных схемах и микропроцессорных вычислительных машинах микроЭВМ. По­этому одним из направлений подготовки специалистов по системам управления роботами является изучение принципов работы и мето­дов проектирования устройств управления, построенных на базе выпускаемых промышленностью микропроцессорных наборов и микро­ЭВМ.

Успехи в области микроэлектроники открывают новые возмож­ности для автоматизации производственных процессов, машин, обо­рудования и приборов на базе микропроцессоров (МП). Микропро­цессоры представляют собой устройства обработки цифровой инфор­мации, конструктивно выполненные в виде больших интегральных схем (БИС).

В основу курсового проекта положено проектирование систем на базе одной серии БИС - БИС КР580. Этот выбор обусловлен сле­дующими причинами:

1. Микропроцессорный комплект БИС КР580 является комплек­том общего назначения и используется в управляющей, информаци­онной, измерительной, связной, медицинской, бытовой и другой аппаратуре самого различного применения.

2. Комплект БИС серии КР580 представляет собой один из первых отечественных микропроцессорных комплектов. К настоящему времени уже накоплен достаточный опыт построения аппаратурынаего основе. Объем производства МП и микроЭВМ постоянно возрас­тает, улучшаются их технические характеристики и снижается стоимость. Благодаря реализованной в них возможности программ­ного управления они обладают свойствами универсальных устройств цифрового управления. Это способствует массовому применению МП и микроЭВМ в народном хозяйстве для цифровой обработки данных и управления различными объектами и процессами.

1. Принцип работы ЭП ПТ и общие требования

В комплект ЭП ПТ входит тахогенератор ТГ, который закреплен на валу ЭД. Выходное напряжение ТГ, которое пропорционально частоте вращения вала ЭД, используется для ее контроля.

Для управления ЭП ПТ применяются МП контроллеры, которые должны в зависимости от требуемой частоты вращения задавать управляющее напряжение Uупр и контролировать фактическую ее величину по уровню постоянного напряжения, снимаемого с тахогенератора Uтг (рис. 1).

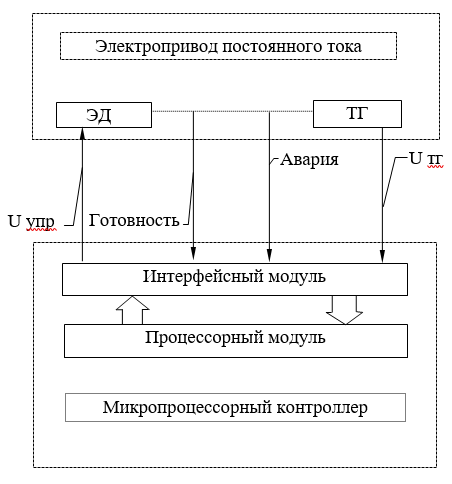


Рис. 1 Структура электропривода постоянного тока с микропроцессорным управлением

В состав МП контроллера входят два модуля: процессорный и интерфейсный. Процессорный модуль осуществляет отработку управляющих программ для реализации алгоритма управления ЭП ПГ. Интерфейсный модуль обеспечивает связь процессорного модуля с электроприводом: преобразование цифровых сигналов в аналоговых и наоборот, промежуточное хранение данных и фиксацию управляющих сигналов.

Проектируемый МП контроллер должен обеспечить следующий алгоритм работы ЭП ПТ.

Перед пуском ЭД т.е. перед подачей Uупр, МП контроллер проверяет наличие сигнала "Готовность", поступающего с электропривода (наличие питающего напряжения, снятие различных блокировок и т.д.). При отсутствии данного сигнала МП контроллер не производит пуск ЭД и должен выдать сигнал "Сбой" на световой индикатор. Если сигнал "Готовность" присутствует, то процессорный модуль МП контроллера выдает в интерфейсный модуль цифровой эквивалент Uупр, который цифро-аналоговым преобразователем преобразуется в аналоговую величину.

После подачи Uупр на электродвигатель ИП контроллер осуществляет программным способом определенную по времени задержку, необходимую для разгона ЭД до заданной частоты вращения, а затем вводит цифровой эквивалент напряжения ТГ. Преобразование аналоговой величины Uтг в цифровую осуществляется в интерфейсном модуле аналого-цифровым преобразователем.

После ввода Uтг МП контроллер приступает к сравниванию ее величины с yровнем Uупр. Если уровень Uтг соответствует Uупр.то пуск произошел в нормальном режиме.

Если соответствия нет, то имеет место нештатная ситуация, например, перегрузка ЭД. В этом случае МП контроллер выдает нулевой уровень Uупр (останов ЭД) и сигнал "Сбой", который индицируется светодиодом в интерфейсном модуле.

При пуске ЭД могут возникнуть различные аварийные ситуации.

При наличии сигнала "Авария" МП контроллер должен прервать подпрограмму пуска, остановить ЭД и выдать сигнал "Сбой".

2. Разработка блока центрального процессора (ЦП)

Структурная схема блока ЦП представлена на рис.2. В его состав кроме ЦП и системного генератора СГ (на рис. не показан) входят:

- однонаправленный буфер шины адреса (БШA);

- двунаправленный буфер шины данных (БШД) ;

- регистр RG словосостояния ЦП;

- логическая схема формирования шины управления (ШУ);

Включение БША должно быть таким, чтобы все 16 разрядов ША передавались с его входа на выход.

Так как ШД двунаправленная, то направлением передачи информации через ВИД необходимо управлять. Это осуществляет сигнал "Прием" (ПМ). При уровне лог.1 сигналы с ШД через БШД должны передаваться в ЦП, а при лог.0 - из ЦП в ШД.

В начале каждого машинного цикла микропроцессора на ШД выдается восьмиразрядное словосостояние ЦП, отдельные разряды которого используются для формирования сигналов ШУ.

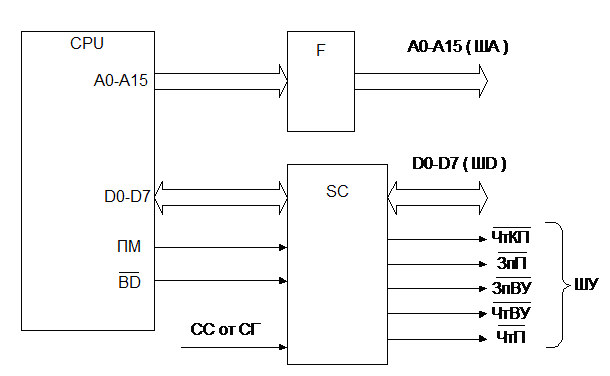


Рис 2 - Структурная система блока ЦП с применением системного контролера.

Словосостояние ЦП определяет действия выполняемые микропроцессором в данном машинном цикле чтение/запись ЗУ, чтение/ запись внешних устройств (ВУ) и т.д. Словосостояние фиксируется в регистре RG по сигналу "Строб состояния" (СС) от системного генератора и хранится в нем до окончания машинного цикла.

Логическая схема служит для формирования следующих управляющих сигналов ШУ:

- ЧтКП - чтение контроллера прерывания;

- ЗпП - запись в память;

- ЗпВУ - запись во внешнее устройство;

- ЧтВУ - чтение с внешнего устройства;

- ЧтП - чтение из памяти.

Сигналы ПМ и ВД, ("Выдача") в логической схеме используются для стробирования управляющих сигналов.

Схема подключения СГ к ЦП стандартная и приведена в приложении. Кварцевый резонатор BQ 1 обеспечивает возбуждение генератора. Интегрирующая цепочка RC служит для первоначального сброса СГ и ЦП при включении питания, а кнопка SB1 - для принудительного сброса. На входе "Готовность" IT присутствует уровень лог.1, т.к. предполагается, что быстродействие ЗУ и ВУ соизмеримо с быстродействием ЦП.

Другой вариант построения блока ЦП представлен на рис. 3. Здесь вместо БШД и логической схемы используется микросхема системного контроллера СК, объединяющая их в одном корпусе. Стробирование СК при записи словосостояния осуществляется сигналом СС, поступающим с СГ.

Цоколевка и режимы работы применяемых в блоке ЦП микросхем даны в приложении.

3. Разработка блока запоминающих устройств (ЗУ)

Разработку блока ЗУ рассмотрим на примере. Пусть требуется спроектировать блок ЗУ со следующими параметрами:

- объем ОЗУ – 8 Кб

- организация микросхем ОЗУ – 2 Кб х 8

- объем ПЗУ -1Кб

- организация микросхем ПЗУ – 256 б х 4

Это означает, что ОЗУ должно иметь объем 8 Кб при использовании микросхем, позволяющих хранить 2Кб четырехразрядных слов. Соответственно и для ПЗУ.

Блок ЗУ организуется по страничному принципу. Каждая страница образована заданными микросхемами в количестве, позволяющем хранить 8-ми разрядные слова. Для хранения в ОЗУ 8 Кб необходимы 4 микросхем с организацией 2Кб х 8. Младшие разряды байта Д0 - Д3, старшие Д4 - Д7.

Для организации ОЗУ в 8Кб необходимы четыре страницы, т.е. восемь микросхем с заданной организацией.

Соответственно ПЗУ будет состоять из четырех страниц, каждая из которых будет организована на двух микросхемах.

Структура блока ЗУ представлена на рис. 4 (микросхемы D1, D2 - 0-я страница ОЗУ; D3, D4 - 1-я страница ОЗУ; D5, D6 - 2-я страница ОЗУ; D7, D8 - 3-я страница ОЗУ; D9, D10 - 0-я страница ПЗУ; D11, D12 - 1-я страница ПЗУ; D13, D14 - 2-я страница ПЗУ; D15, D16 - 3-я страница ПЗУ;

Разряды ША А0 – А10 поступают одновременно на все микросхемы ОЗУ, т.к. для адресации (выбора) 2кб четырехpазрядных ячеек памяти необходимы одиннадцать двоичных разрядов (2Кб). Аналогично для адресации ячеек памяти ПЗУ используются восемь разрядов А0 - А7.

Выбор той или иной страницы памяти производит адресный дешифратор. Для его разработки необходимо составить таблицу адресов ЗУ (табл.1): Начальный адрес 0 *-*й страницы ОЗ У - 00 0016*,* а конечный - 07 FF16, т.к. последний адрес представляется логическими 1 во всех десяти разрядах А0 - А9. Начальный адрес следующей страницы ОЗУ формируется как двоичная сумма конечного адреса предыдущей страницы и логической 1 в младшем разряде, т.е. имеем перенос 1 в разряд А10. Для определения конечного адреса этой страницы к начальному адресу прибавляем 210, т.е. код с логическими 1 в разрядах А0 – А10. Аналогично строится таблица для страниц ПЗУ.

Анализ таблицы позволяет заключить, что отличие адресов 0-й и 1-й страниц ОЗУ состоит в разряде А11. Если А13 = 0, то обращение производится к 0-й странице, а если А13 = 1, то к 1-й странице ОЗУ.

Если в разряде A13 появляются логические 1, то производится адресация ПЗУ, а если 0 - то ОЗУ. Причем номер страницы ПЗУ определяется состоянием разряда A8 и A9. Если А8 = 0 b A9 = 0, то производится обращение к 0 странице ПЗУ (при условии А13 = 1).

На основании проведенных рассуждений строится адресный дешифратор (pис.5).

Используемые дешифраторы имеют вход " Разрешение дешифрации" Р. Если на этом входе присутствует уровень логического 0, то дешифрация разрешена. На вход разрешения первого дешифратора подаются сигналы ЧтП и ЗпП, объединенные по "И". В этом случае дешифрация номеров страниц ЗУ будет производится только в том случае, когда имеет место обращение к ЗУ.

Сформированные сигналы " Выбор страниц" поступают на входы "Выбор микросхем" (ВМ) каждой страницы ЗУ (рис.4).При наличии уровня логического 0 на этом входе микросхема ЗУ выводится из высокоимпедансного состояния и, если это схема ПЗУ, то её выход подключается к ШД, на которую поступают данные выбранные по адресу в соответствии с состоянием разрядов А0 - А7.

На микросхемы ОЗУ, кроме сигнала ВМ, необходимо подать сигнал Чт/Зп. Если на этом входе присутствует логическая 1, то осуществляется запись байта информации с ШД в ячейку с адресом, установленном в разрядах А0-A9. Если Чт/3п = 0, то осуществляется считывание данных из микросхемы в ШД. Такой режим работы микросхем обеспечивается подачей сигнала ЗпП на вход Чт/Зп.

Таблица 1. Адресное пространство ЗУ

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| А15 | А 14 | А 13 | А 12 | А 11 | А 10 | А9 | А8 | А7 | А6 | А5 | А4 | А3 | А2 | А1 | А0 | Адрес | № стр. | ЗУ |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Нач. адр. 00 00 | 0 | ОЗУ |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | Кон. адр. 07 FF |  |  |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Нач. адр. 08 00 | 1 |  |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | Кон. адр. 0F FF |  |  |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Нач. адр. 10 00 | 22 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | Кон. адр. 17 FF |
| 00 | 00 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Нач. адр. 18 00 | 33 |
| 00 | 00 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | Кон. адр. 1F FF |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Нач. адр. 20 00 | 0 | ПЗУ |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | Кон. адр. 20 FF |  |  |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Нач. адр. 21 00 | 1 |  |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | Кон. адр. 21 FF |  |  |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Нач. адр. 22 00 | 2 |  |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | Кон. адр. 22 FF |  |  |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Нач. адр. 23 00 | 3 |  |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | Кон. адр. 23 FF |  |  |

4. Разработка интерфейсного модуля

В состав интерфейсного модуля (рис. 6) входят следующие блоки:

- адресный дешифратор (ДШ);

- регистр цифро-аналогового преобразователя ( RG ЦАП );

- регистр аналого-цифрового преобразователя ( RG АЦП );

- регистр вектора прерывания (RG ВП);

- триггер "Сбой" ( Тг СБ );

- триггер "Готовность" ( Тг ГОТ );

- буфер-формирователь ( BF );

- блоки оптронной развязки ( БОР );



Адресный дешифратор производит выбор порта (регистра или триггера) с которым производится обмен информацией, путем дешифрации его адреса поступившего с ША. По сигналу, поступающему с ДШ производится либо синхронизация вводимой информации в порт, либо вывод выходов порта из высокоимпедасного состояния при чтении содержимого портов.

Регистр ЦАП служит для хранения цифрового эквивалента управляющего напряжения для его последующего преобразования в аналоговую величину в цифро-аналоговом преобразователе.

Регистр АЦП служит для приема и хранения цифрового эквивалента напряжения тахогенератора Uтг, после его преобразования в АЦП.

Регистр вектора прерывания хранит код команды RST. По сигналу ЧтКП выходы регистра должны выводится из высокоимпедансного состояния, что обеспечивает выдачу хранимого кода на ШД.

Информационный вход триггера СБ подключается к одному из разрядов ЩД. Синхронизация записи в триггер осуществляется сигналом с ДШ. При подключении светодиода к выходу триггера следует учитывать, что излучение светодиода происходит только при наличии разности потенциалов ( 1 и 0 ) на его выводах при прямом включении диода.

Запись информации в триггер ГОТ осуществляется внешними сигналами (информационным и синхронизирующим), поступающими с электропривода. Для того, чтобы не блокировать один из разрядов ШД состоянием триггера (0 или 1) выход триггера подключается к одному из разрядов ШД через буфер-формирователь ( ВF ) имеющий третье состояние. Вывод буфера из этого состояния ( подключение триггера с ШД ) осуществляется сигналом с ДШ.

4.1 Разработка адресного дешифратора.

Начальный адрес портов интерфейсного модуля - AD16.

Тогда адреса остальных портов определяются соответственно - AE 16, AF16 и B016.

Представим адреса портов в двоичном коде:

А7.........A0 - разряды ША;

1010 1101 - адрес RG ЦАП ( порт 1 ) ;

1010 1110 - адрес RG АЦП ( порт 2 ) ;

1010 1111 - адрес Тг СБ ( порт 3 ) ;

1011 0000 - адрес Тг ГОТ ( порт 4 ) .

Дешифрация, т.е. обращение к портам, будет иметь место только в том случае, если хотя бы один из сигналов  или  примет ну­левой уровень (обращение к портам ввода/вывода).

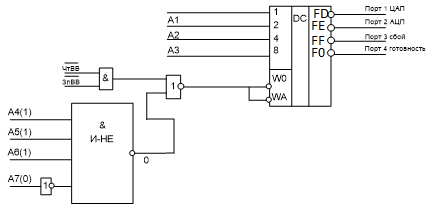


Рис 4 - Адресный дешифратор портов

4.2 Разработка регистра вектора прерывания.

Структура команды RST, код которой хранит RG ВП, имеет Структура команды RST, код которой хранит RG ВП, имеет следую­щий вид:

Д7............... Д0 - разряды ШД;

1 1 x x x 1 1 1 - код команды.

где xxx - двоичный код вектора прерывания.

При пятом векторе прерывания его код 101*,* код команды RST - 11101111. Учитывая, что логической 1 соответствует уровень напряжения >2,4 В, а логическому 0 *-* уровень *<*0,4 В, входы регистра (в соответствии с полученным кодом RST) подключены к питанию +5 В (рисунок 5) или к нулевому проводу



Рис 5 - Регистр вектора прерывания.

5 Разработка программного обеспечения

Разработка программного обеспечения включает в себя разработку подпрограммы пуска ЭД, подпрограммы обслуживания прерывания и распределение памяти.

5.1 Разработка подпрограммы пуска ЭД

Блок-схема подпрограммы пуска ЭД, реализующая алгоритм, представлена на рисунке 6.

В начале подпрограммы необходимо разрешить микропроцессору обслуживание прерывания и установить указатель стека на выбранный адрес ОЗУ.

При программировании операции ввода состояния триггера ГТ необходимо предварительно установить соответствие между состоянием триггера (лог. 1 или 0) и состоянием электропривода ("готов или не готов").

В блоке 3 производится анализ состояния того разряда ШД, к которому подключен триггер ГT.

В регистр ЦАП выводится цифровой эквивалент управляющего напряжения. Поэтому перед программированием этой операции необходимо вычислить по заданному Uупр его цифровой аналог (см. ниже) .

Задержка времени для разгона ЭД может быть реализована в виде подпрограммы или без нее. Предварительно необходимо по заданному времени задержки произвести соответствующие вычисления (см. ниже).

В блоках 6 и 7 производится ввод цифрового эквивалента напряжения тахогенератора и его сравнение с цифровым эквивалентом управляющего напряжения. При несоответствии производится вывод в RG ЦАП кода 00 (блок 8), а в триггер СБ - сигнала "Сбой". Вывод в триггер необходимо организовать таким образом, чтобы разряд ШД, к которому подключен триггер, при вводе принял состояние, при котором светодиод должен излучать. Передача лог. 1 или 0 по этому разряду определяется схемой подключения светодиода к триггеру.

5.2 Разработка подпрограммы обслуживания прерывания

Подпрограмма начинает работу при поступлении сигнала "Авария" на вход микропроцессора " Запрос прерывания " (ЗПР). В состав подпрограммы входят три блока, выполняющиеся последовательно друг за другом.

Первый блок осуществляет запрет прерывания и запись в стек содержимого регистров МП.

Второй блок обнуляет регистр ЦАП и выдает сигнал "Сбой".

Третий блок осуществляет вызов из стека содержимого регистров МП, разрешение прерывания и переход на конец подпрограммы пуска.

5.3 Расчет цифрового эквивалента

Расчет сводится к преобразованию заданного управляющего напряжения из десятичной формы в шестнадцатеричную. Причем старший разряд кодирует направление вращения:

0 - прямое вращение, 1 - обратное.

Задано Uупр = 4,47 В. Так как в ЦАП цифровой код преобразуется в аналоговую величину с определенной дискретностью (0,05 В), то первоначально вычисляется количество дискрет для пред­ставления аналоговой величины заданного уровня. Для уровня 4,47 В (округляется до кратного величине дискретности 4,50 В) количе­ство дискрет составляет 9010, двоичный эквивалент 10110102. С учетом на­правления вращения получим 11010102, в шестнадцатеричной форме 6A16.

**5.4 Разработка подпрограммы задержки**

Подпрограмма задержки реализуется путем организации циклического про­цесса из N циклов. Если известно время выполнения i-той команды t i, в цикле и количество таких команд K в цикле, то время задержки составит:

,

;

*N*=0,62 /10-5=62000 с.

В шестнадцатеричном представлении *N* = F23016.



Таблица 2 – Программа, осуществляющая пуска ЭД.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Метка | Команда | Операнд | Комментарий | Адрес в программе |
| Программа пуска ЭД | | | |  |
|  | EI |  | Разрешение прерывания |  |
|  | Lxi | 1FFF | Установка указателя стека на последний адрес ОЗУ |  |
|  | IN | B0 | Ввод состояния триггера «Готовность» |  |
|  | ANI | 01 | Выделение разряда |  |
|  | CPI | 01 | Сравнение состояния ЭП |  |
|  | JNZ | M4 | Анализ состояния ЭП |  |
|  | MVI A | 6A | Ввод в аккумулятор А цифрового кода U |  |
|  | OUT | AD | Вывод содержимого аккумулятора в RG ЦАП |  |
|  | MVI B | 30 | Задание задержки во времени |  |
| M3: | MVI D | 25 |
| M2: | MVI H | 20 |
| M1: | DCR H |  | Уменьшение состояния регистра H на 1 | 1F14 |
|  | JNZ | M1 | Проверка установки кода 00(h) |  |
|  | DCR D | D | Уменьшение состояния регистра D на 1 |  |
|  | JNZ | M2 | Проверка установки кода 00(h) | 1F12 |
|  | DCR B | B | Уменьшение состояния регистра B на 1 |  |
|  | JNZ | M3 | Проверка установки кода 00(h) | 1F10 |
|  | IN | AE | Ввод содержимого RG АЦП в аккумулятор А |  |
|  | CPI | 6A | Сравнение цифрового эквивалента UЗ и UТГ |  |
|  | JZ | M4 | Анализ выполнения условия UЗ и UТГ | 1F2B |
|  | MVI A | 00 | Обнуление аккумулятора А |  |
|  | OUT | AD | Вывод содержимого аккумулятора в RG ЦАП |  |
| M4: | OUT | AF | Подача сигнала «Сбой» |  |
| M5: | RET |  | Возврат в основную программу | 1F2D |

Таблица 2 (продолжение)

|  |  |  |  |
| --- | --- | --- | --- |
| Программа обслуживания прерывания | | | |
|  | DI |  | Запрещение прерывания |
|  | PUSH B |  | Запись в стек содержимого регистров микропроцессора |
|  | PUSH D |  |
|  | PUSH A |  |
|  | MVI A | 00 | Обнуление аккумулятора А |
|  | OUT | AD | Обнуление RG ЦАП |
|  | OUT | AF | Вывод сигнала «Сбой» |
|  | POP H |  | Вызов из стека содержимого регистров микропроцессора |
|  | POP D |  |
|  | POP B |  |
|  | EI |  | Разрешение прерывания |
|  | JMP | M5 | Переход к концу программы |

Приведем результат выполнения программы (рисунок 7 и рисунок 8):

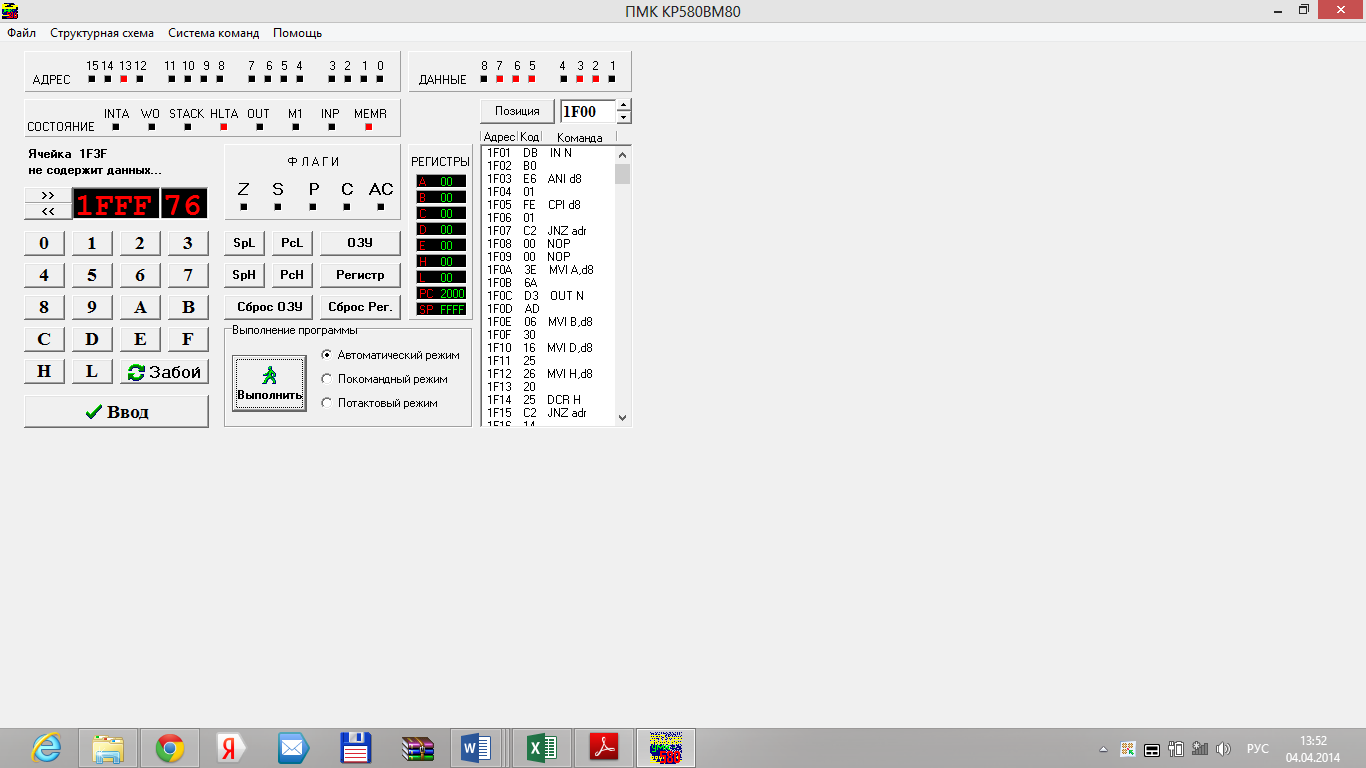


Рисунок 7 – Результат выполнения программы.

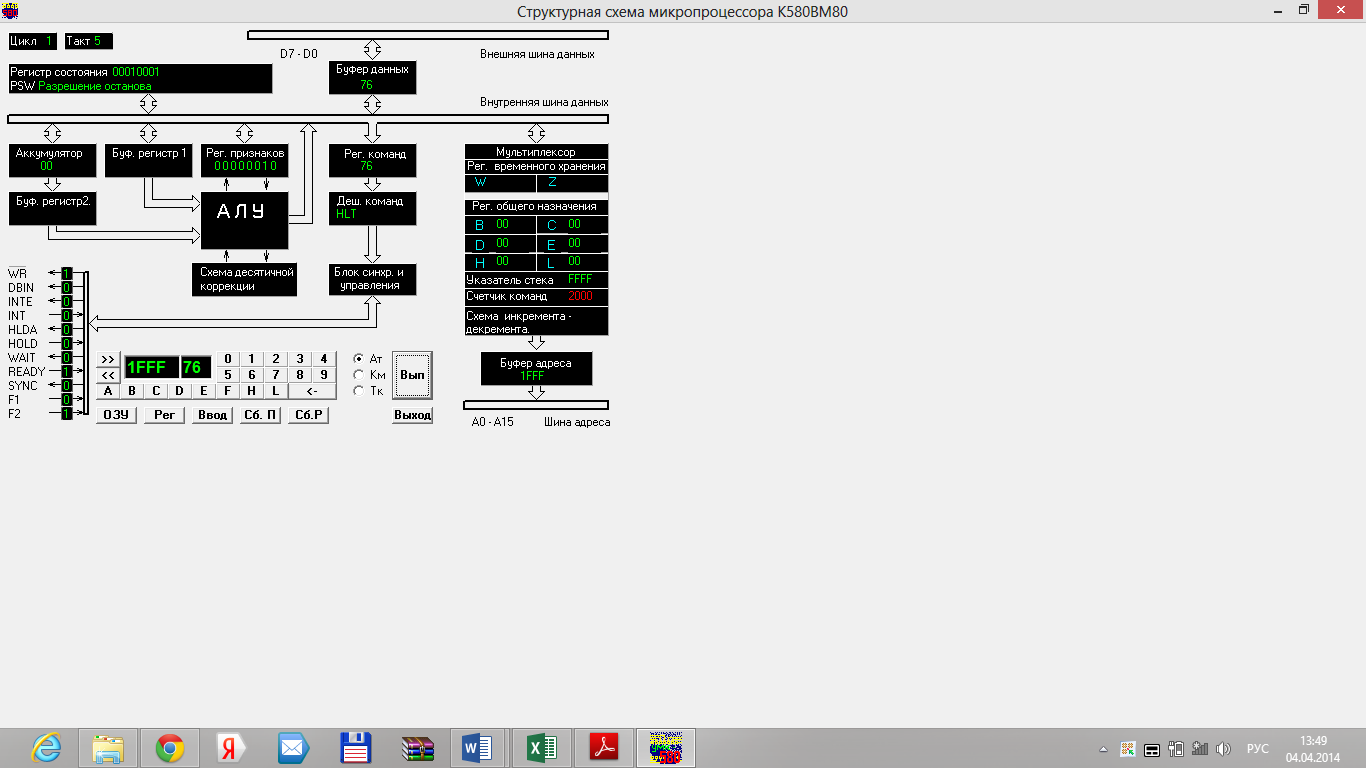


Рисунок 8 – Структурная схема и результат выполнения программы.

Получили «Готовность», следует пуск двигателя проходит в штатном режиме при вводе необходимых данных, без ввода этих значений получаем «Сбой».

6. Расчет источника питания

Источник питания рассчитывается только по каналу + 5 В, т.к. именно поэтому каналу микроконтроллер потребляет основную мощность.

Первоначально определяется суммарная потребляемая мощность всеми применяемыми в контроллере микросхемами. Исходя из потребляемой мощности, определяется ток нагрузки Iн при заданном напряжении нагрузки Uн = 5 В.

Расчет стабилизатора



Рисунок 9 - Схема стабилизатора напряжения.

Расчет позволит выбрать все элементы стабилизатора, исходя из заданного выходного напряжения Uн и максимального тока нагрузки Iн.

Расчет стабилизатора ведут в следующем порядке:

1. Определяют необходимое для работы стабилизатора входное напряжение (Uвып) при заданном выходном (UН):

;

UВЫП=5+3=8 В,

где цифра 3, характеризующая минимальное напряжение между коллектором и эмиттером транзистора, взята в расчете на использование как кремниевых, так и германиевых транзисторов. Если стабилизатор будет подключаться к готовому или уже рассчитанному выпрямителю, в дальнейших расчетах необходимо использовать реальное значение выпрямленного напряжения.

2. Рассчитывают максимально рассеиваемую транзистором мощность:

,

.

3. Выбирают регулирующий транзистор.

Его предельно допустимая рассеиваемая мощность должна быть больше значения PMAX, предельно допустимое напряжение между эмиттером и коллектором - больше UВЫП, а максимально допустимый ток коллектора - больше IН.

Выбираем транзистор КТ 805 Б.

4. Определяем максимальный ток базы регулирующего транзистора:

,

где h21Эмин - минимальный коэффициент передачи тока, выбранного (по справочнику) транзистора.

.

5. Подбираем подходящий стабилитрон.

Его напряжение стабилизации должно быть равно выходному напряжению стабилизатора, а значение максимального тока стабилизации превышать максимальный ток базы IБ max.

Выбираем стабилитрон Д 815 А.

6. Определяем сопротивление резистора R1:

,

где R1 - сопротивление резистора, Ом;

UСТ - напряжение стабилизации стабилитрона, В;

IБ max - вычисленное значение максимального тока базы транзистора, мА;

IСТ мин - минимальный ток стабилизации для данного стабилитрона, указанный в справочнике (обычно 3...5 мА).

R1 = (8 – 5,6) / (0,10353 + 0,05) = 15,632 Ом.

7. Определяем мощность рассеяния резистора R1:

,

.



Рисунок 10 - Схема стабилизатора с дополнительным

регулирующим транзистором.

Может случиться, что маломощный стабилитрон не подойдет по максимальному току стабилизации и придется выбирать стабилитрон значительно большей мощности - такое случается при больших токах потребления и использовании транзистора с малым коэффициентом h21Э.

В таком случае целесообразно ввести в стабилизатор дополнительный транзистор V3 малой мощности (рисунок 10), который позволит снизить максимальный ток нагрузки для стабилитрона (а значит, и ток стабилизации) примерно в h21Э раз и применить, соответственно, маломощный стабилитрон.

Расчет выпрямителя

Рассчитать выпрямитель - значит правильно выбрать выпрямительные фильтры диода и конденсатор, а также определить необходимое переменное напряжение, снимаемое для выпрямления со вторичной обмотки сетевого трансформатора.

Исходными данными для расчета выпрямителя (рисунок 11) служат: требуемое выпрямленное напряжение (UВЫП) и потребляемый максимальный ток (IН) .



Рисунок 11 - Схема двухполупериодного выпрямителя с фильтрующим конденсатором.

Расчет ведут в следующем порядке:

1. Определяем переменное напряжение, которое должно быть на вторичной обмотке сетевого трансформатора.

,

где UВЫП - постоянное выпрямленное напряжение, В;

В - коэффициент, зависящий от тока нагрузки, который определяют по таблице справочника.

U2 = 1,8 ∙ 8 = 14,4 B.

2. По току нагрузки определяем максимальный ток, текущий через каждый диод выпрямительного моста:

**,

где IД - ток через диод, А;

IН - максимальный ток нагрузки, А;

С - коэффициент, зависящий от тока нагрузки (определяют по таблице справочника).

IД = 0,5 ∙ 1,7 ∙ 1,553 = 1,32 A.

3. Подсчитываем обратное напряжение, которое будет приложено к каждому диоду выпрямителя:

**,

где UОБР - обратное напряжение, В;

UВЫП - напряжение на нагрузке, В;

**.

4. Выбираем диоды, у которых значения выпрямленного тока и допустимого обратного напряжения равны или превышают расчетные.

Выбираем диод Д 244 Б.

5. Определяем емкость конденсатора фильтра:

,

где CФ - емкость конденсатора фильтра, мкФ;

IН  - максимальный ток нагрузки, А;

UВЫП - напряжение на нагрузке, В;

КП - коэффициент пульсаций выпрямленного напряжения (отношение амплитудного значения переменной составляющей частотой 100 Гц на выходе выпрямителя к среднему значению выпрямленного напряжения),

KП = 10 – 1,

СФ = 3200 ∙ 1,553 / 8 ∙ 10 - 1 = 6212 мкФ.

Если выходное напряжение выпрямителя будет дополнительно стабилизироваться транзисторным стабилизатором напряжения, то расчетная емкость конденсатора фильтра может быть уменьшена в 5...10 раз.

Расчет трансформатора питания

Зная необходимое напряжение на вторичной обмотке (U2) и максимальный ток нагрузки (IН), трансформатор рассчитывают в такой последовательности.

1. Определяем значение тока, текущего через вторичную обмотку трансформатора:

,

где I2 - ток через обмотку 2 трансформатора, А;

IН - максимальный ток нагрузки, А.

I2 = 1,5 ∙ 1,553 = 2,33 B.

2. Определяем мощность, потребляемую выпрямителем от вторичной обмотки трансформатора:

,

где P2 - максимальная мощность, потребляемая от вторичной обмотки, Вт;

U2 - напряжение на вторичной обмотке, В;

I2 - максимальный ток через вторичную обмотку трансформатора, А.

P2 = 14,4 ∙ 2,33 = 33,55 Вт.

3. Определяем мощность трансформатора:

,

где РТР - мощность трансформатора, Вт;

P2 - максимальная мощность, потребляемая от вторичной обмотки трансформатора, Вт.

РТР = 1,25 ∙ 33,55 = 41,94 Вт.

Если трансформатор должен иметь несколько вторичных обмоток, то сначала подсчитывают их суммарную мощность, a затем мощность самого трансформатора.

4. Определяем значение тока, текущего в первичной обмотке:

,

где I1 - ток через обмотку 1 , А;

РТР - подсчитанная мощность трансформатора, Вт;

U1 - напряжение на первичной обмотке трансформатора (сетевое напряжение).

I1 = 41,94 / 220 = 0,196 A.

5. Определяем необходимую площадь сечения сердечника магнитопровода:

,

где S - сечение сердечника магнитопровода, см2;

PТР - мощность трансформатора, Вт.

S = 1,3 ∙ 6,32 = 8,42 см2.

6. Определяем число витков первичной (сетевой) обмотки:

,

где W1 - число витков обмотки;

U1 - напряжение на первичной обмотке, В;

S - сечение сердечника магнитопровода, см2.

W1 = 50 ∙ 220 / 8,42 = 1306,41.

7. Подсчитываем число витков вторичной обмотки:

,

где W2 - число витков вторичной обмотки;

U2 - напряжение на вторичной обмотке, В;

S - сечение сердечника магнитопровода, см2.

W2 = 55 ∙ 14,4 / 8,42 = 94,06.

8. Определяем диаметры проводов обмоток трансформатора:

,

где d - диаметр провода, мм;

I - ток через обмотку, А.

,

.

Заключение

В данном курсовой работе была разработана микропроцессорная систе­ма управления электродвигателем постоянного тока. Система обеспечивает контроль за скоростью вращения выходного вала управляемого электродвигателя. Данный комплекс можно использовать в станкостроении и машиностроении для управления приводами различных механизмов.

При выполнение данного курсовой работы был выполнен ряд задач, позволивших получить практические навыки в следующих областях:

- разработка схем микро­процессорной техники;

- проработка рядов вопросов, связанных с прикладным программным обеспечением микропроцессорных систем;

- составление и расчет принци­пиальных электрических схем цифровой и аналоговой техники.

Список используемой литературы

1. Алексеенко А.Г., Галицин А.А., Иванников А.Д. Проектирование радиоэлектронной аппаратуры на микропроцессорах. - М.: Радио и связь, 1984.

2. Балашов Е.П., Пузанков Д.В. Микропроцессоры и микропроцессорные системы: Учебн. пособие для вузов. - М.: Радио и связь, 1981.

3. Гушников B.C. Интегральная электроника в измерительных устройствах. - Л.: Энергоатомиздат, 1988.

4. Зельдин Е.А. Цифровые интегральные микросхемы в информационно измерительной аппаратуре. - Л.: Энергоатомиздат,1986.

5. Каган Б.М., Стамин В. В. Основы проектирования микропроцессорных устройств автоматики. - М.: Энергоатомиздат,1987.

6. Калабеков Б. А. Микропроцессоры и их применение в системах передачи и обработки сигналов: Учебн. пособие для вузов. - М.: Радио и связь, 1988.

7. Микро ЭВМ: В 8 кн.: Практ. пособие / Под ред. Л.Н. Прохина. Кн.З. Семейство ЭВМ "Электроника К1" / А.В.Кобылинский, А.В.Горячев, Н.Г.Сабодаш, В.В.Проценко. - М.: Выс. школа, 1988.

8. Микропроцессоры и микро ЭВМ в системах автоматического управления: Справочник С.Т.Хвощ, Н.Н.Варлинский, Е.А.Попов; Под общ. ред. С.Т.Хвоща. - Л.: Машиностроение, 1987.

9. Огнев И.В., Шамаев Ю.М. Проектирование запоминающих устройств. - М.: Выси. школа, 1979.

10.Полупроводниковые БИС запоминающих устройств: Справочник З.В.Баранов, Н.В.Бекин, А.Ю.Гордонов и др.; Под общ. ред. А.Ю.Гордоноваи Ю.Н.Дьякова. - М.: Радио и связь, 1986

11. Щелкунов Н.Н., Дианов А.П. Микропроцессорные средства системы. - М.: Радио и связь, 1989.