

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Московский государственный технический университет имени Н.Э. Баумана
(национальный исследовательский университет)»

В.А. Соболев, В.А. Соловьев

Проектирование дискретного комбинационного цифрового устройства на интегральных микросхемах

Учебно-методическое пособие


Москва
ИЗДАТЕЛЬСТВО
МГТУ им. Н.Э. Баумана
2022

УДК 621.38
ББК 31.2
С54

Издание доступно в электронном виде по адресу
<https://bmstu.press/catalog/item/7599/>

Факультет «Фундаментальные науки»
Кафедра «Электротехника и промышленная электроника»

*Рекомендовано Научно-методическим советом
МГТУ им. Н.Э. Баумана в качестве учебно-методического пособия*

Соболев, В. А.


С54 Проектирование дискретного комбинационного цифрового устройства на интегральных микросхемах : учебно-методическое пособие / В. А. Соболев, В. А. Соловьев. — Москва : Издательство МГТУ им. Н. Э. Баумана, 2022. — 70, [2] с. : ил.

ISBN 978-5-7038-5862-2

Изложены теоретические основы синтеза дискретных комбинационных цифровых устройств. Приведены варианты домашнего задания по проектированию комбинационного двухфункционального цифрового устройства на интегральных схемах малой и средней степени интеграции для автомата управления технологическими операциями. Указаны требования к выполнению домашнего задания, дан пример его поэтапного выполнения и оформления. Рассмотрена верификация работоспособности спроектированного комбинационного цифрового устройства в компьютерной программе моделирования Multisim 10.1.

Для студентов МГТУ им. Н.Э. Баумана, обучающихся по программе специалитета и изучающих двухсеместровый курс «Электротехника и электроника».

УДК 621.38
ББК 31.2

 *Уважаемые читатели! Пожелания, предложения, а также сообщения о замеченных опечатках и неточностях Издательство просит направлять по электронной почте: info@bmstu.press*

ISBN 978-5-7038-5862-2

© МГТУ им. Н.Э. Баумана, 2022
© Оформление. Издательство
МГТУ им. Н.Э. Баумана, 2022

Предисловие

Учебно-методическое пособие является составной частью учебно-методического комплекса и содержит домашнее задание № 1 модуля 1 раздела «Цифровая электроника» дисциплины «Электротехника и электроника» образовательной программы подготовки специалистов по направлению 15.05.01 «Проектирование технологических машин и комплексов».

Цель издания — углубленное теоретическое и практическое изучение студентами раздела «Комбинационные цифровые устройства» указанной дисциплины. Работа над материалом пособия будет способствовать приобретению студентами навыка самостоятельного проектирования дискретных комбинационных цифровых устройств на интегральных микросхемах, умения использовать компьютерную программу Multisim 10.1 для верификации работоспособности и отладки таких устройств, а также ознакомлению с элементной базой цифровой техники, массово изготавливаемой промышленностью в виде интегральных микросхем.

Широкое внедрение в современное производство технологических процессов автоматического контроля и управления с использованием цифровых устройств обусловило необходимость самостоятельного выполнения указанного домашнего задания. Цифровые устройства осуществляют логическую и вычислительную обработку информации, поступающей в результате проведения технологических операций, в частности дискретные комбинационные цифровые устройства, которые относятся к логическим системам управления. Для проектирования и построения дискретных комбинационных цифровых устройств используются интегральные микросхемы малой и средней степени интеграции.

Умение решать задачи эксплуатации и проектирования систем управления современными технологическими процессами является важной составляющей подготовки студентов и необходимо для корректной постановки и решения проблем в области современных средств логического управления технологическими процессами.

В результате изучения материала учебно-методического пособия студенты смогут:

знать

теоретические основы функционирования многофункциональных комбинационных устройств;

уметь

выполнять поэтапное проектирование дискретного комбинационного цифрового устройства и проводить верификацию его работоспособности в компьютерной среде моделирования NI Multisim;

владеть

информацией о современной элементной базе выпускаемых промышленностью интегральных микросхем, которые применяются в цифровых устройствах.

Пособие включает в себя пять разделов и приложения 1 и 2. В разделах 1 и 2 рассмотрены теоретические аспекты функционирования и проектирования многофункциональных комбинационных устройств, в разделе 3 сформулировано домашнее задание, в разделе 4 изложено описание процедуры проверки и защиты домашнего задания, в разделе 5 приведен пример поэтапного выполнения домашнего задания. Приложение 1 содержит варианты домашнего задания, приложение 2 — краткие сведения о компьютерной программе NI Multisim, необходимые для проведения верификации работоспособности спроектированного цифрового устройства. В пособии приведен список литературных источников по рассматриваемой теме.

Представленное домашнее задание выполняют студенты факультета «Фундаментальные науки» МГТУ им. Н.Э. Баумана, обучающиеся по программе специалитета по дисциплине «Электротехника и электроника».

1. ПРОЕКТИРОВАНИЕ ДИСКРЕТНОГО КОМБИНАЦИОННОГО ЦИФРОВОГО УСТРОЙСТВА

Проектирование комбинационных схем дискретных устройств включает в себя разработку заданного устройства по определенным правилам (этапам), обеспечивающим максимально простое решение технического задания и верификацию его работоспособности в компьютерной программе моделирования цифровых устройств.

В общем виде дискретное комбинационное цифровое устройство (ДКЦУ) имеет n входов и m выходов (рис. 1.1), соотношение между которыми задано определенным алгоритмом, в частности таблицей истинности. В ДКЦУ происходит цифровая обработка информации, которая представляется совокупностью двоичных переменных (аргументов) $(X_n, X_{n-1}, \dots, X_1)$, причем каждая из переменных может принимать значения «0» или «1» (логический ноль или логическую единицу). При этом единичное значение переменной, как правило, указывает на то, что произошло некоторое событие, например, уровень температуры превысил заданное значение в определенной точке исследуемого объекта.

Одной из основных операций цифровой обработки информации является реализация функциональных зависимостей $b = F(X_n, X_{n-1}, \dots, X_1)$, ставящих в соответствие каждому набору (комбинации) значений аргументов $(X_n, X_{n-1}, \dots, X_1)$ значение двоичной переменной b , которое может принимать значения «0» или «1». Такие зависимости называются *логическими* или *переключаемыми* функциями. Их можно задавать словесным описанием, в табличной форме или в виде булевой алгебры и т. д.



Рис. 1.1. Обобщенная схема комбинационного дискретного цифрового устройства

Логическая функция устанавливает соответствие между входными величинами X_n, X_{n-1}, \dots, X_1 как аргументами функции и выходной величиной F_i как значением логической функции.

Различные комбинации значений аргументов называются наборами (кодами) входных величин. Каждому такому набору должно соответствовать значение «0» или «1» выходной логической функции. По этим данным составляется таблица, называемая таблицей истинности, у которой число N строк соответствует числу N возможных двоичных наборов входных величин X_n, X_{n-1}, \dots, X_1 ($N = 2^n$), и напротив каждого набора входных величин указывается соответствующее значение логической функции F_i . Одна таблица истинности может задать несколько выходных логических функций от одних и тех же аргументов.

В качестве наборов входных величин обычно используются данные, например, датчиков температуры в разных местах металлоконструкции или датчиков положения предмета.

Функция, задаваемая таблицей истинности, для некоторых комбинаций аргументов может не определяться. На практике это означает, что соответствующая комбинация значений входных параметров в работе ДКЦУ никогда не должна появиться (т. е. является запрещенной). Неполностью определенную функцию доопределяют из условия получения наиболее простой ее технической реализации.

Следует напомнить, что различные наборы входных величин в таблице истинности записывают в лексикографическом порядке, совпадающем с порядком возрастания наборов входных величин, которые рассматривают как числа в двоичной системе счисления, совпадающие с номером строки (номером набора).

Таким образом, в таблице истинности по каждому набору входных величин должно быть определено значение логической функции F_i (0 или 1). Это означает, что какое-то событие произойдет или не произойдет на данном наборе входных величин.

Для построения цифровых схем используют аналитическое выражение логической функции. Переход от таблицы истинности логической функции к ее аналитическому выражению осуществляется по определенным правилам в виде канонической совершенной дизъюнктивной нормальной формы (СДНФ) или совершенной конъюнктивной нормальной формы (СКНФ) по значениям «0» или «1» логической функции.

Для представления логической функции $b = F(X_n, X_{n-1}, \dots, X_1)$ в виде СДНФ записывают сумму произведений комбинаций

наборов входных величин (элементарных конъюнкций — *минтермов*), на которых логическая функция принимает значение «1», причем величины, имеющие значение «0», в произведении записываются с инверсией.

Для представления логической функции $b = F(X_n, X_{n-1}, \dots, X_1)$ в виде СКНФ записывают произведения суммы комбинаций наборов входных величин (*макстермов*), на которых логическая функция принимает значение «0», причем величины, имеющие значение «1», в сумме записываются с инверсией.

После получения совершенных форм приступают к их упрощению, применяя операции склеивания, в результате которых в аналитическом выражении логической функции количество членов уменьшается. Это упрощение называется минимизацией логической функции, а сами упрощенные функции — минимальной дизъюнктивной нормальной формой (МДНФ) или минимальной конъюнктивной нормальной формой (МКНФ). Форма записи логической функции в классе МДНФ используется чаще.

При окончательном выполнении схемы (электрической принципиальной) проводится минимизация по количеству логических элементов за счет использования общих из них, которые участвуют в реализации разных выходных величин логических функций.

Минимизация логической функции приводит к улучшению таких показателей устройства, как быстродействие, надежность, энергопотребление, стоимость и т. п. Если аргументов логической функции не более пяти, ее минимизация упрощается с помощью карты Карно.

Значения логической функции содержит карта Карно, каждая клетка которой соответствует определенной строке таблицы истинности, и в клетку записывается соответствующее значение логической функции — «0» или «1».

На основании минимизированных структурных аналитических выражений логических функций выполняются цифровые (логические) схемы на логических элементах И, ИЛИ — НЕ и НЕ. Цифровая (логическая) схема представляет собой соединение базисных логических элементов И, ИЛИ — НЕ и НЕ в соответствии с полученными выражениями МДНФ или МКНФ. Однако в соответствии с теоремой де Моргана любую логическую функцию можно реализовать только на логических элементах И — НЕ либо ИЛИ — НЕ. Для этого необходимо записать структурные уравнения МДНФ или МКНФ в базисе И — НЕ или ИЛИ — НЕ, используя определенный алгоритм.

Промышленность выпускает эти элементы в виде малой и средней степени интеграции различных серий, и они позволяют унифицировать элементную базу проектируемых ДКЦУ. Логические элементы одной серии совместимы один с другим и легко собираются в схемы.

На цифровых схемах логические элементы изображаются прямоугольниками с соответствующими обозначениями. Цифровая схема используется для выбора реальной элементной базы и выполнения электрической принципиальной схемы спроектированного ДКЦУ.

Для сокращения сроков проектирования ДКЦУ на определенных его стадиях необходимо выполнять диагностический анализ — проводить верификацию его работоспособности в компьютерной программе моделирования цифровых устройств путем сравнения его исходной таблицы истинности с экспериментальной таблицей истинности, построенной на его модели или путем сравнения теоретических временных диаграмм его работы с полученными экспериментально или другими тестовыми сигналами. Верификация проводится с использованием лицензионной компьютерной программы NI Multisim.

2. АЛГОРИТМ ПРОЕКТИРОВАНИЯ ДИСКРЕТНОГО КОМБИНАЦИОННОГО ЦИФРОВОГО УСТРОЙСТВА

Проектирование ДКЦУ осуществляется по следующему алгоритму:

- анализ технического задания и его формализация, проектирование ДКЦУ управления технологическими процессами;
- составление таблицы истинности ДКЦУ, минимизация выходных функций;
- выполнение цифровой логической схемы для каждой выходной функции F_i ДКЦУ в основном базисе;
- верификация работоспособности цифровой логической схемы, записанной в МДНФ;
- запись полученных минимизированных уравнений логических функций F_1 и F_2 в базисе И — НЕ и выполнение их цифровых схем в этом базисе;
- верификация работоспособности логических схем в базисе И — НЕ;
- минимизация количества логических элементов в ДКЦУ;
- выполнение электрической принципиальной схемы ДКЦУ;
- расчет быстродействия ДКЦУ.

По мере приобретения опыта некоторые этапы, как правило, опускаются совсем или объединяются. Рассмотрим эти этапы подробнее.

Этап 1. Анализ технического задания и его формализация. Проектирование ДКЦУ управления технологическими процессами. Техническое задание на проектирование ДКЦУ может быть в виде словесного описания его функционирования или в виде таблицы истинности. В первом случае нужно из описания определить значение выходной функции F_i для каждой комбинации входных величин $(X_n, X_{n-1}, \dots, X_1)$, т. е. составить таблицу истинности. К тому же в техническом задании приводится базис, в котором ДКЦУ должно быть выполнено, и другие условия его работы.

Этап 2. Составление таблицы истинности ДКЦУ. Минимизация выходных функций. Если выходная функция F_i определена

не при всех наборах аргументов, то необходимо ликвидировать неоднозначность таблицы значениями «0» или «1» в целях дальнейшего уменьшения числа членов СДНФ рассматриваемой выходной функции и провести минимизацию уже определенной логической функции. Минимизация СДНФ выходной функции F_i осуществляется любыми доступными методами. В результате получаем МДНФ выходной функции F_i , записанную в основном базисе И, ИЛИ и НЕ.

Если входных величин пять или меньше, то минимизацию выходных функций лучше сразу проводить с помощью карт Карно по таблице истинности, не записывая СДНФ выходной функции F_i (рис. 2.1).

Карта Карно представляет собой матрицу из клеток, количество которых равно числу возможных наборов входящих в исходную булеву функцию входных величин. Для логических функций двух входных величин нужны четыре клетки, для трех входных величин — восемь, для четырех — 16 и т. д. Каждая клетка карты соответствует определенной комбинации входных величин (но-

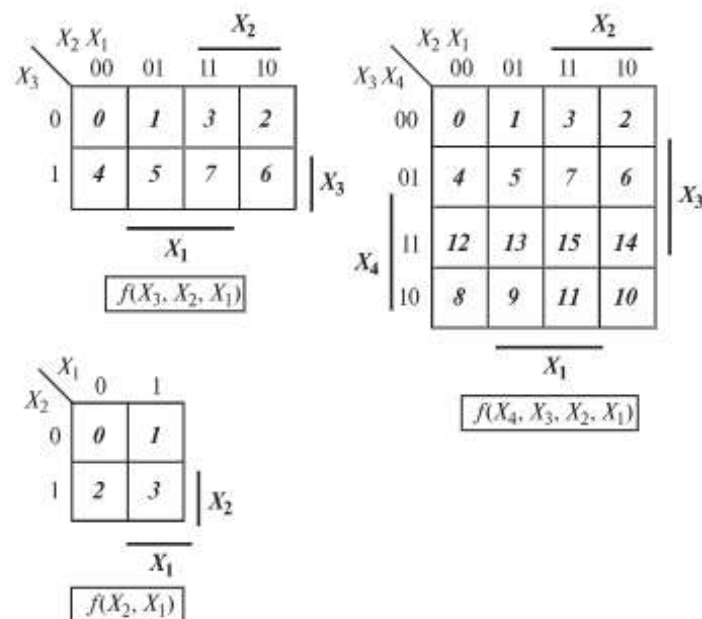


Рис. 2.1. Шаблоны карт Карно для функций двух, трех и четырех входных величин

меру набора) булевой функции для данной карты. Карта Карно формируется таким образом, что комбинации значений входных величин различаются значением только одной величины, т. е. при переходе с одной клетки в соседнюю всегда изменяется значение только одной величины — от ее прямого значения к ее инверсии и наоборот, что дает возможность проводить склеивание рядом стоящих входных величин как по горизонтали, так и по вертикали. Заполнение карты Карно осуществляется путем записи «1» в клетки карты, номер которой совпадает с номером набора входных величин, на которых логическая функция имеет значение «1» (СДНФ).

Далее проводят операции склеивания для входных величин путем их объединения. При выборе объединения групп в карте Карно, дающих МДНФ, следует руководствоваться следующими двумя принципами (рис. 2.2):

- 1) группа должна быть как можно больше;
- 2) групп должно быть как можно меньше.

Так как, во-первых, чем больше группа, тем меньше входных величин в соответствующем произведении, и, во-вторых, чем меньше групп, тем меньше число слагаемых. Таким образом, уменьшается число входных величин в конечном выражении МДНФ.

Соседними в карте Карно являются и крайние левые клетки с крайними правыми, и крайние верхние с крайними нижними (как если бы карты были свернуты в цилиндры по вертикали или по горизонтали). Два значения «1», стоящие в соседних клетках, свидетельствуют о том, что в составе СДНФ имеются члены, которые отличаются значением одной входной величины. Как известно,

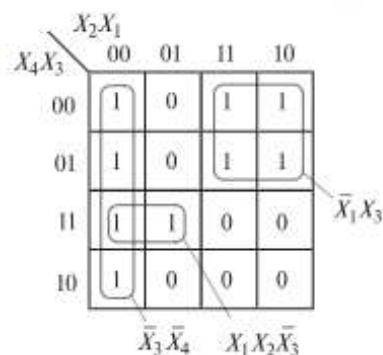


Рис. 2.2. Группы на карте Карно для функции четырех входных величин

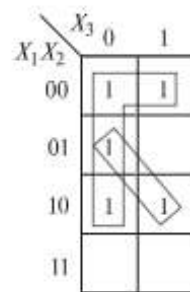


Рис. 2.3. Неправильное объединение групп в карте Карно (является недопустимым)

такие члены склеиваются. Склеивание каждой пары уменьшает число входящих в них величин на «1». При этом важно знать, что неправильное объединение групп в карте Карно недопустимо (рис. 2.3).

Рассмотрим несколько примеров по минимизации выходных функций с подробными алгоритмами действий и решениями.

Пример выполнения заданий

Задание 1. Минимизировать с помощью карты Карно полностью определенную логическую функцию ДКЦУ трех входных величин $F(X_3, X_2, X_1) = (1, 4, 5, 6)$. (Цифрами 1, 4, 5, 6 указаны номера наборов входных величин, на которых логическая функция F имеет значения «1», на остальных наборах входных величин — значения «0», если иное не указано).

Решение. Составляем таблицу истинности функционирования ДКЦУ (табл. 2.1).

Записываем СДНФ исходной функции:

$$F(X_3, \dots, X_2, X_1) = \bar{X}_3\bar{X}_2X_1 + X_3\bar{X}_2\bar{X}_1 + X_3\bar{X}_2X_1 + X_3X_2X_1.$$

Находим МДНФ, используя карту Карно, для трех входных величин (рис. 2.4).

Таблица 2.1

Таблица истинности функционирования дискретного комбинационного цифрового устройства (для задания 1)

X_3	X_2	X_1	F	Проверка правильности минимизации $\bar{X}_2X_1 + X_3\bar{X}_1$
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

Минимальная дизъюнктивная нормальная форма имеет вид

$$F = \bar{X}_2 X_1 + X_3 \bar{X}_1.$$

Для проверки правильности проведенной минимизации выполняем проверку МДНФ на соответствие ее с таблицей истинности исходной функции. Проверку проводим путем подстановки значений переменных в МДНФ.

Ответ. Из табл. 2.1 видно, что полученная МДНФ эквивалентна исходной функции:

$$\bar{X}_3 \bar{X}_2 X_1 + X_3 \bar{X}_2 \bar{X}_1 + X_3 \bar{X}_2 X_1 + X_3 X_2 X_1 = \bar{X}_2 X_1 + X_3 \bar{X}_1.$$

Задание 2. Минимизировать неполностью определенную логическую функцию четырех входных величин $F(X_4, X_3, X_2, X_1) = = 3, 4, 5, 6, 7, 11, 14[0, 1, 2, 8, 9, 10, 15]\{12, 13\}$.

Решение. Для неполностью определенной логической функции указываем в карте Карно не только номера наборов входных величин, на которых логическая функция имеет значения «1», но и номера наборов входных величин, на которых она имеет значения «0», и указываем номера запрещенных наборов входных величин:

а) на номерах наборов входных величин, соответствующих цифрам без скобок, логическая функция имеет значения «1»;

б) на номерах наборов, указанных в квадратных скобках, логическая функция имеет значения «0»;

в) на номерах наборов в фигурных скобках логическая функция не определена, т. е. это запрещенные наборы.

Составляем карту Карно для логической функции четырех входных величин (рис. 2.5):

$$F_1(X_4 X_3 X_2 X_1) = 3, 4, 5, 6, 7, 11, 14[0, 1, 2, 8, 9, 10, 15]\{12, 13\}.$$

В клетках 12 и 13, номера которых совпадают с номерами запрещенных наборов, ставим звездочки *. После анализа расположения значений «1» и «0» приходим к выводу, что в клетке с номером 12 целесообразно поставить «1», а в клетку с номером 13 — «0».

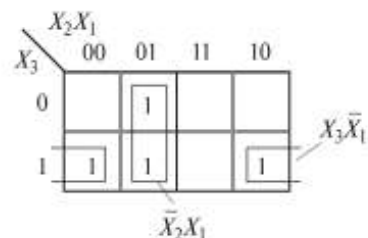


Рис. 2.4. Карта Карно для исходной логической функции

		$X_2 X_1$			
		00	01	11	10
$X_4 X_3$	00	0 0	1 0	3 1	2 0
	01	4 1	5 1	7 1	6 1
	11	12 *	13 *	15 0	14 1
	10	8 0	9 0	11 1	10 0

Рис. 2.5. Карта Карно для неполностью определенной логической функции четырех входных величин

Проводим минимизацию данной логической функции F_1 по карте Карно (рис. 2.6) и получаем структурное уравнение логической функции в виде МДНФ.

Проверка эквивалентности исходной функции и ее МДНФ осуществляется по таблице истинности с учетом принятых дополнений (см. табл. 2.1).

Ответ. Минимальная дизъюнктивная нормальная форма логической функции F приобретает вид

$$F_1 = \bar{X}_4 X_3 + \bar{X}_3 X_2 X_1 + X_3 \bar{X}_1.$$

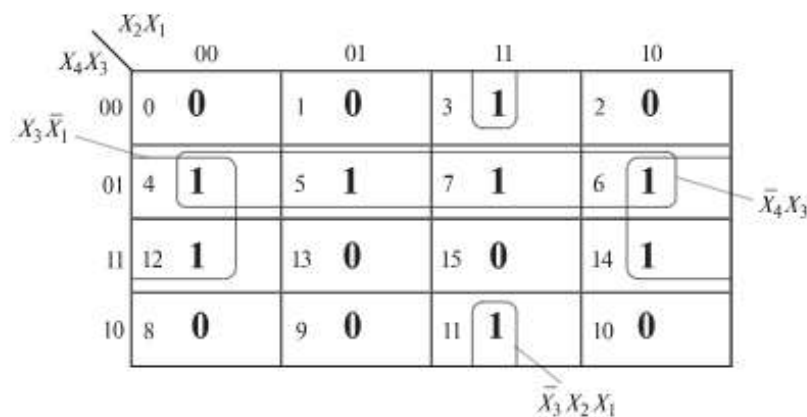


Рис. 2.6. Доопределенная карта Карно

Этап 3. Выполнение цифровой логической схемы для каждой выходной функции F_i ДКЦУ в основном базисе. На этом этапе выполнение схемы осуществляем в основном базисе по полученным структурным уравнениям каждой МДНФ. Рассмотрим выполнение цифровой логической схемы по структурному выражению МДНФ логической функции $F_1 = \bar{X}_4 X_3 + \bar{X}_3 X_2 X_1 + X_3 \bar{X}_1$. Входами ДКЦУ являются входные величины $X_4 X_3 X_2 X_1$, которые изображаются на схеме четырехпроводной шиной. Логическое выражение $\bar{X}_4 X_3 + \bar{X}_3 X_2 X_1 + X_3 \bar{X}_1$ получаем с помощью трех инверторов НЕ, трех логических элементов И — двух с двумя входами и одного с тремя входами, одного логического элемента с тремя входами ИЛИ (рис. 2.7).

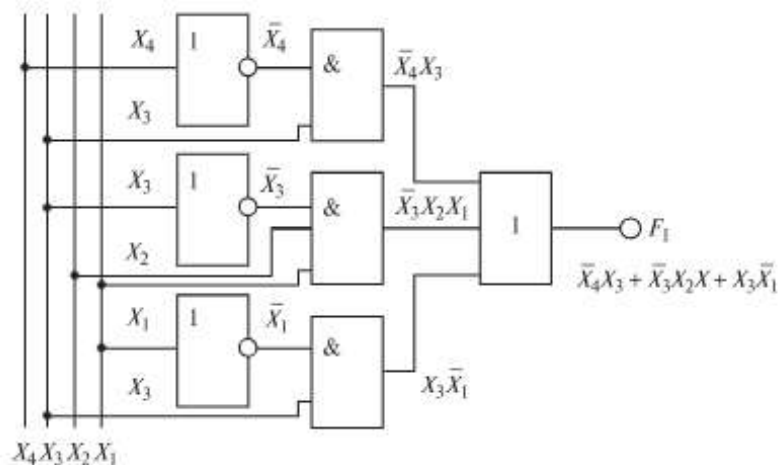


Рис. 2.7. Логическая схема функции F_1

Логическая схема выполнена в основном базисе И — ИЛИ — НЕ.

Этап 4. Верификация работоспособности цифровой логической схемы, записанной в МДНФ. С помощью программы NI Multisim по моделированию работы ДКЦУ проводим верификацию работоспособности цифровых логических схем — путем сравнения заданных таблицей истинности выходных функций с экспериментальной таблицей истинности, теоретические временные диаграммы — с экспериментально полученными в процессе моделирования работоспособности разработанных логических схем (рис. 2.8, 2.9). (Лицензионная программа NI Multisim установлена на персональных компьютерах в компьютерном классе кафедры

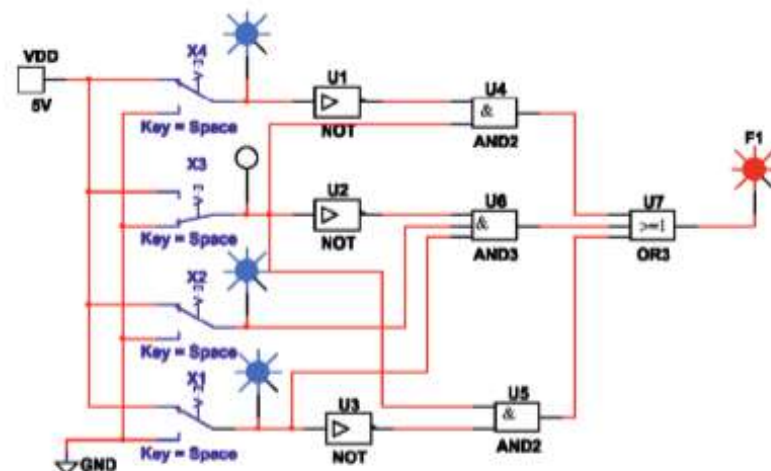


Рис. 2.8. Компьютерная модель при комбинации входных сигналов $(1011)_2$, когда выходная функция равна «1»

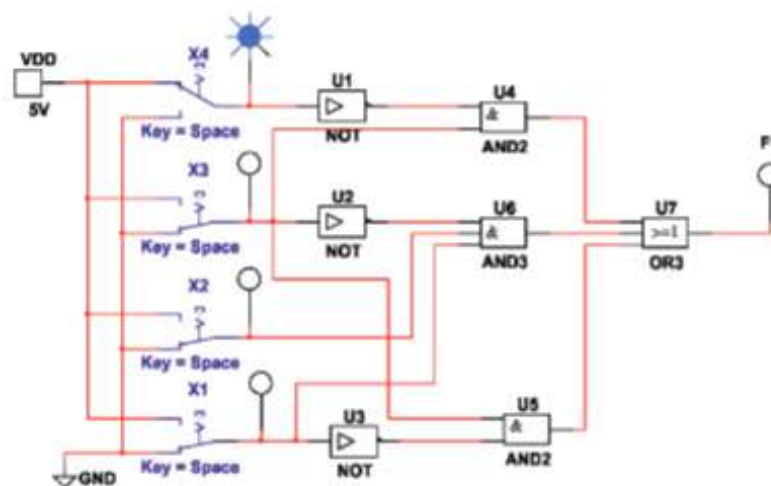


Рис. 2.9. Компьютерная модель при комбинации входных сигналов $(1000)_2$, когда выходная функция равна «0»

«Электротехника и промышленная электроника», которой можно воспользоваться в любое рабочее время.)

Для переключения входных величин $X_4 X_3 X_2 X_1$ в «0» или «1» в соответствии с требуемым набором входных величин использу-

ются двухпозиционные ключи Key Space, у которых один вывод подсоединен к источнику +5 В (VDD), а другой к «земле» — нулевому потенциалу. Для определения логического состояния (напряжения) входной или выходной величины используются индикаторные светодиоды (пробники). Они горят, если логическое состояние входной или выходной величины соответствует «1». Если исходная таблица истинности не совпадает с экспериментально полученной таблицей истинности на модели, то схема содержит одну или несколько ошибок, которые должны быть найдены и устранены. Ошибки можно обнаружить по временным диаграммам ДКЦУ, полученным для тестовых сигналов, которые позволяют осуществить полный контроль работоспособности устройства.

Этап 5. Запись полученных минимизированных уравнений логических функций F_1 и F_2 в базисе И — НЕ и выполнение их цифровых схем в этом базисе. Используя теоремы де Моргана, показываем, что логические элементы И, ИЛИ, НЕ основного базиса можно синтезировать только на логических элементах ИЛИ — НЕ либо И — НЕ, т. е. любую логическую функцию можно синтезировать с использованием только одного логического элемента: И — НЕ либо ИЛИ — НЕ. Соответственно, логическая функция будет синтезирована в базисе И — НЕ либо ИЛИ — НЕ (рис. 2.10).

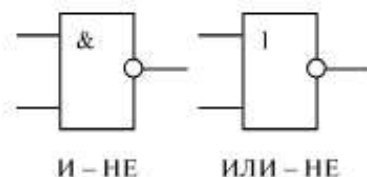


Рис. 2.10. Условно-графическое изображение логических элементов И — НЕ и ИЛИ — НЕ

Таблица 2.2

Реализация логических элементов в разных базисах

Базис	Логическая операция		
	НЕ	И	ИЛИ
И — НЕ	$f = \overline{X_1 X_1} = \overline{X_1}$	$f = X_1 \times X_2 = \overline{\overline{X_1 \times X_2}}$	$f = X_1 + X_2 = \overline{\overline{X_1 + X_2}} = \overline{\overline{X_1} \times \overline{X_2}}$
ИЛИ — НЕ	$f = \overline{X_1 + X_1} = \overline{X_1}$	$f = X_1 \times X_2 = \overline{\overline{X_1 \times X_2}} = \overline{\overline{X_1} + \overline{X_2}}$	$f = X_1 + X_2 = \overline{\overline{X_1 + X_2}}$

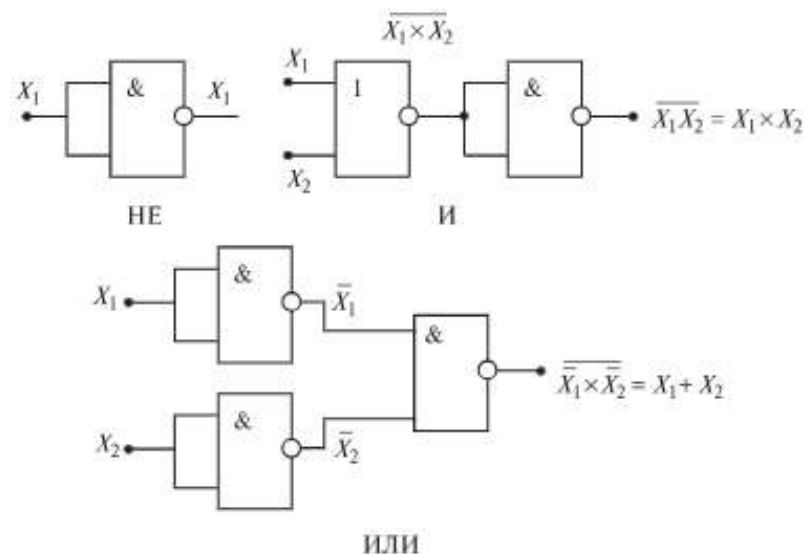


Рис. 2.11. Реализация элементов И, ИЛИ и НЕ в базисе И — НЕ

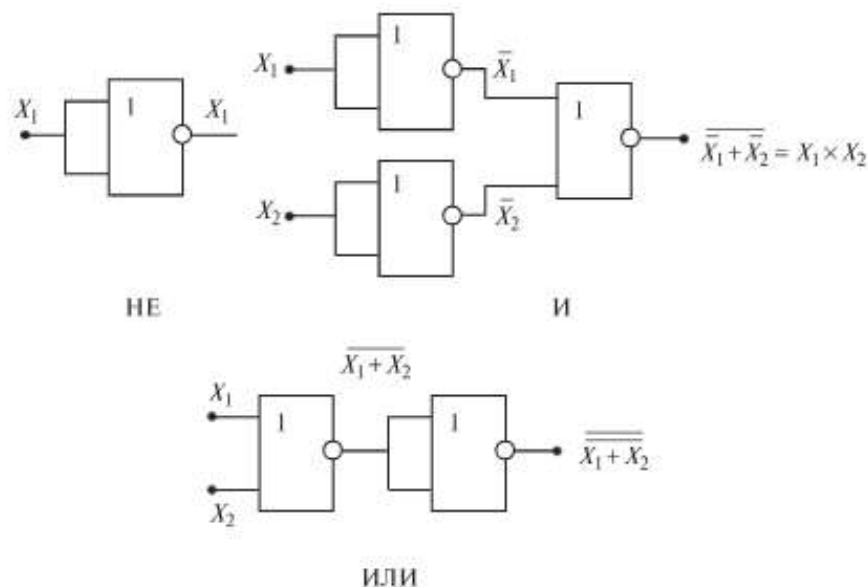


Рис. 2.12. Реализация элементов И, ИЛИ и НЕ в базисе ИЛИ — НЕ

Используя теоремы де Моргана, выразим логические операции НЕ, И, ИЛИ в разных базисах (табл. 2.2).

Реализация логических элементов И, ИЛИ, НЕ в разных базисах согласно табл. 2.2 представлена на рис. 2.11, 2.12.

Следовательно, одну и ту же логическую функцию можно представить в различных базисах.

Пример выполнения задания

Задание. Записать логическую функцию трех входных величин $F(X_3X_2X_1) = \bar{X}_2\bar{X}_1 + \bar{X}_3\bar{X}_2 + \bar{X}_3\bar{X}_1$ в базисе И — НЕ и в базисе ИЛИ — НЕ.

Решение. 1. Запись в базисе И — НЕ.

Избавляемся от логической операции сложения.

Делаем двойное отрицание над всем выражением, которое не приводит к изменению функции

$$F(X_3X_2X_1) = \overline{\bar{X}_2\bar{X}_1 + \bar{X}_3\bar{X}_2 + \bar{X}_3\bar{X}_1}.$$

Применяем теорему де Моргана для «нижнего» отрицания:

$$F(X_3X_2X_1) = \overline{\bar{X}_2\bar{X}_1} \cdot \overline{\bar{X}_3\bar{X}_2} \cdot \overline{\bar{X}_3\bar{X}_1}.$$

Ответ. Исходная функция в базисе И — НЕ имеет вид

$$F(X_3X_2X_1) = \overline{\bar{X}_2\bar{X}_1} \cdot \overline{\bar{X}_3\bar{X}_2} \cdot \overline{\bar{X}_3\bar{X}_1}.$$

Логической операции сложения уже нет.

2. Запись в базисе ИЛИ — НЕ.

Избавляемся от логической операции умножения.

Делаем двойное отрицание над каждой конъюнкцией, которое не приводит к изменению функции

$$F(X_3X_2X_1) = \overline{\bar{X}_2\bar{X}_1} + \overline{\bar{X}_3\bar{X}_2} + \overline{\bar{X}_3\bar{X}_1}.$$

Применяем теорему де Моргана для «нижнего» отрицания:

$$F(X_3X_2X_1) = \overline{\bar{X}_2\bar{X}_1} + \overline{\bar{X}_3\bar{X}_2} + \overline{\bar{X}_3\bar{X}_1} = \overline{X_2 + X_1} + \overline{X_3 + X_2} + \overline{X_3 + X_1}.$$

Ответ. Исходная функция в базисе И — НЕ имеет вид

$$F(X_3X_2X_1) = \overline{X_2 + X_1} + \overline{X_3 + X_2} + \overline{X_3 + X_1}.$$

Примечание. Промышленность выпускает в основном интегральные логические элементы И — НЕ, поэтому логическую функцию выражают преимущественно в базисе И — НЕ (рис. 2.13).

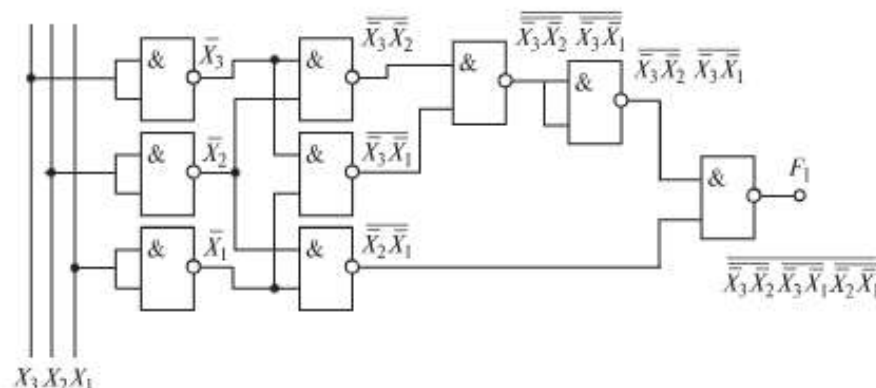


Рис. 2.13. Логическая схема, реализующая функцию $F(X_3X_2X_1)$, выполнена в базисе И — НЕ

Представленная логическая схема выполняется по структурному уравнению МДНФ логической функции $F(X_3X_2X_1) = \overline{\bar{X}_2\bar{X}_1} \cdot \overline{\bar{X}_3\bar{X}_2} \cdot \overline{\bar{X}_3\bar{X}_1}$ в базисе И — НЕ.

Этап 6. Верификация работоспособности логических схем в базисе И — НЕ. Верификация логических схем, записанных в базисе И — НЕ либо ИЛИ — НЕ, проводится аналогично верификации логических схем, записанных в основном базисе (рис. 2.14).

Если верификация модели на работоспособность прошла удачно, то следует приступить к минимизации (оптимизации) логической схемы по количеству используемых логических элементов И — НЕ.

Этап 7. Минимизация количества логических элементов ДКЦУ. Минимизация проводится за счет использования общих логических элементов в нескольких узлах, реализующих одинаковые логические операции в различные выходные функции автомата F_i . После удаления дублирующих логических элементов необходимо выполнить окончательную логическую схему автомата в задан-

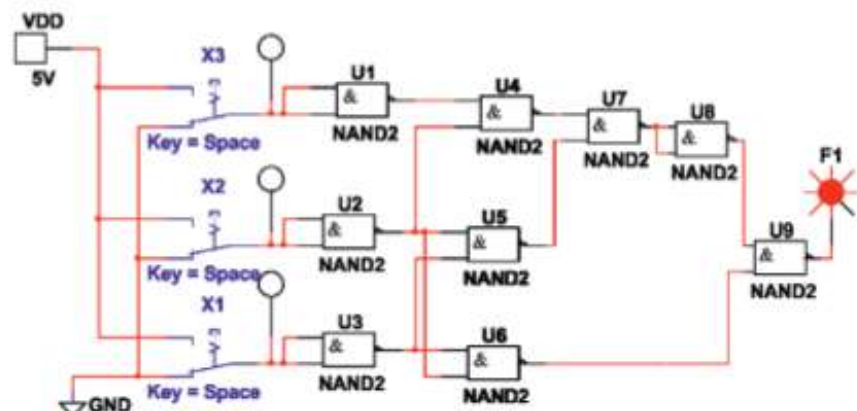


Рис. 2.14. Компьютерная модель при комбинации входных величин (000)₂, когда выходная функция равна «1»

ном базисе и провести окончательную верификацию работоспособности спроектированного ДКЦУ. Верификацию можно проводить путем сравнения таблиц истинности или по временной диаграмме, которые получены на модели в компьютерной программе NI Multisim. В частности, в примере, представленном на рис. 2.13, используются общие элементы инверсии входных величин X_1, X_2 .

Этап 8. Выполнение электрической принципиальной схемы ДКЦУ. Используя окончательно минимизированную логическую схему ДКЦУ (см. этап 7), проводим подсчет необходимого количества логических элементов и выбираем интегральные схемы, на которых будет выполнено ДКЦУ. На этом этапе необходимо указать основные характеристики выбранной серии интегральной микросхемы. После выбора типа интегральной микросхемы следует приступить к выполнению электрической принципиальной схемы, которая является частным случаем электрической схемы цифровой техники и отличается наибольшей подробностью. Она позволяет полностью воспроизвести ДКЦУ. На электрической принципиальной схеме изображают все электрические элементы или устройства, необходимые для осуществления и контроля в изделии заданных электрических процессов, все электрические связи между ними, а также электрические элементы (соединители, зажимы и т. д.), которые закачивают во входные и выходные цепи. Все узлы, блоки, части, элементы, микросхемы представ-

ляют в виде прямоугольников с соответствующими надписями. (Более подробные сведения описаны в ГОСТ 2.702—2011 и ГОСТ 2.708—81.)

Примечание. Логические элементы и другие цифровые устройства выпускает промышленность в составе серий интегральных схем (микросхем) (рис. 2.15).

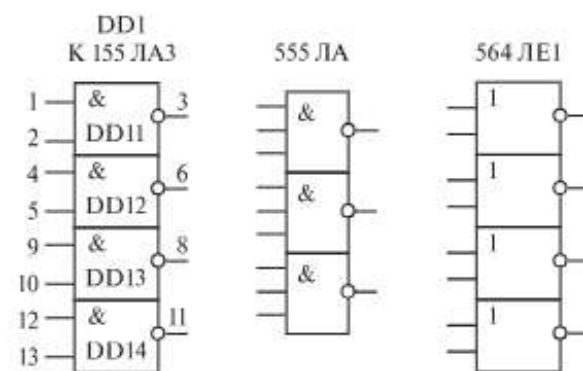


Рис. 2.15. Логические элементы в интегральном исполнении

В настоящее время наиболее широко используются следующие логики:

ТТЛ, ТТЛШ, КМОП, ЭСЛ.

ТТЛ — К155, КМ155, К133; ТТЛШ — 530, КР531, КМ531, КР1531, 533, К555, КМ555, 1533, КР1533; КМОП — 564, К561, 1564, КР1554; ЭСЛ — 100, К500, К1500.

Каждая серия микросхем (см. рис. 2.15, табл. 2.3) характеризуется следующим набором параметров, определяющим применение ее в различных цифровых устройствах и их совместную работу:

- быстродействие — характеризует время задержки прохождения сигнала t_1 ;
- максимальная рабочая частота f_{max} ;
- нагрузочная способность — характеризуется коэффициентом объединения по входу $K_{об}$ и коэффициентом разветвления по выходу $K_{раз}$.

Величина $K_{об}$ — это число логических входов, $K_{раз}$ — максимальное число однотипных логических элементов, которые можно подключить к выходу первоначального логического элемента.

Таблица 2.3

Сравнительная характеристика логических элементов разных серий

Параметр	ТТЛ	ТТЛШ	ЭСЛ	КМОП
Напряжение питания $U_{пит}$, В	5	5	-5,2	3-15
Напряжение логической единицы, В	2,4	2,7	-0,9	$\approx U_{пит}$
Напряжение логического нуля, В	0,4	0,5	-1,6	≈ 0
Быстродействие $t_{пр}$, нс	20	5	2,9	50
Помехоустойчивость, В	$\geq 0,4$	$\geq 0,5$	0,2	$\geq 0,3$
Потребляемая мощность $P_{пит}$, мВт	22	19	35	0,1
Коэффициент разветвления по выходу $K_{раз}$	10	10	15	50
Коэффициент объединения по входу $K_{об}$	8	4	9	2-5

Типичные значения: $K_{об} = 2...8$, $K_{раз} = 4...10$. Для логических элементов с повышенной нагрузочной способностью $K_{раз}$ может достигать значений в пределах 20...50;

- помехоустойчивость — максимально допустимый уровень напряжения помехи на входе логического элемента, при котором еще не происходит изменение выходных уровней логического элемента на выходе;

- мощность, потребляемая микросхемой от источника питания (среднепотребляемая);

- напряжение питания $U_{пит}$;

- входные пороговые напряжения высокого (порог «1») и низкого (порог «0») уровня — $U_{вх}$ и $U_{вх}$;

- выходные пороговые напряжения высокого (порог «1») и низкого (порог «0») уровня — $U_{вых}$ и $U_{вых}$.

Например, для ДКЦУ четырех входных величин и с четырьмя выходными функциями МДНФ, которые имеют вид

$$F_1 = \overline{X_4 X_3 X_2 X_1}, F_2 = X_4 X_3 (\overline{X_2 + X_1}) = X_4 X_3 \overline{X_2 X_1} = X_4 X_3 \overline{X_2 X_1};$$

$$F_3 = X_2 X_1 (\overline{X_4 + X_3}) = \overline{X_4 X_3} X_2 X_1, F_4 = \overline{X_4 X_3 + X_2 X_1} = \overline{X_4 X_3} \times \overline{X_2 X_1}.$$

Для многофункциональных ДКЦУ верификацию следует проводить с помощью таких специальных приборов, как «Генератор слов» и «Логический анализатор», и сравнивать экспериментальную временную диаграмму работы с теоретической временной диаграммой. Такой подход позволяет быстро провести полный контроль работоспособности ДКЦУ и выявить сбои в его работе при их наличии. Например, для ДКЦУ четырех переменных и с четырьмя выходными функциями МДНФ имеют следующий вид:

$$F_1 = \overline{X_4 X_3 X_2 X_1};$$

$$F_2 = X_4 X_3 (\overline{X_2 + X_1}) = X_4 X_3 \overline{X_2 X_1};$$

$$F_3 = X_2 X_1 (\overline{X_4 + X_3}) = \overline{X_4 X_3} X_2 X_1;$$

$$F_4 = \overline{X_4 X_3 + X_2 X_1} = \overline{X_4 X_3} + \overline{X_2 X_1}.$$

На модели (рис. 2.16) можно проверить правильность функционирования ДКЦУ путем сравнения теоретических временных диаграмм с экспериментальными диаграммами, полученными при моделировании ДКЦУ в компьютерной программе IN Multisim. Входные величины формируются с помощью подключения к «Генератору слов», который за полный цикл проводит перебор всех возможных комбинаций входных величин. Анализ выходных величин осуществляется «Логическим анализатором» или с помощью цифрового индикатора, который в шестнадцатеричной системе счисления будет показывать выходной код в соответствии с временной диаграммой, составленной по таблице истинности. Для этого следует построить теоретическую временную диаграмму работы ДКЦУ в соответствии с заданной таблицей истинности (здесь не приводится) (рис. 2.17).

Если выходные функции F_4 , F_3 , F_2 и F_1 рассматривать как выходные коды ДКЦУ и к их выходам присоединить шестнадцатеричный индикатор, то он последовательно покажет ряд цифр в десятичной системе счисления: 8, 8, 8, 4, 8, 8, 8, 4, 8, 8, 4, 2, 2, 2, 1, что подтверждает правильность проведенных расчетов.

В двоичной системе счисления эти числа можно получить, если принять F_4 за старший разряд, а F_1 — за младший.

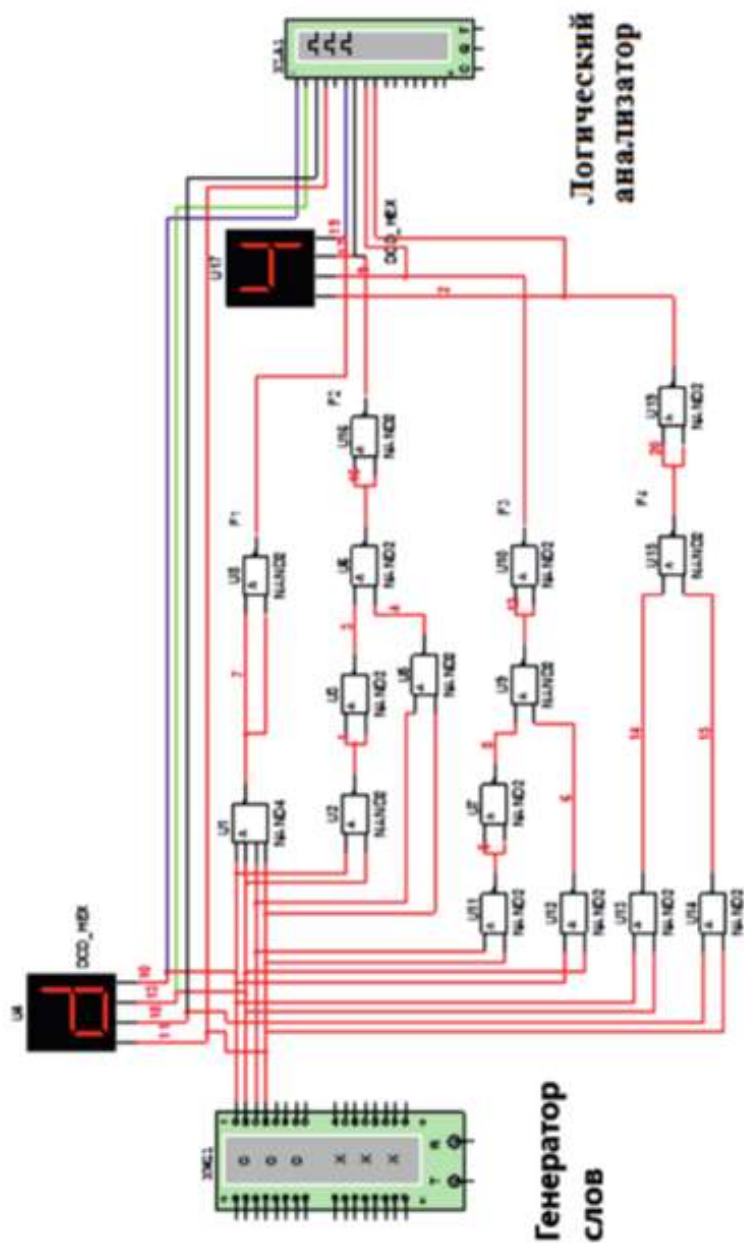


Рис. 2.16. Модель дискретного комбинационного цифрового устройства четырех входных величин с четырьмя выходными функциями с измерительными приборами

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0
X_4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0
X_3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
X_2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
X_1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
F_1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
F_2	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0
F_3	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	0	0
F_4	1	1	1	0	1	1	1	0	1	1	1	0	0	0	0	0	1

Рис. 2.17. Теоретическая временная диаграмма работы дискретного комбинационного цифрового устройства, составленная по таблице истинности. Цифры 0–15 в кружочках соответствуют номерам наборов входных величин

Сравнение теоретической временной диаграммы (см. рис. 2.17) с экспериментальной временной диаграммой работы ДКЦУ (рис. 2.18) показывает их идентичность.

Выполнение электрической принципиальной схемы ДКЦУ можно проводить по окончательной цифровой схеме (см. рис. 2.18). При этом в целях унификации 4-входовой логический элемент И — НЕ заменяется на три 2-входовых логических элемента И — НЕ. В соответствии со схемой ДКЦУ необходимо использовать 16 логических элементов И — НЕ с двумя входами, т. е. потребуется четыре микросхемы К155ЛА3 серии ТТЛ (рис. 2.19).

Обозначение DD1 на рис. 2.18 означает: микросхема цифровая логическая, цифра 1 указывает ее порядковый номер в принципиальной электрической схеме. Вторая цифра в обозначении DD11 указывает порядковый номер используемого логического элемента в этой микросхеме.

На электрической принципиальной схеме интегральная схема обозначается DDn с порядковым номером n (Digital Device) — а ее отдельные логические элементы — DDnm приводятся с порядковым номером используемого логического элемента в этой микросхеме (см. рис. 2.19).

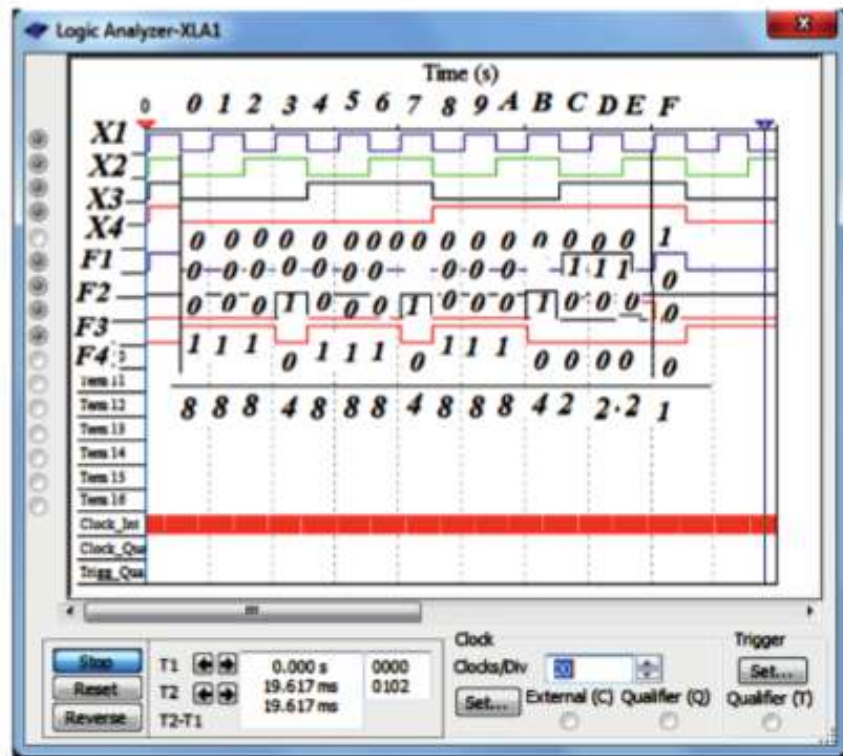
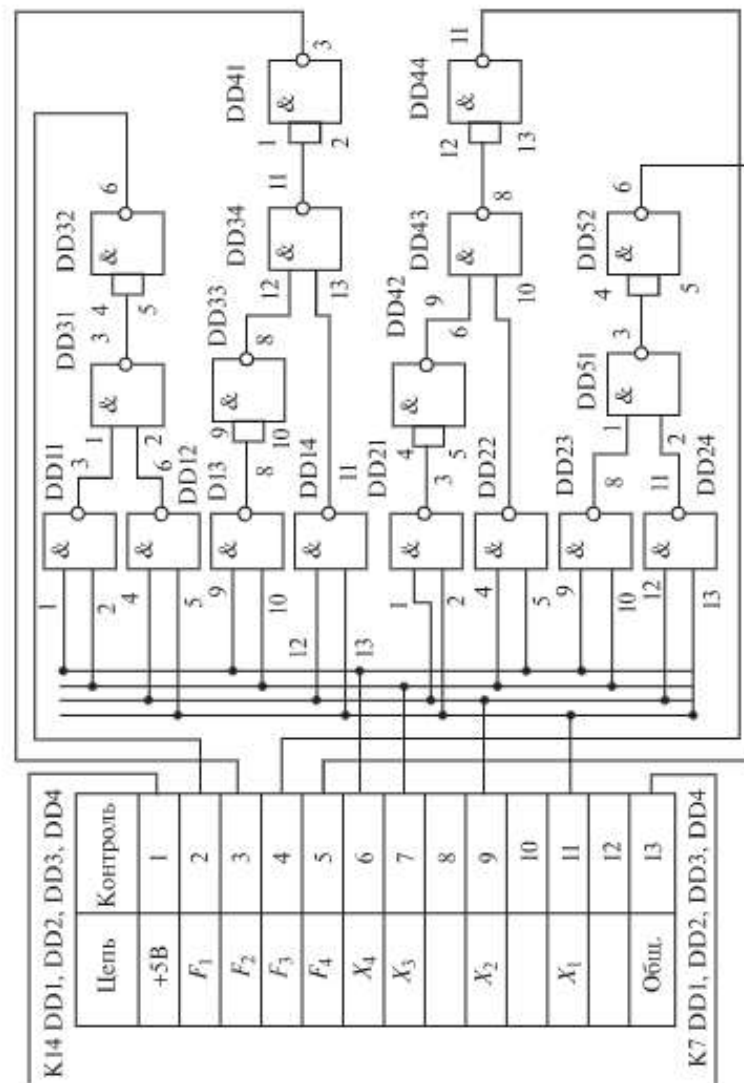


Рис. 2.18. Информационное окно «Логического анализатора»

Если ДКЦУ приходится выполнять на микросхемах разных типов, то для согласования логических уровней необходимо применять преобразователи уровней.

Этап 9. Расчет быстродействия ДКЦУ. Логический элемент в любом цифровом устройстве реализует только одну логическую функцию — не мгновенно, а с некоторой задержкой, т. е. выходной сигнал логического элемента F_i появится на его выходе не сразу, а через некоторое время от момента поступления входного сигнала. Это время называется *временем задержки логического элемента* $t_{\text{за.л.э}}$. У каждой серии микросхем это время различается и определяется технологией изготовления, даже если микросхемы выполняют одинаковые логические функции. В цифровых устройствах сигнал последовательно проходит через несколько логических элементов.



Соединитель РМ-В

Рис. 2.19. Пример электрической принципиальной схемы дискретного комбинационного цифрового устройства

Расчет быстродействия ДКЦУ сводится к определению времени задержки $t_{зд.ДКЦУ}$, т. е. появления выходного сигнала F_i ДКЦУ от момента поступления входного сигнала X_i ДКЦУ. Это время определяется суммой задержек на отдельных логических элементах по электрической принципиальной схеме по пути с наибольшим числом логических элементов. Например, время задержки сигнала в одном логическом элементе 155 серии $t_{эл.1Э}$ составляет 20 нс, а на электрической схеме ДКЦУ (см. рис. 2.19) имеет самый длинный путь прохождения сигнала через четыре логических элемента. Таким образом, время задержки ДКЦУ определяется как $t_{зд.ДКЦУ} = 4 \cdot 20 = 80$ нс. Максимальная частота, с которой ДКЦУ может обрабатывать входные величины, составляет $f_{max} = 1/80 \cdot 10^{-9} = 12,5$ МГц.

3. ДОМАШНЕЕ ЗАДАНИЕ

Спроектировать ДКЦУ для автомата управления технологической операцией и провести верификацию его работоспособности в компьютерной среде NI Multisim. Выполнить его электрическую принципиальную схему согласно формулировке:

«ДКЦУ предназначен для проверки изделия перед отправкой потребителю на соответствие четырех важных его параметров X_4 , X_3 , X_2 и X_1 диапазону допустимых значений. Для измерения применяются четыре цифровых датчика. Датчик выдает «1», если измеряемая величина находится в пределах диапазона допустимых значений. Если измеряемая величина находится вне диапазона допустимых значений, то датчик выдает «0». Сортировка изделия происходит с помощью автомата по значению двух выходных функций F_1 и F_2 , которые задаются таблицей истинности (приведена в вариантах домашнего задания). ДКЦУ должен иметь максимально простую схему, удовлетворяющую описанному выше заданию. Схема реализуется в базисе И — НЕ или ИЛИ — НЕ в соответствии с вариантом».

Проектирование, верификация и выполнение схемы предусматривают проведение комплекса следующих процессов:

1) поэтапного синтеза максимально простой схемы, удовлетворяющей заданию, которая реализуется в базисе И — НЕ или ИЛИ — НЕ;

2) верификации работоспособности ДКЦУ в компьютерной среде Multisim в основном базисе и в базисе И — НЕ или ИЛИ — НЕ;

3) выбора промышленных интегральных схем для окончательной реализации ДКЦУ и расчета быстродействия синтезируемого устройства;

4) выполнения чертежа электрической принципиальной схемы в соответствии с ГОСТ для разработки печатной платы;

5) оформления домашнего задания в соответствии с указанными требованиями для представления его преподавателю на проверку.

Примечания

1. Номера вариантов домашнего задания для группы студентов выдает преподаватель.
2. Логическую и электрическую принципиальную схемы следует выполнять в соответствии с правилами, описанными в ГОСТ 2.702–2011 и ГОСТ 2.708–81.
3. Расчетно-графическая часть домашнего задания выполняется на листах формата А4 с использованием компьютера.

При оформлении домашнего задания необходимо использовать пример выполнения всех пунктов домашнего задания, приведенный в разделе 5.

4. ПРОВЕРКА, ЗАЩИТА И ОЦЕНКА ДОМАШНЕГО ЗАДАНИЯ

Проверку выполненного домашнего задания осуществляет преподаватель, который ведет семинарские занятия. Работу можно выслать преподавателю на электронную почту или в печатном виде сдать ему на занятии. К домашнему заданию необходимо обязательно приложить файл верификации работоспособности синтезированного цифрового устройства в компьютерной программе моделирования NI Multisim. По результатам проверки домашнего задания преподаватель пишет отзыв и высылает его на электронную почту студента. Зачтенные домашние задания допускаются к защите, незачтенные — возвращаются студентам для доработки или выполнения заново. Не допускаются к защите и возвращаются для повторного написания работы, не соответствующие своему варианту, полностью или в значительной степени выполненные не самостоятельно, путем сканирования, ксерокопирования или механического переписывания данного методического пособия либо другой литературы, а также небрежно оформленные работы.

Оценку домашнего задания в баллах ставит преподаватель после его защиты, которая проводится в установленные расписанием семинаров сроки. Студент, не представивший домашнего задания в срок или не защитивший его, не допускается к сдаче зачета или экзамена по дисциплине «Электротехника и электроника».

При защите работы студент должен кратко изложить ее основное содержание, сформулировать основные выводы, дать полные ответы на все вопросы и замечания, высказанные преподавателем. При получении неудовлетворительной оценки работу следует исправить с учетом замечаний преподавателя, представить на повторную проверку и защиту в установленные сроки.

Оценка в баллах за выполненное домашнее задание выставляется на титульном листе домашнего задания и вносится в карточку текущей успеваемости студента.

5. ПРИМЕР ПОЭТАПНОГО ВЫПОЛНЕНИЯ ДОМАШНЕГО ЗАДАНИЯ

Этап 1. Анализ технического задания и его формализация. Проектирование ДКЦУ управления технологической операцией. Проектирование осуществляется по формулировке: «Дискретное комбинационное цифровое устройство предназначено для проверки изделия перед отправкой потребителю на соответствие четырех важных его параметров X_4, X_3, X_2 и X_1 диапазону допустимых значений. Для измерения применяются четыре цифровых датчика. Датчик выдает «1», если измеряемая величина находится в пределах диапазона допустимых значений. Если измеряемая величина находится вне диапазона допустимых значений, то датчик выдает «0». Сортировка изделия происходит с помощью ДКЦУ по значениям двух выходных функций F_1 и F_2 , которые задаются следующим образом:

$$F_1(X_4X_3X_2X_1) = 3, 4, 5, 6, 7, 11, 14[0, 1, 2, 8, 9, 10, 15]\{12, 13\};$$

$$F_2(X_4X_3X_2X_1) = 2, 6, 8, 9, 10, 11, 15[0, 1, 3, 4, 5, 7, 14]\{12, 13\}.$$

Дискретное комбинационное цифровое устройство должно иметь максимально простую схему (рис. 5.1), удовлетворяющую заданию.

Проектирование предусматривает проведение комплекса следующих процессов:

1) поэтапного проектирования максимально простой логической схемы ДКЦУ, реализующего техническое задание в виде таблицы истинности по двум логическим функциям;



Рис. 5.1. Общая схема дискретного комбинационного цифрового устройства

- 2) поэтапной верификации работоспособности устройства путем моделирования его работы в программе NI Multisim;
- 3) выполнения электрической принципиальной схемы;
- 4) выбора промышленных интегральных схем для изготовления ДКЦУ;
- 5) расчета быстродействия спроектированного ДКЦУ.

Схема ДКЦУ должна быть максимально простой и предназначаться для реализации выходных логических функций F_1 и F_2 в указанном базисе И — НЕ.

Этап 2. Составление таблицы истинности ДКЦУ. Минимизация выходных функций. Составление таблицы истинности (табл. 5.1) функционирования ДКЦУ для логических функций F_1 и F_2 осу-

Таблица 5.1

Таблица истинности функционирования дискретного комбинационного цифрового устройства для логических функций F_1 и F_2

Номер набора входных величин	X_4	X_3	X_2	X_1	F_1	F_2
0	0	0	0	0	0	0
1	0	0	0	1	0	0
2	0	0	1	0	0	1
3	0	0	1	1	1	0
4	0	1	0	0	1	0
5	0	1	0	1	1	0
6	0	1	1	0	1	1
7	0	1	1	1	1	0
8	1	0	0	0	0	1
9	1	0	0	1	0	1
10	1	0	1	0	0	1
11	1	0	1	1	1	1
12	1	1	0	0	*	*
13	1	1	0	1	*	*
14	1	1	1	0	1	0

шестьется согласно логическим функциям, заданным в варианте домашнего задания и записанным в компактном виде:

$$F_1(X_4X_3X_2X_1) = 3, 4, 5, 6, 7, 11, 14[0, 1, 2, 8, 9, 10, 15]\{12, 13\};$$

$$F_2(X_4X_3X_2X_1) = 2, 6, 8, 9, 10, 11, 15[0, 1, 3, 4, 5, 7, 14]\{12, 13\}.$$

Минимизацию логических функций F_1, F_2 будем осуществлять по карте Карно (рис. 5.2).

		X_2X_1			
		00	01	11	10
X_4X_3	00	0 0	1 0	3 1	2 0
	01	4 1	5 1	7 1	6 1
	11	12 *	13 *	15 0	14 1
	10	8 0	9 0	11 1	10 0

Рис. 5.2. Карта Карно для записи исходной логической функции $F_1(X_4X_3X_2X_1) = 3, 4, 5, 6, 7, 11, 14[0, 1, 2, 8, 9, 10, 15]\{12, 13\}$

Доопределяем исходную карту Карно (см. рис. 5.2) и проводим минимизацию логической функции F_1 (рис. 5.3).

		X_2X_1			
		00	01	11	10
X_4X_3	00	0 0	1 0	3 1	2 0
	01	4 1	5 1	7 1	6 1
	11	12 1	13 0	15 0	14 1
	10	8 0	9 0	11 1	10 0

$X_3\bar{X}_1$ (подчеркнуто в ячейках 4, 12, 14)
 \bar{X}_4X_3 (подчеркнуто в ячейках 4, 5, 6, 7)
 $\bar{X}_3X_2X_1$ (подчеркнуто в ячейках 3, 11)

Рис. 5.3. Доопределенная карта Карно логической функции F_1

Получаем структурное уравнение логической функции F_1 в виде МДНФ:

$$F_1 = \bar{X}_4X_3 + \bar{X}_3X_2X_1 + X_3\bar{X}_1.$$

Составляем карту Карно для исходной выходной функции F_2 (рис. 5.4).

		X_2X_1			
		00	01	11	10
X_4X_3	00	0 0	1 0	3 1	2 1
	01	4 0	5 0	7 0	6 1
	11	12 *	13 *	15 1	14 0
	10	8 1	9 1	11 1	10 1

Рис. 5.4. Карта Карно для записи исходной логической функции $F_2(X_4X_3X_2X_1) = 2, 6, 8, 9, 10, 11, 15[0, 1, 3, 4, 5, 7, 14]\{12, 13\}$

Доопределяем карту Карно для записи исходной выходной функции F_2 и проводим минимизацию логической функции F_2 (рис. 5.5).

		X_2X_1			
		00	01	11	10
X_4X_3	00	0 0	1 0	3 0	2 1
	01	4 0	5 0	7 0	6 1
	11	12 0	13 1	15 1	14 0
	10	8 1	9 1	11 1	10 1

$\bar{X}_4X_2\bar{X}_1$ (подчеркнуто в ячейках 2, 6)
 X_4X_1 (подчеркнуто в ячейках 13, 15)
 $X_4\bar{X}_3$ (подчеркнуто в ячейках 8, 9, 11, 10)

Рис. 5.5. Доопределенная карта Карно логической функции F_2

Минимизированная дизъюнктивная нормальная форма логической функции F_2 будет иметь вид

$$F_2 = X_4\bar{X}_3 + X_4X_1 + \bar{X}_4X_2\bar{X}_1.$$

Этап 3. Выполнение цифровой логической схемы для каждой выходной функции F_i ДКЦУ в основном базисе. В соответствии со структурными уравнениями МДНФ выходных функций ДКЦУ

$$F_1 = \bar{X}_4X_3 + \bar{X}_3X_2X_1 + X_3\bar{X}_1 \text{ и } F_2 = X_4\bar{X}_3 + X_4X_1 + \bar{X}_4X_2\bar{X}_1$$

выполняем их цифровые схемы, реализующие эти функции (рис. 5.6, 5.7).

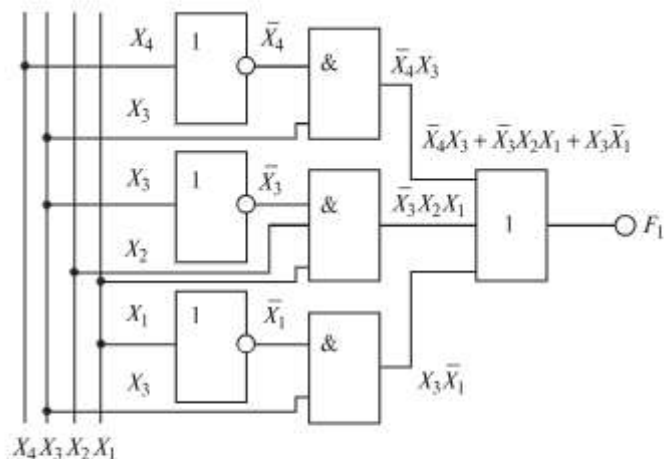


Рис. 5.6. Цифровая схема, реализующая логическую функцию F_1

Из представленных схем видно, что обе цифровые схемы имеют одинаковые логические элементы, инвертирующие входные величины X_4 , X_3 и X_1 как для функции F_1 , так и для функции F_2 . Поэтому при выполнении окончательной схемы ДКЦУ выходные сигналы от этих логических элементов можно использовать для реализации сразу двух выходных функций F_1 и F_2 .

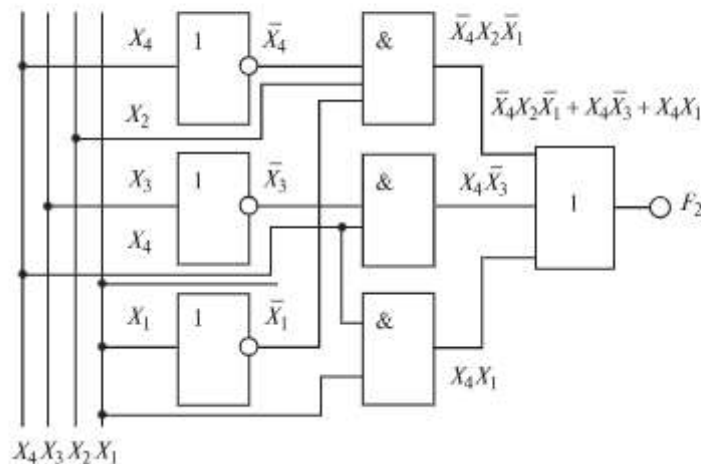


Рис. 5.7. Цифровая схема, реализующая логическую функцию F_2

Этап 4. Верификация работоспособности цифровой логической схемы, записанной в МДНФ. На рабочем столе компьютерной программы NI Multisim соберем модели этих цифровых схем (рис. 5.8, 5.9) по схемам, представленным на рис. 5.6 и 5.7, и получим комбинацию входных величин $(1110)_2 (14_{10})$.

Путем изменения комбинаций входных величин от 0 до 15 проведем проверку функционирования этих схем и результаты внесем в таблицу истинности логических функций F_1 и F_2 (табл. 5.2). Потенциал входного сигнала 0 В или 1(+5) В изменяют путем переключения ключей X_4, X_3, X_2 и X_1 в верхнее «1» и нижнее «0» положения. При подаче высокого потенциала на соответствующий вход загорается индикаторная лампочка (пробник). При тестировании каждой схемы следует иметь в виду, что X_1 является младшим разрядом, а X_4 — старшим разрядом при определении комбинации входных величин в двоичной системе счисления.

Значение выходной функции также определяется индикаторной лампочкой (пробником): светит — значит, подана входная величина со значением «1», не светит — входная величина со значением «0».

Вывод: минимизация с помощью карт Карно проведена верно. Дискретное комбинационное цифровое устройство работает в со-

Экспериментальная таблица истинности логических функций F_1 и F_2 (к этапу 4)

Номер набора входных величин	X_4	X_3	X_2	X_1	F_1	F_2
0	0	0	0	0	0	0
1	0	0	0	1	0	0
2	0	0	1	0	0	1
3	0	0	1	1	1	0
4	0	1	0	0	1	0
5	0	1	0	1	1	0
6	0	1	1	0	1	1
7	0	1	1	1	1	0
8	1	0	0	0	0	0
9	1	0	0	1	0	1
10	1	0	1	0	0	1
11	1	0	1	1	1	1
12	1	1	0	0	1	0
13	1	1	0	1	0	1
14	1	1	1	0	1	0
15	1	1	1	1	0	1

ответствии с таблицей истинности. Цифровые схемы выполнены правильно.

Этап 5. Запись полученных минимизированных уравнений логических функций F_1 и F_2 в базисе И — НЕ и выполнение их цифровых схем в этом базисе. Переход записи выходных функций в основном базисе к записи в базисе И — НЕ осуществляется с использованием теоремы де Моргана:

$$F_1 = \bar{X}_4 X_3 + \bar{X}_3 X_2 X_1 + X_3 \bar{X}_1 = \overline{\overline{\bar{X}_4 X_3} \cdot \overline{\bar{X}_3 X_2 X_1} \cdot \overline{X_3 \bar{X}_1}};$$



Рис. 5.8. Цифровая схема в компьютерной программе моделирования NI Multisim, реализующая минимизированную дизъюнктивную нормальную форму логической функции F_1 в основном базисе

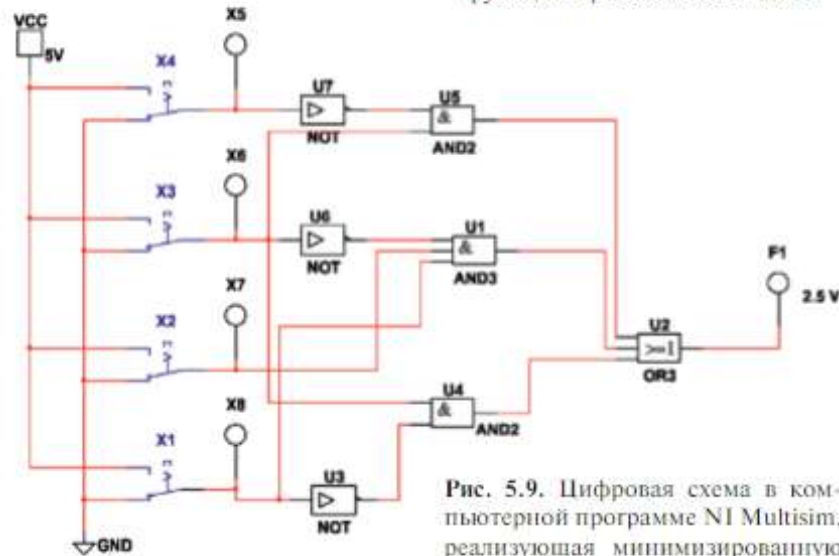


Рис. 5.9. Цифровая схема в компьютерной программе NI Multisim, реализующая минимизированную дизъюнктивную нормальную форму логической функции F_2 в основном базисе

$$F_2 = X_4 \bar{X}_3 + X_4 X_1 + \bar{X}_4 X_2 \bar{X}_1 = X_4 \bar{X}_3 + X_4 X_1 + \bar{X}_4 X_2 \bar{X}_1 = \overline{\overline{X_4 \bar{X}_3} \cdot \overline{X_4 X_1} \cdot \overline{\bar{X}_4 X_2 \bar{X}_1}}$$

По полученным структурным уравнениям выполняем цифровые схемы, реализующие логические функции F_1 и F_2 (рис. 5.10, 5.11).

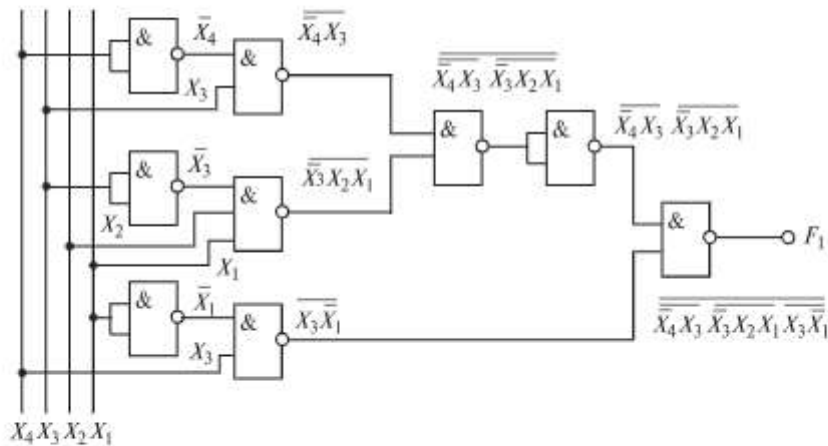


Рис. 5.10. Логическая схема выходной функции F_1 в базисе И — НЕ

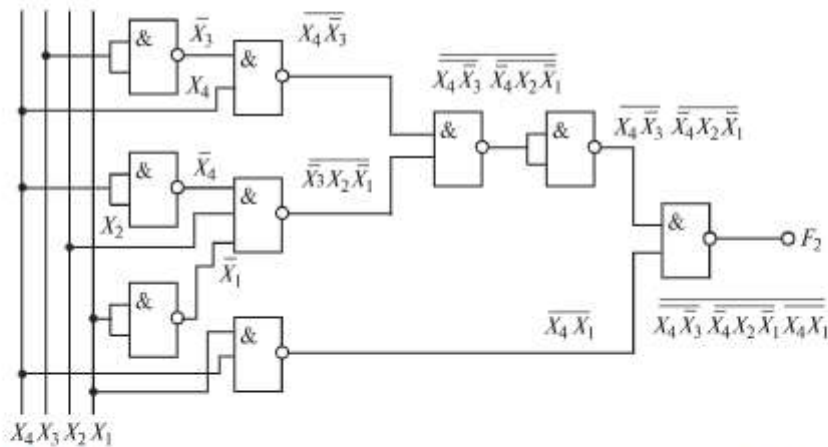


Рис. 5.11. Логическая схема выходной функции F_2 в базисе И — НЕ

Этап 6. Верификация работоспособности логических схем в базисе И — НЕ. При тестировании ДКЦУ следует получить подтверждение того, что все его выходные сигналы соответствуют его таблице истинности, т. е. провести верификацию.

Проводим верификацию ДКЦУ в базисе И — НЕ для каждой выходной функции F_1 и F_2 на соответствие заданной таблице истинности и экспериментальной таблице истинности, полученной на моделях в компьютерной программе моделирования NI Multisim (рис. 5.12, 5.13), собранных в соответствии с логическими схемами, приведенными на рис. 5.10, 5.11.

Исследование функционирования проводим аналогично описанному выше исследованию цифровых схем, собранных в основном базисе. По результатам этих испытаний заполняем экспериментальную таблицу истинности (табл. 5.3).

Таблица 5.3

Экспериментальная таблица истинности логических функций F_1 и F_2 (к этапу 6)

Номер набора входных величин	X_4	X_3	X_2	X_1	F_1	F_2
0	0	0	0	0	0	0
1	0	0	0	1	0	0
2	0	0	1	0	0	1
3	0	0	1	1	1	0
4	0	1	0	0	1	0
5	0	1	0	1	1	0
6	0	1	1	0	1	1
7	0	1	1	1	1	0
8	1	0	0	0	0	0
9	1	0	0	1	0	1
10	1	0	1	0	0	1
11	1	0	1	1	1	1
12	1	1	0	0	1	0
13	1	1	0	1	0	1
14	1	1	1	0	1	0
15	1	1	1	1	0	1

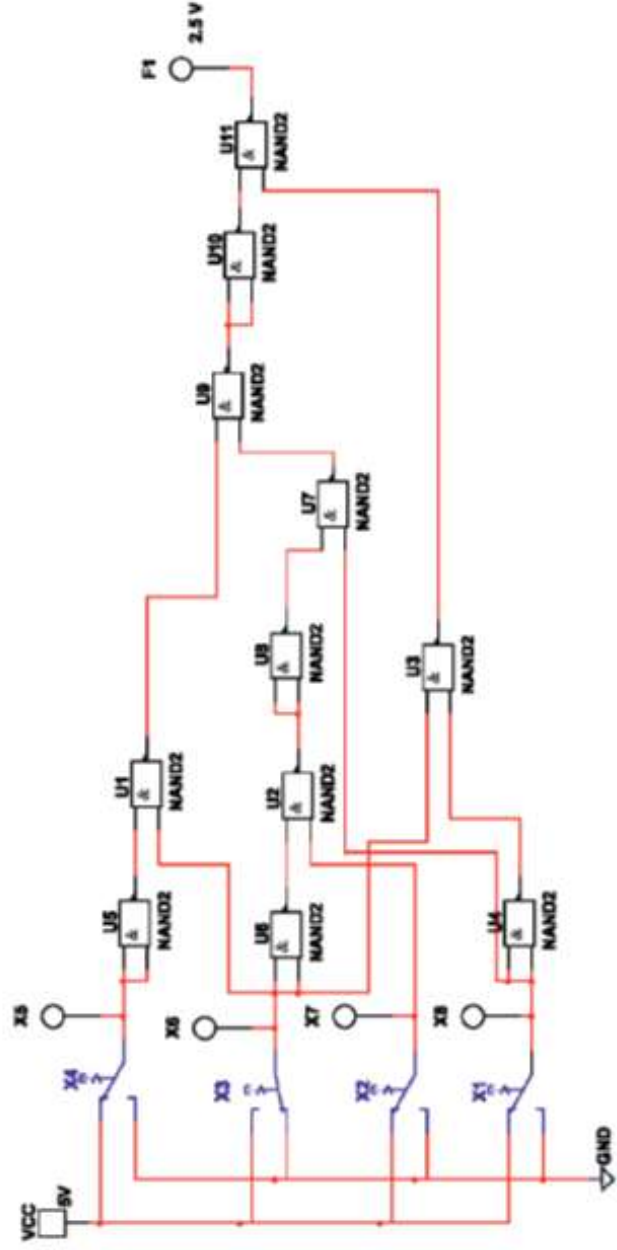


Рис. 5.12. Цифровая схема в компьютерной программе моделирования NI Multisim, реализующая логическую функцию F_1 в базе И — НЕ

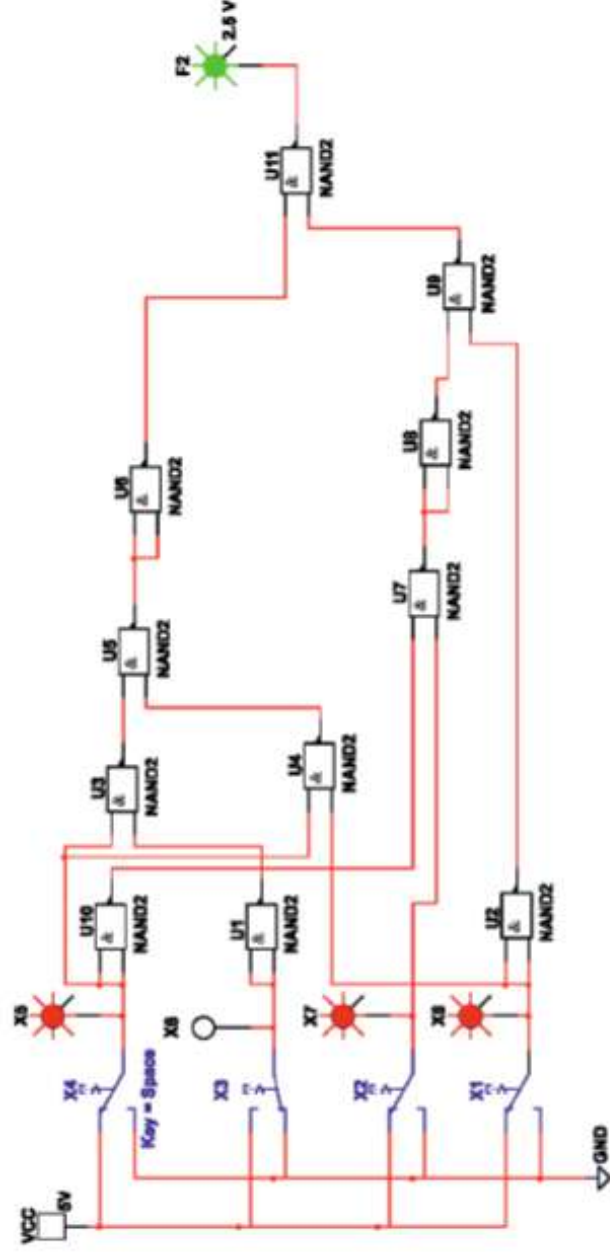


Рис. 5.13. Цифровая схема в компьютерной программе NI Multisim, реализующая логическую функцию F_2 в базе И — НЕ

Этап 7. Минимизации количества логических элементов в ДКЦУ.

В качестве общих логических элементов для цифровых схем логических функций F_1 и F_2 были использованы логические элементы, реализующие инверсию входных переменных: $\bar{X}_1, \bar{X}_3, \bar{X}_4$ (см. рис. 5.10, 5.11).

На основании схемы (рис. 5.14) собираем модель ДКЦУ в программе NI Multisim (рис. 5.15). В целях унификации элементной базы проектируемого ДКЦУ логические элементы И — НЕ с тремя входами на модели были заменены на логические элементы И — НЕ с двумя входами.

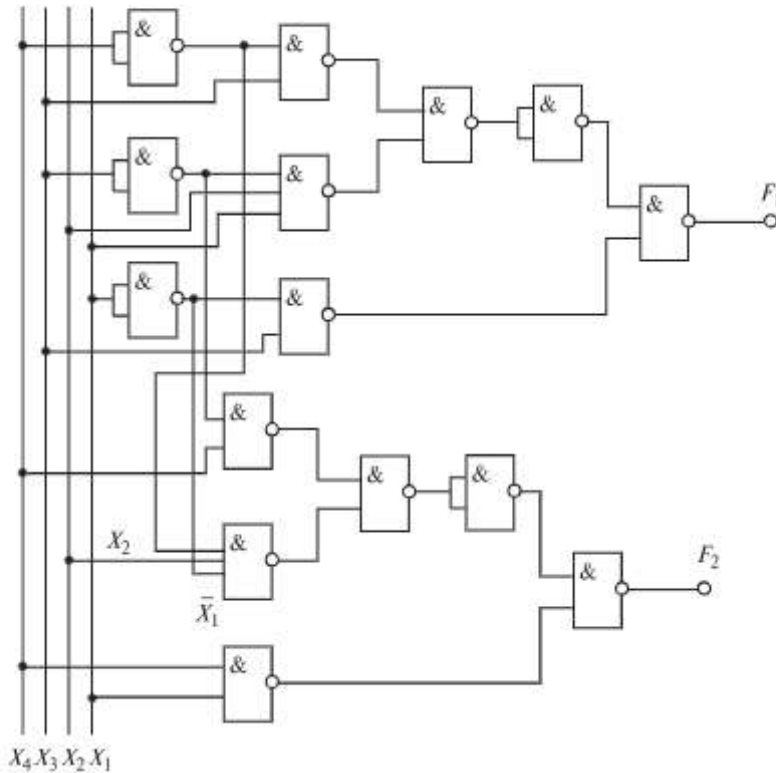


Рис. 5.14. Окончательная цифровая схема дискретного комбинационно-цифрового устройства, выполненная в базе И — НЕ и реализующая логические функции F_1 и F_2 в базе И — НЕ с минимальным количеством логических элементов И — НЕ

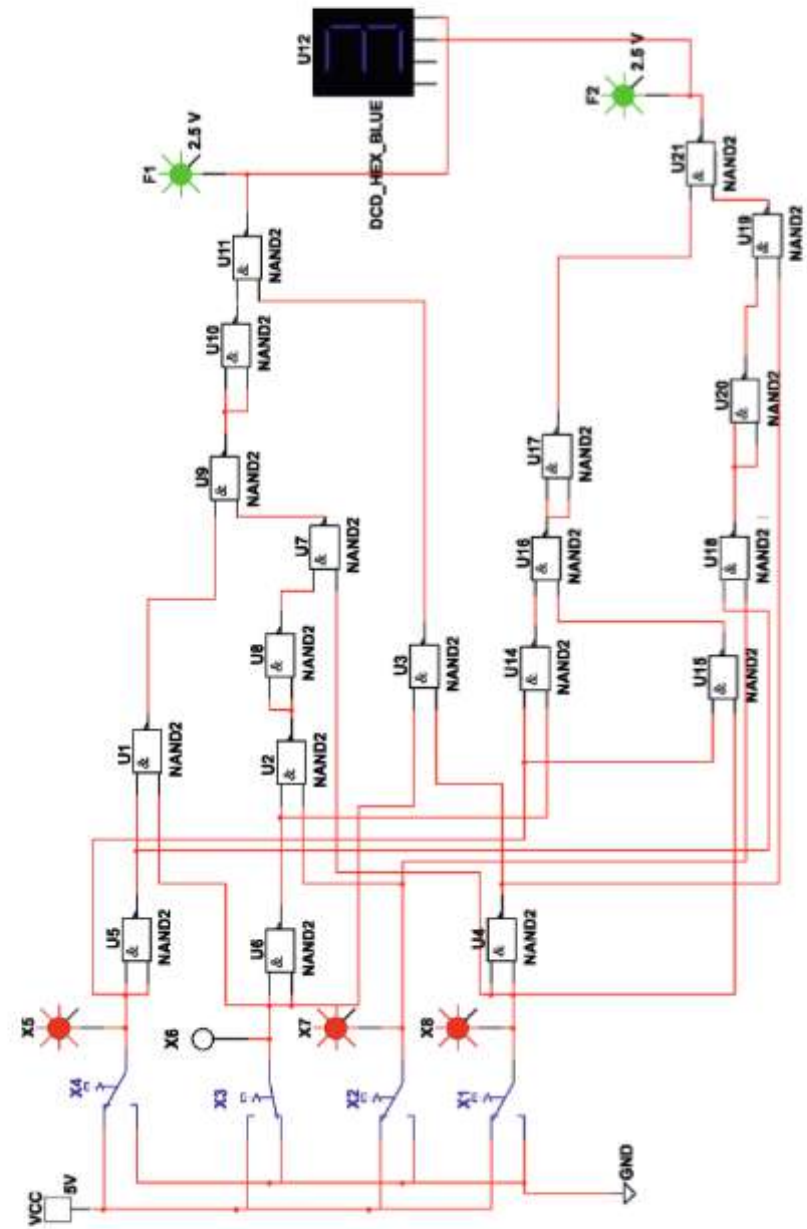


Рис. 5.15. Окончательная цифровая схема в программе моделирования NI Multisim

Верификацию ДКЦУ проводим путем сравнения теоретической временной диаграммы работы ДКЦУ (рис. 5.16) с временной диаграммой, полученной экспериментально в компьютерной среде Multisim 10.1 (рис. 5.17, а). Для этого следует построить теоретическую временную диаграмму в соответствии с таблицей истинности.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
X_4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0
X_3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	0
X_2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	0
X_1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0
F_1	0	0	0	1	1	1	1	1	0	0	0	1	1	0	1	0
F_2	0	0	1	0	0	0	1	0	1	1	1	1	0	1	0	0
	0	0	2	1	1	1	3	1	2	2	2	3	1	2	1	2

Рис. 5.16. Теоретическая временная диаграмма работы проектируемого дискретного комбинационного цифрового устройства. Цифры в кружочках 0–15 соответствуют номерам наборов входных величин

Теоретическую временную диаграмму следует сравнить с экспериментальной временной диаграммой, полученной на модели ДКЦУ в компьютерной среде Multisim 10 на соответствие выходных функций таблице истинности с помощью двух приборов: «Генератор слов» (Word Generator-XWG1) и «Логический анализатор» (Logic Analyzer-XLA1) (рис. 5.17, б).

«Генератор слов» с определенной частотой на вход ДКЦУ генерирует последовательность комбинаций входных величин от 0 до 15. Логический анализатор по своей сути является многолучевым осциллографом и фиксирует изменение выходных величин во времени для каждой входящей комбинации входных величин.

На диаграмме (рис. 5.17, б) выходных логических функций указаны числа, которые образуют в двоичном коде выходные функции F_1 и F_2 (выходной код) для каждого набора входных величин, если за нулевой разряд брать F_1 , за первый — F_2 (2,0,0,2,1,1,1,3,1,2,2,2,3,1,2,1,2). Этот выходной код также можно

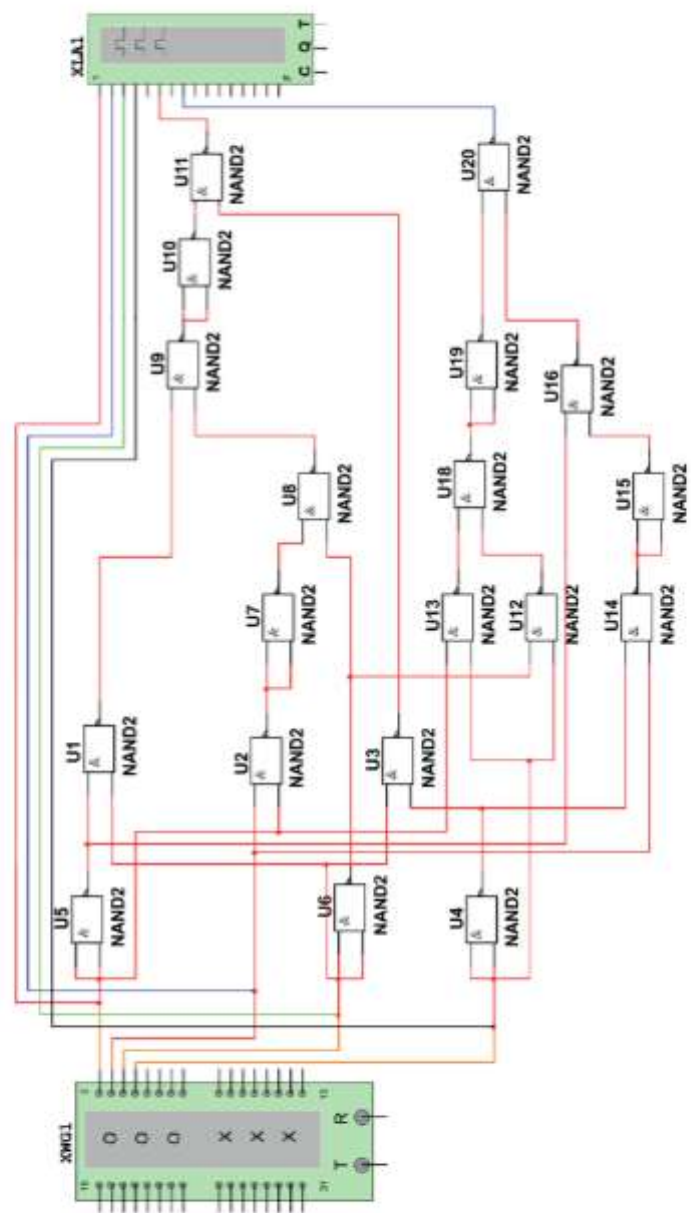
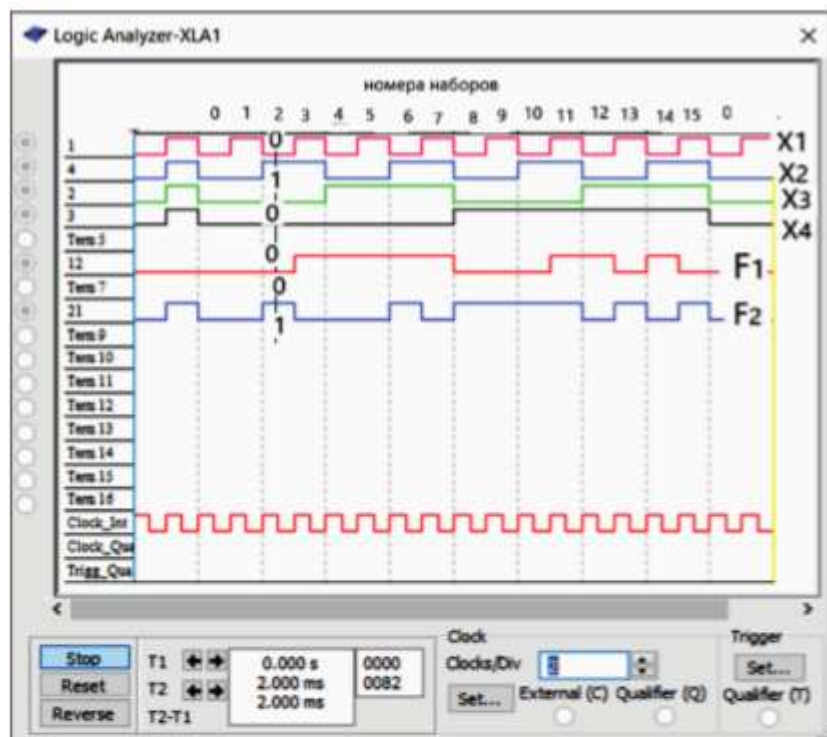


Рис. 5.17 (начало). Окончательная цифровая схема (а) и временная диаграмма (б) работы дискретного комбинационного цифрового устройства в компьютерной программе NI Multisim



б

Рис. 5.17 (окончание). Окончательная цифровая схема (а) и временная диаграмма (б) работы дискретного комбинационного цифрового устройства в компьютерной программе NI Multisim

использовать для верификации работоспособности ДКЦУ. Если к выходам ДКЦУ подсоединить индикатор, то он должен показать данную последовательность чисел.

Этап 8. Выполнение электрической принципиальной схемы ДКЦУ. Для выполнения электрической принципиальной схемы ДКЦУ используем микросхемы серии ТТЛ типа К155ЛА3 в базе И — НЕ (рис. 5.18). Основные электрические параметры микросхем серии ТТЛ следующие:

1) высокий (порог «1») уровень сигнала $U_{вх}$ находится в диапазоне 2,4...5 В, нижний (порог «0») — не более 0,4 В;

2) входной ток низкого уровня составляет 1,6 мА, высокого — 0,04 мА; коэффициент разветвления по выходу равен 10;

3) напряжение питания составляет 5,0 В ± 10 %;

4) микросхемы серии 155 — ЛА1, ЛА2, ЛА3, ЛА4, ЛЛ1, ЛЕ1, ЛЕ4, ЛН2, ЛР4,1, ЛР4 — изготавливают в 14-выводном корпусе (см. рис. 5.18). Выводы нумеруют относительно ключа (выемки в корпусе) против часовой стрелки.

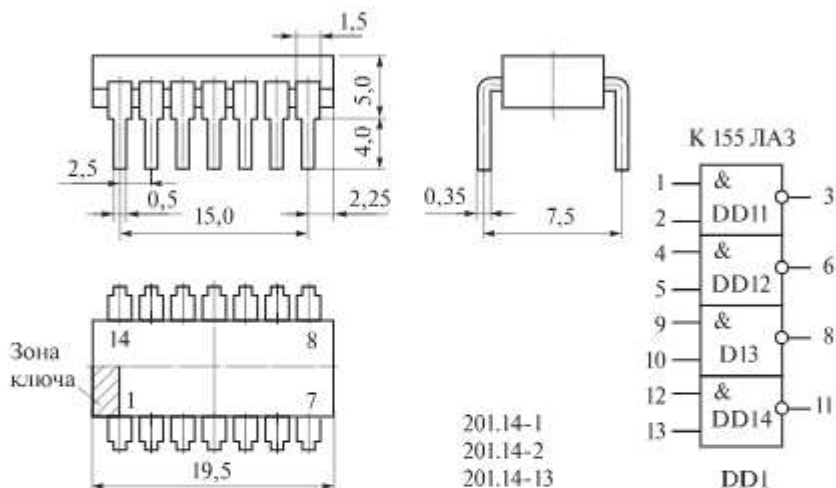


Рис. 5.18. Общий вид и условно-графическое обозначение микросхемы К155ЛА3 с обозначением ее выводов

Эта микросхема содержит четыре логических элемента И — НЕ, изготовленных в одном корпусе. На микросхеме (см. рис. 5.18) не указаны вывод 7 («земля») и вывод 14 (+5В), через которые подводится питание микросхеме. Для синтезируемого ДКЦУ необходимо пять микросхем К155ЛА3 (21 логический элемент И — НЕ) и один соединитель РМ-В, который устанавливается на плате. Внутренние выводы соединителя (13 шт.) располагаются в отверстиях платы под корпус соединителя (рис. 5.19).

Этап 9. Расчет быстродействия ДКЦУ. Время задержки ДКЦУ оцениваем суммой задержек на отдельных логических элементах по пути с наибольшим их числом. В нашем случае их шесть:

$$t_3 = t_{31} \cdot 6 = 30 \cdot 6 = 180 \text{ нс.}$$

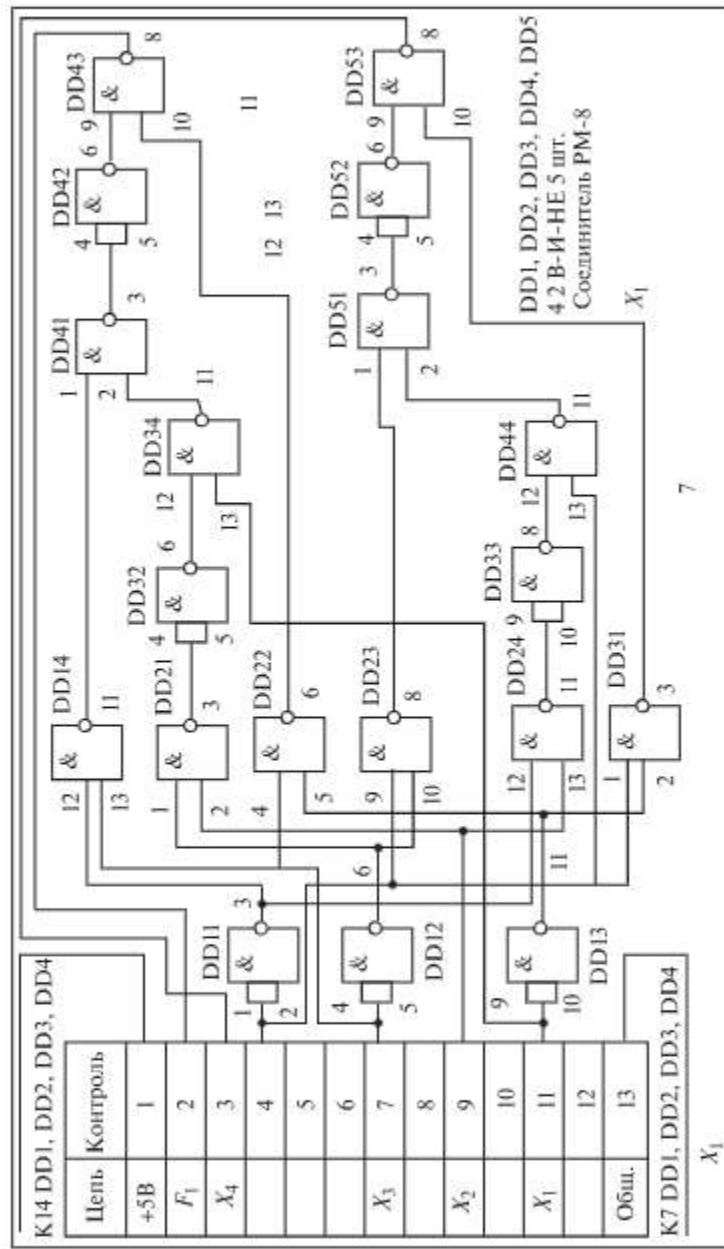


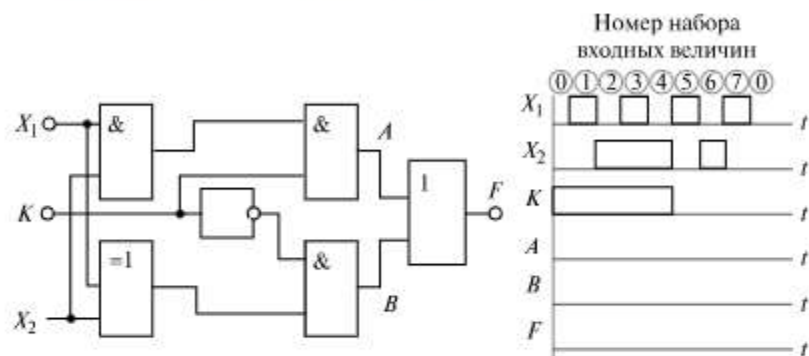
Рис. 5.19. Схема электрическая принципиальная дискретного комбинационного цифрового устройства

В результате в соответствии с заданием синтезировано и верифицировано на работоспособность в программе NI Multisim ДКЦУ для управления технологической операцией с предельной частотой работы 5 МГц.

Контрольные вопросы и задания

1. Дайте определение комбинационному цифровому устройству.
2. Что такое таблица истинности дискретного комбинационного цифрового устройства?
3. Как перейти от таблицы истинности к алгебраической форме записи логической функции в совершенной дизъюнктивной и совершенной конъюнктивной нормальных формах?
4. Для чего проводится минимизация алгебраической формы записи логической функции в совершенной дизъюнктивной нормальной форме?
5. Что такое карта Карно? Поясните принцип ее построения.
6. Поясните принцип работы с картой Карно при минимизации логической функции в совершенной дизъюнктивной нормальной форме.
7. Как проводится проверка правильности проведенной минимизации функции в совершенной дизъюнктивной нормальной форме?
8. Объясните принцип перехода записи логической функции из одного базиса в другой.
9. Что такое принципиальная электрическая схема дискретного комбинационного цифрового устройства?
10. Переведите структурное уравнение, записанное в основном базисе $F = X_1 \bar{X}_2 + X_3 \bar{X}_1 + \bar{X}_3 X_2$, в уравнение, записанное в базисе И – НЕ.
11. Переведите структурное уравнение, записанное в основном базисе $F = X_1 \bar{X}_2 + X_3 \bar{X}_1 + \bar{X}_3 X_2$, в уравнение, записанное в базисе ИЛИ – НЕ.
12. Минимизируйте с помощью карты Карно следующую логическую функцию $F = (0,1,4,6,7)$ и запишите ее в базисе ИЛИ – НЕ.
13. Что такое верификация дискретного комбинационного цифрового устройства в среде Multisim?
14. Для заданной схемы (рисунок) запишите булево выражение для логической функции F , составьте таблицу истинности,

запишите выражение логической функции в совершенной дизъюнктивной нормальной форме, минимизируйте ее, составьте временные диаграммы работы схемы.



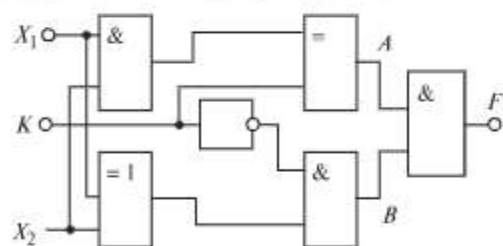
Заданная схема к вопросу 14

15. Упростите логическую функцию, заданную выражением

$$F = (X_1 + X_2 + \overline{X_3} \times X_1) \times (\overline{X_1} \times \overline{X_2} + X_3).$$

16. Запишите таблицу истинности логического элемента «Исключающее ИЛИ» и начертите его цифровую схему в базе И – НЕ.

17. Запишите формулу логической функции, которую реализует данная цифровая схема (рисунок). Упростите ее.



Цифровая схема к вопросу 17

18. Назовите способы задания логической функции.

19. Дайте определение дискретному комбинационному цифровому устройству. Назовите его типовые узлы.

20. Назовите основные электрические параметры интегральной схемы серии 155.

Литература

Бойко В.И., Гуржий А.Н., Жуиков В.Я. и др. Схемотехника электронных систем. Цифровые устройства. СПб.: БХВ-Петербург, 2004. 512 с.

Бойт К. Цифровая электроника: пер. с нем. М.: Техносфера, 2007. 472 с.

Красовский А.Б., Соболев В.А. Проектирование комбинационных цифровых устройств: метод. указания. М.: Издательство МГТУ им. Н.Э. Баумана, 2012. 27 с.

Марченко А., Освальд С. Лабораторный практикум по электротехнике и электронике в среде Multisim: учеб. пособие для вузов. М.: ДМК Пресс, 2010. 448 с.

Отечественные микросхемы и зарубежные аналоги: справочник / Б.Л. Перельман, В.И. Шевелев. М.: Изд-во ООО «НТЦ Микротех», 1998. 376 с.

ПРИЛОЖЕНИЕ 1

Таблица П1.1

Варианты домашнего задания

Номер варианта	Логические функции
1	$F_1(X_4X_3X_2X_1) = 0,1,3,4,5,6,7,9,11,14[2,8,9,15]\{10,12\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,15[0,3,4,5,7,11,14]\{10,12\}$, базис ИЛИ – НЕ
2	$F_1(X_4X_3X_2X_1) = 1,2,3,4,6,8,11,14,15[0,5,7,9,10]\{12,13\}$ $F_2(X_4X_3X_2X_1) = 0,3,6,8,9,10,11,15[1,2,4,5,7,14]\{12,13\}$, базис И – НЕ
3	$F_1(X_4X_3X_2X_1) = 0,1,3,4,7,11,14[2,6,9,10,13,15]\{5,8\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,9,10,12,13,15[1,3,4,7,11,14]\{5,8\}$, базис И – НЕ
4	$F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,9,10,15]\{11,13\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]\{12,13\}$, базис ИЛИ – НЕ
5	$F_1(X_4X_3X_2X_1) = 1,3,5,6,7,10,12,13[0,2,4,5,6,7,15]\{11,14\}$ $F_2(X_4X_3X_2X_1) = 0,1,3,4,5,7,11,14[2,6,8,9,10,15]\{11,14\}$, базис И – НЕ
6	$F_1(X_4X_3X_2X_1) = 0,1,2,8,9,12,13,15[3,4,5,6,7,14]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]\{10,14\}$, базис И – НЕ
7	$F_1(X_4X_3X_2X_1) = 1,2,8,10,12,13,15[3,4,5,6,7,11,14]\{0,9\}$ $F_2(X_4X_3X_2X_1) = 2,6,8,10,11,13,15[1,3,4,5,7,12,14]\{0,9\}$, базис И – НЕ

Продолжение табл. П1.1

Номер варианта	Логические функции
8	$F_1(X_4X_3X_2X_1) = 0,1,2,3,4,5,6,13,14,15[7,8,9,10,11,12]\{6,15\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,11,13,[1,3,4,5,7,12,14]\{6,15\}$, базис ИЛИ – НЕ
9	$F_1(X_4X_3X_2X_1) = 1,4,5,7,8,9,10,13,14[0,2,3,11,12]\{6,11\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,8,10,13,15[1,3,4,5,7,12,14]\{6,11\}$, базис ИЛИ – НЕ
10	$F_1(X_4X_3X_2X_1) = 0,4,5,6,7,12,14[1,2,3,8,10,11,15]\{9,12\}$ $F_2(X_4X_3X_2X_1) = 0,1,6,8,9,10,15[2,3,4,5,7,11,14]\{9,12\}$, базис И – НЕ
11	$F_1(X_4X_3X_2X_1) = 0,3,4,5,6,7,9,11,14[1,2,8,9,15]\{10,13\}$ $F_2(X_4X_3X_2X_1) = 1,3,6,8,9,12,15[0,2,4,5,7,11,14]\{10,13\}$, базис ИЛИ – НЕ
12	$F_1(X_4X_3X_2X_1) = 0,3,4,5,6,7,9,11,14[1,2,8,9,15]\{1,4\}$ $F_2(X_4X_3X_2X_1) = 2,6,8,9,11,13,15[0,3,5,7,12,14]\{1,4\}$, базис И – НЕ
13	$F_1(X_4X_3X_2X_1) = 1,2,3,4,5,7,11,14,15[0,6,8,9,10]\{12,13\}$ $F_2(X_4X_3X_2X_1) = 0,3,6,8,9,10,11,15[1,2,4,5,7,14]\{12,13\}$, базис И – НЕ
14	$F_1(X_4X_3X_2X_1) = 0,1,3,4,7,11,14[2,6,9,10,13,15]\{1,8\}$ $F_2(X_4X_3X_2X_1) = 0,2,6,9,10,12,13,15[1,3,4,7,11,14]\{1,8\}$, базис И – НЕ
15	$F_1(X_4X_3X_2X_1) = 1,3,5,6,7,12,13[0,2,4,5,6,7,15]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 3,4,5,7,11,12,14[0,1,2,6,8,9,15]\{10,14\}$, базис ИЛИ – НЕ
16	$F_1(X_4X_3X_2X_1) = 0,1,2,8,9,12,13,15[3,4,5,6,7,14]\{10,14\}$ $F_2(X_4X_3X_2X_1) = 1,2,6,8,9,11,12,15[0,3,4,5,7,13]\{10,14\}$, базис И – НЕ

ПРИЛОЖЕНИЕ 2

Основы моделирования в компьютерной программе NI Multisim

В настоящее время широкое применение для моделирования электрических и цифровых схем получила компьютерная программа NI Multisim*.

В интерфейсном окне программы Multisim (рис. П2.1) расположены поле меню и два поля инструментов с пиктограммами: на горизонтальное поле слева выведены пиктограммы для отдельных классов компонентов (библиотека компонентов) (рис. П2.2), на вертикальное поле справа — пиктограммы реальных приборов (рис. П2.3).

При построении и редактировании схем выполняются следующие операции:

- 1) выбор компонента из библиотеки компонентов и размещение его в рабочем окне;
- 2) выбор прибора;
- 3) установка значений компонентов;
- 4) соединение компонентов проводниками.

Выбор компонента проводится из библиотеки компонентов:

1 2 3 4 5 6 7 8 9 10 11 12

Компоненты программы распределены следующим образом:

- 1 — источники (*Sources*);
- 2 — базовые элементы (*Basic*);
- 3 — диоды, в том числе диодные выпрямители, тиристоры, стабилитроны (*Diodes*);
- 4 — транзисторы (*Transistors*);
- 5 — аналоговые микросхемы (*Analog*);
- 6 — цифровые микросхемы (*TTL* и *CMOS*);

* Программа платная, однако на сайте www.ni.com./multisim можно скачать бесплатную пробную версию для образовательных учреждений. Кроме того, программа установлена на компьютерах в компьютерном классе кафедры «Электротехники и промышленной электроники».

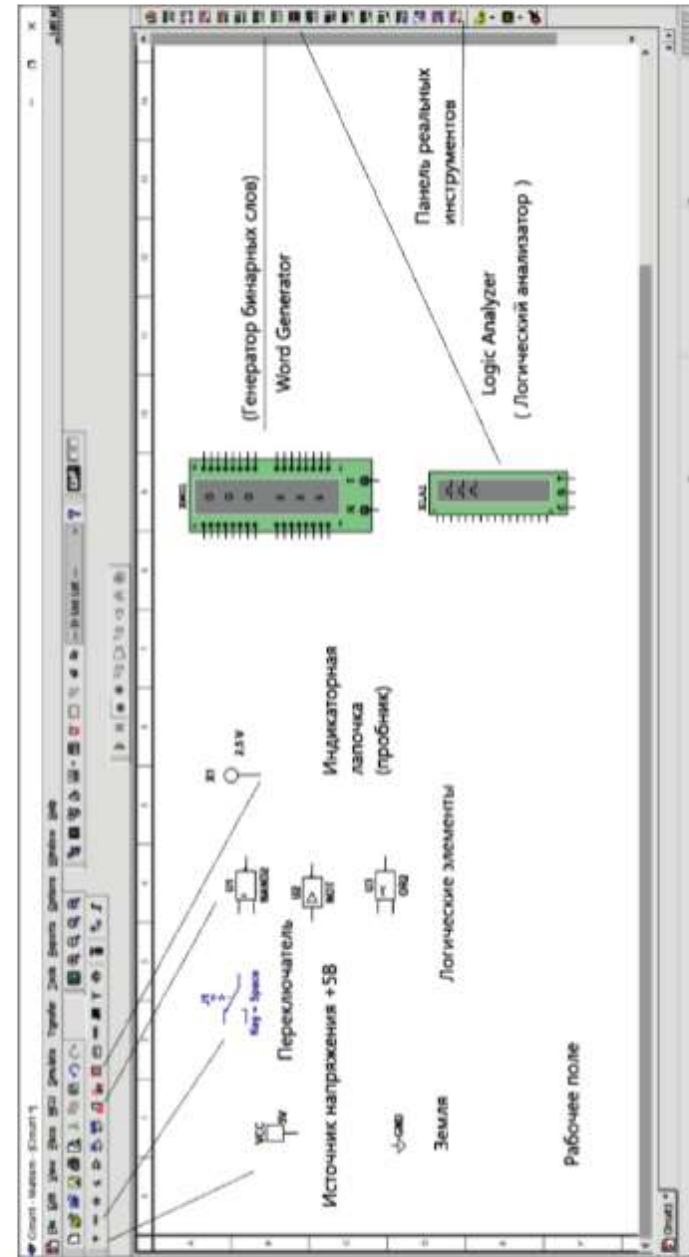


Рис. П2.1. Интерфейсное окно программы Multisim



Рис. П.2.2. Панель библиотеки программы

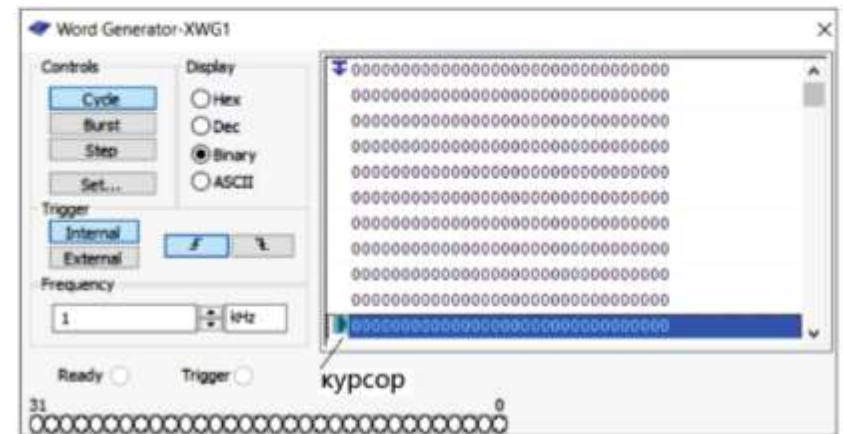
- 7 — индикаторы (*indicators*);
- 8 — цифровые микросхемы (*Misk Digital*);
- 9 — аналого-цифровые компоненты (*Mixed*);
- 10 — индикаторы (*Indicators*);
- 11 — компоненты питания (*Power Component*);
- 12 — микросхемы смешанного типа.

При верификации работоспособности спроектированного ДКЦУ в компьютерной среде Multisim потребуются источник постоянного напряжения VCC, заземление GND, логические элементы, ключи *J*, пробники (см. рис. П.2.1). Источник постоянного напряжения +5 В (VCC) необходим для установки потенциала высокого уровня («1»). Заземление необходимо для проведения процесса моделирования, логические элементы — для построения требуемой цифровой схемы, ключи — для изменения в ручную комбинации входных величин, пробники — для фиксации потенциала входной или выходной величины: «1» или «0».

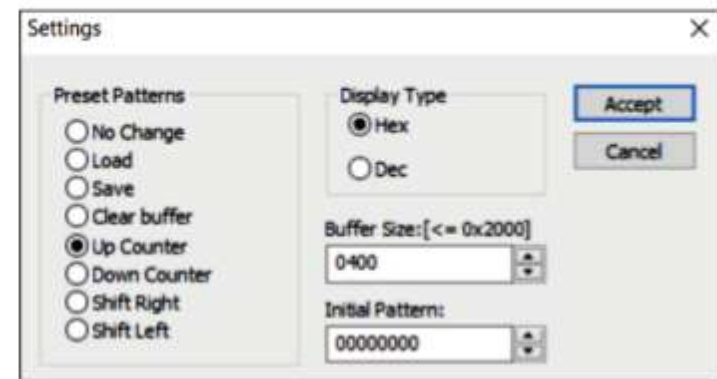
Для получения временной диаграммы работы ДКЦУ необходимы «Генератор слов» и «Логический анализатор». «Логический анализатор» (Logic Analyzer) предназначен для отображения на его экране 16-разрядных кодовых последовательностей во времени, подаваемых на его вход из 16 различных точек схемы. «Генератор слов» (Word Generator) размещен на панели реальных инструментов, находящейся справа от рабочего поля программы. Он имеет 32 выхода, пронумерованные от 0 до 31, т. е. он может генерировать 32-разрядные бинарные слова (коды). При моделировании можно использовать только необходимые выходы.

Установка значений параметров виртуальных компонентов проводится в диалоговом окне свойств компонента, которое открывается при двойном щелчке мыши по изображению компонента. Расширенное изображение прибора появляется на рабочем поле после двойного щелчка мыши по его уменьшенному изображению (рис. П.2.4, см. рис. П.2.3).

Прежде чем включить генератор XWG1 в работу, необходимо его запрограммировать: задать возрастающее значение счета (см. рис. П.2.3, б) и ввести ручную ограничивающее число, до



а



б

Рис. П.2.3. Диалоговые окна генератора бинарных слов:

а — информационное окно; б — параметры установки «Генератор слов»

которого он будет генерировать бинарные коды, путем установления ограничивающего курсора (см. рис. П.2.3, а). Также необходимо синхронизировать совместную работу «Генератора слов» и «Логического анализатора». Синхронизация осуществляется в настройке приборов в диалоговых окнах.

Для соединения выводов компонентов проводниками необходимо подвести курсор к выводу одного из компонентов. Нажав

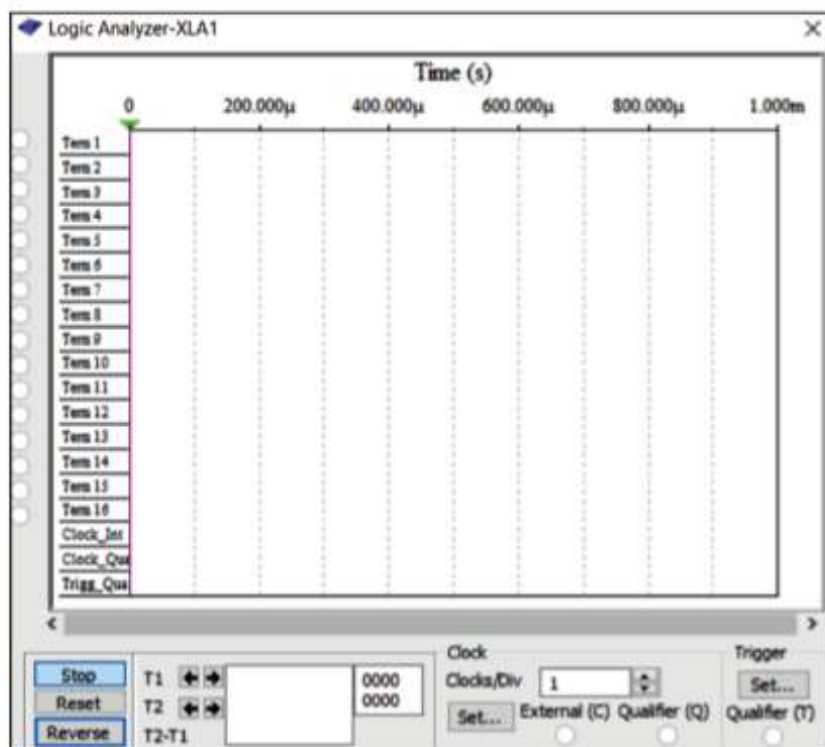


Рис. П.2.4. Окно «Логический анализатор»

левую кнопку мыши и не отпуская ее, переместите курсор к выводу компонента, с которым необходимо соединиться.

Пункты меню File, Edit, View содержат обычный набор команд для работы с файлами и проектами, сохранения и печати (File), редактирования, выделения, перемещения (Edit), настройки пользовательского интерфейса с возможностью изменения набора панелей инструментов, масштабирования изображения схемы устройства (View).

Содержание

Предисловие	3
1. Проектирование дискретного комбинационного цифрового устройства	5
2. Алгоритм проектирования дискретного комбинационного цифрового устройства	9
3. Домашнее задание	30
4. Проверка, защита и оценка домашнего задания	32
5. Пример поэтапного выполнения домашнего задания	33
Контрольные вопросы и задания	52
Литература	54
Приложение 1. Варианты домашнего задания	55
Приложение 2. Основы моделирования в компьютерной программе NI Multisim	67

Учебное издание

Соболев Владимир Афанасьевич
Соловьев Владимир Алексеевич

Проектирование дискретного комбинационного цифрового устройства на интегральных микросхемах

Редактор *Л.В. Сивай*
Художник *Я.М. Асинкритова*
Корректор *А.С. Агамирова*
Компьютерная графика *Л.С. Филатова*
Компьютерная верстка *Т.В. Батраковой*

Оригинал-макет подготовлен
в Издательстве МГТУ им. Н.Э. Баумана.

В оформлении использованы шрифты Студии Артемия Лебедева.

Подписано в печать 25.08.2022. Формат 60×90/16.
Усл. печ. л. 4,5. Тираж 179 экз. Изд. № 1106-2022.

Издательство МГТУ им. Н.Э. Баумана,
105005, г. Москва, улица 2-я Бауманская, д. 5, к. 1.
info@bmsu.press
<https://bmsu.press>

Отпечатано в типографии МГТУ им. Н.Э. Баумана,
105005, г. Москва, улица 2-я Бауманская, д. 5, к. 1.
baumanprint@gmail.com