

В.А. Соболев

Синтез синхронного автомата на универсальных JK- и D-триггерах

Учебно-методическое пособие


Москва
ИЗДАТЕЛЬСТВО
МГТУ им. Н. Э. Баумана
2022

УДК 621.3
ББК 32.973
С54

Издание доступно в электронном виде по адресу
<https://bmstu.press/catalog/item/7392/>

Факультет «Фундаментальные науки»
Кафедра «Электротехника и промышленная электроника»

Рекомендовано
Научно-методическим советом МГТУ им. Н.Э. Баумана
в качестве учебно-методического пособия

Соболев, В. А.


С54 Синтез синхронного автомата на универсальных JK- и D-триггерах : учебно-методическое пособие. — Москва : Издательство МГТУ им. Н. Э. Баумана, 2022. — 54, [2] с. : ил.

ISBN 978-5-7038-5790-8

Представлено методическое руководство к выполнению домашнего задания «Синтез синхронного автомата на универсальных JK- и D-триггерах» по курсу дисциплины «Электротехника и электроника», предназначенного для поэтапного проектирования автомата управления технологическим процессом. Даны варианты и пример выполнения домашнего задания. Сформулированы предъявляемые к его оформлению требования. Изложены краткие теоретические сведения о синтезе синхронных автоматов. Приведен пример верификации работоспособности синтезированного цифрового устройства в программной среде Multisim 10.1.

Для студентов факультетов «Машиностроительные технологии» и «Фундаментальные науки» МГТУ им. Н.Э. Баумана, обучающихся по программе специалитета и изучающих дисциплину «Электротехника и электроника».

УДК 621.3
ББК 32.973

 Уважаемые читатели! Пожелания, предложения, а также сообщения о замеченных опечатках и неточностях Издательство просит направлять по электронной почте: info@bmstu.press

ISBN 978-5-7038-5790-8

© МГТУ им. Н.Э. Баумана, 2022
© Оформление. Издательство
МГТУ им. Н. Э. Баумана, 2022

Предисловие

Пособие является частью учебно-методического комплекса дисциплины «Электротехника и электроника» и посвящено синтезу синхронного конечного цифрового автомата, выполненного на базе *JK*- и *D*-триггеров. Издание представляет собой методическое руководство в помощь студентам, выполняющим домашнее задание по курсу «Синтез синхронного автомата на универсальных *JK*- и *D*-триггерах».

Цель издания — приобретение студентами самостоятельного навыка синтеза синхронного автомата на универсальных *JK*- и *D*-триггерах, овладение умением использовать компьютерную программу Multisim 10.1 для верификации работоспособности и наладки таких устройств, ознакомление с элементной базой, массово изготавливаемой промышленностью в виде интегральных микросхем.

В современных средствах автоматизации производства широко используются цифровые устройства, которые называют автоматами с памятью или последовательностными цифровыми устройствами, что подчеркивает актуальность их изучения. Цифровые устройства используются в схемах автоматизации технологических процессов, в частности, в технологиях массового производства однотипных деталей или в линиях их сборки по определенному циклу. Синхронные автоматы производят на базе универсальных *JK*- и *D*-триггеров, массово изготавливаемых в виде интегральных микросхем, в схемах автоматизации выполняют функции синхронного импульсного устройства, имеющего $M(Q_n, Q_{n-1}, \dots, Q_1)$ различных состояний ($\bmod M$), которые циклически изменяются под действием синхросигнала.

Знание основ синтеза синхронного автомата является одной из основных компетенций в квалификационной характеристике дипломированных специалистов по проектированию и эксплуатации автоматизированных автоматических комплексов в различных отраслях промышленности.

Структурно пособие состоит из практической (главы 1, 2) и теоретической (глава 3) частей, списка литературы по указанной теме и двух приложений, в которых соответственно даны задания по вариантам и техника сборки модели конечного синхронного автомата. Сначала приводится порядок выполнения домашнего задания с предъявляемыми к нему требованиями для облегчения самостоятельной работы, а затем пример с необходимыми подробными пояснениями. Перед выполнением задания следует изучить соответствующие разделы лекционного курса и семинарских занятий.

1. Выполнение домашнего задания и требования к его оформлению

1.1. Содержание домашнего задания

Спроектируйте синхронный конечный цифровой автомат (КЦА) на универсальных *JK*- и *D*-триггерах, десятичные коды выходных сигналов которых заданы последовательностью чисел: 7, 4, 3, 5, 1, 0, 2, 6. Первое число здесь указывает начальное (исходное) состояние выходных сигналов синхронного КЦА.

Начертите блок-схему проектируемого синхронного КЦА, поэтапно выполните его расчет.

Проведите верификацию работоспособности спроектированного синхронного КЦА в компьютерной программе Multisim 10.1. По результатам верификации начертите электрическую схему его функционирования с использованием интегральных микросхем (ИМС) массового производства.

1.2. Последовательность выполнения домашнего задания

Домашнее задание выполняют студенты самостоятельно. В соответствии с выбранным вариантом домашнего задания (см. приложение 1) работу над ним следует построить таким образом:

1) начертить блок-схему проектируемого синхронного КЦА с предварительной установкой начального условия, указать входные, выходные сигналы, построить граф функционирования проектируемого синхронного КЦА;

2) синтезировать синхронный КЦА на универсальных *JK*- или *D*-триггерах (mod 8), десятичные коды выходных сигналов которых заданы последовательностью десятичных чисел, путем выполнения поэтапного проектирования;

3) разработать и описать контрольные сигналы для проведения отладки проектируемого устройства, указать их табличные и графические временные характеристики;

4) выполнить верификацию работоспособности синхронного КЦА в программной среде Multisim 10.1 в следующем порядке:

- по показаниям индикаторов;
- по осциллограммам функционирования синхронного КЦА, полученным с помощью логического анализатора Logic Analyzer.

Модель автомата в среде Multisim 10.1 сохранить в виде отдельного файла и использовать его при защите домашнего задания в целях доказательства работоспособности;

5) начертить по результатам верификации электрическую схему синхронного КЦА с использованием ИМС массового производства для изготовления печатной платы КЦА;

6) провести диагностику работы синхронного КЦА с помощью контрольных сигналов.

При диагностике синхронного КЦА необходимо осуществить следующие действия:

- на правильно функционирующей модели синхронного КЦА в среде Multisim 10.1 у триггера Q_2 отсоединить вход K_3 ;
- подать на вход K_3 любой заведомо неправильный сигнал;
- составить таблицу показаний индикаторов для этого случая (см. п. 3.4);
- с помощью сравнения таблицы контрольных сигналов и таблицы показаний индикаторов обнаружить ошибку и исправить ее;
- убедиться в правильности функционирования синхронного КЦА.

Пункт 6 выполняется при помощи преподавателя или самостоятельно при отладке модели синхронного КЦА в случае его ошибочного функционирования;

7) по результатам выполнения домашнего задания сформулировать выводы.

Выполненное домашнее задание следует оформить в соответствии с указанными ниже требованиями.

1.3. Оформление расчетно-графической части

Расчетно-графическую часть домашнего задания студенты должны выполнять на листах формата А4 с использованием компьютера в такой последовательности:

1) вариант домашнего задания выбрать из приложения 1; непосредственно вариант на группу выдает преподаватель, а номер задания в варианте соответствует номеру, под которым студент записан в журнале старосты группы;

2) перед выполнением очередного этапа работы над домашним заданием необходимо записать его номер из предложенной последовательности и пояснить дальнейшие действия;

3) обозначения в формулах и на рисунках привести в соответствии с ГОСТ 2.743–91.

После завершения работы над домашним заданием его следует сдать на проверку преподавателю. Срок сдачи — 15-я неделя семестра.

1.4. Проверка, защита и оценка домашнего задания

Выполненное домашнее задание студенты сдают на проверку преподавателю, который проводит семинарские занятия. При этом преподаватель может делать пометки в тексте домашнего задания и записывать замечания на полях. По результатам его проверки преподаватель на титульном листе проставляет оценку. Студенты, получившие оценку «зачтено», допускаются к защите домашнего задания, в случае получения оценки «не зачтено» домашнее задание возвращается на доработку или выполняется заново.

Не принимаются к защите и возвращаются для повторного выполнения домашние задания, которые не соответствуют своему варианту, выполнены не полностью или в значительной степени несамостоятельно либо с помощью сканирования, ксерокопирования, механического переписывания данного методического пособия или материалов из других литературных источников.

К защите также не принимаются небрежно оформленные работы.

После защиты домашнего задания оценку в баллах ставит преподаватель в установленные сроки. Студент, не выполнивший до-

машнее задание в срок или не защитивший его, не допускается к сдаче зачета или экзамена по дисциплине «Электротехника и электроника».

При защите домашнего задания студент должен кратко изложить его содержание, сформулировать основные выводы, ответить в полном объеме на все замечания преподавателя. При получении неудовлетворительной оценки домашнее задание следует исправить, учитывая замечания преподавателя, представить его на повторную проверку и защитить в сроки, установленные преподавателем.

Оценка за домашнее задание в баллах, выставленная на титульном листе домашнего задания, вносится в карточку текущей успеваемости студента.

1.5. Методические указания к выполнению домашнего задания

В домашнем задании рассматривается задача синтеза синхронного КЦА, функционирующего по заданному алгоритму, т. е. некоего последовательностного логического устройства, содержащего элементы памяти (триггеры). Синхронный КЦА имеет ограниченное количество внутренних состояний (поэтому он и называется конечным), определяемое его разрядностью ($\text{mod } M$) — количеством триггеров. Такой синхронный КЦА можно использовать для управления какими-либо узлами или активизации процессов в других модулях по заранее заданному алгоритму работы. Синхронный КЦА функционирует под управлением тактовых (или синхронизирующих) сигналов CLK с постоянной длительностью t и постоянной частотой f , которые можно регулировать. Период следования сигналов CLK должен быть больше времени, которое необходимо для перехода КЦА из одного состояния в другое, или равен ему. Так, трехразрядный синхронный КЦА имеет три триггера и восемь устойчивых внутренних состояний ($\text{mod } 8$). Под действием синхронимпульсов CLK цифровое устройство переходит из одного состояния в другое и выдает выходные сигналы. В общем случае структурную схему синхронного КЦА можно представить в виде трех основных узлов (рис. 1.1):

- памяти, фиксирующей внутреннее состояние синхронного КЦА;
- комбинационной схемы управления памятью;
- комбинационной схемы формирования выходных сигналов.



Рис. 1.1. Общая структурная схема синхронного конечного цифрового автомата

Сигналы состояния памяти направляются на обе комбинационные схемы.

Комбинационная схема формирования выходных сигналов применяется в случае специального преобразования двоичной системы счисления функционирования синхронного КЦА в специальный код, в частности в код Грея.

Различают два вида синхронного КЦА — автомат Мура и автомат Милли. В автомате Мура выходные сигналы зависят только от состояния памяти и являются их функциями. В автомате Милли выходные сигналы и сигналы управления памятью зависят от состояния памяти и входных сигналов. В синтезируемом синхронном КЦА домашнего задания входные сигналы «X» отсутствуют, имеются только синхросигналы *CLK*, т. е. этот синхронный КЦА относится к автомату Мура. В качестве элементов памяти в таких синхронных КЦА широко применяются универсальные *JK*- или *D*-триггеры (рис. 1.2).

Триггер имеет два выхода — прямой и инверсный, на которых могут формироваться сигналы 0 или 1. О состоянии триггера судят по сигналу на его прямом выходе. Входы триггера подразделяются на информационные (*D* и *J*, *K*) и управляющие (*S*, *R*). В зависимости от типа триггеры могут иметь один информационный вход, в частности *D*-триггеры, или два входа, как *JK*-триггеры. Информационные входы используются для текущего управления состоянием триггера, а управляющие — для предварительной установки триггера в исходное состояние и синхронизации его работы с другими устройствами (см. рис. 1.2).

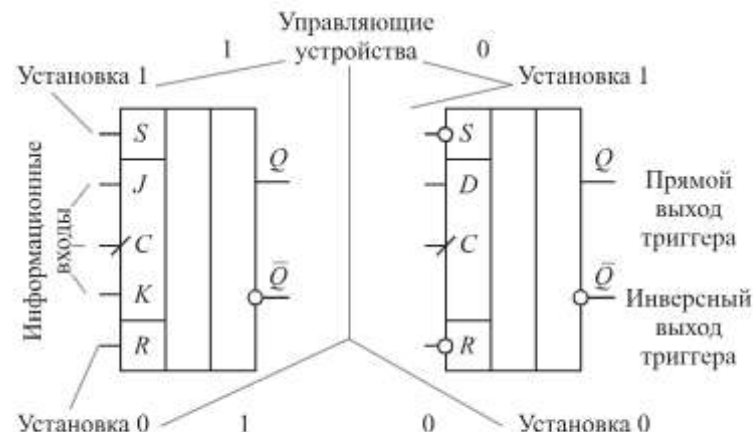


Рис. 1.2. Условное графическое обозначение универсальных *JK*- и *D*-триггеров

Функцию переходов триггеров отражает характеристическое уравнение:

$$Q_{i+1} = F[X(i), Q_i], \quad (1.1)$$

которое устанавливает связь между предыдущим значением прямого выхода $Q(i)$ триггера в момент времени i и определяет его следующее значение Q_{i+1} в момент времени $i + 1$. Оно может быть новым или сохранить предыдущее значение сразу по окончании момента времени $i + 1$ и до момента времени $i + 2$ в соответствии с конкретной функциональной записью этого уравнения. Для всех триггеров есть состояние входов, под действием которых происходит изменение состояния триггера:

$$0 \rightarrow 0, 0 \rightarrow 1, 1 \rightarrow 0, 1 \rightarrow 1. \quad (1.2)$$

Правила функционирования триггеров могут быть заданы в следующем виде:

- словесного описания;
- таблицы переходов триггера — характеристической таблицы;
- характеристических уравнений;
- микропрограммируемого автомата (в теории конечных автоматов);
- графа.

Рассматриваемые триггеры имеют следующие характеристические уравнения:

JK-триггер:

$$Q_{i+1} = J\bar{Q}_i + \bar{K}Q_i; \quad (1.3)$$

D-триггер:

$$Q_{i+1} = D. \quad (1.4)$$

С помощью характеристических уравнений можно определить состояние Q_{i+1} триггера, в которое он перейдет в момент времени $t + 1$, если известны комбинации входных сигналов и предыдущее состояние Q_i триггера.

Граф триггера состоит из количества вершин, соответствующего возможным состояниям триггера с учетом внутренних состояний элементов памяти (mod M) и направленных веток, которые начинаются и заканчиваются на вершинах; при этом важен набор сигналов, которые приводят к данному переходу триггера из одного состояния в другое или сохраняют данное состояние (рис. 1.3).

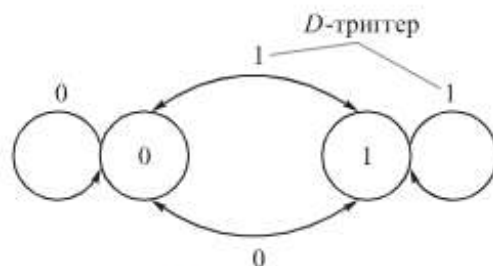


Рис. 1.3. Граф *D*-триггера

Вершины графа обозначают кружками, внутри которых записываются состояния триггера (иногда кроме цифр внутри кругов или рядом с ними записывается символьное обозначение состояний). Если дуга начинается в какой-нибудь вершине и заканчивается в ней же, то она называется петлей. Дуги и петли характеризуют переходы триггера, которые он делает под действием входных сигналов, причем рядом с дугой или петлей записываются комбинации входных сигналов.

При синтезе последовательных схем (сложных триггеров, счетчиков, регистров и т. д.) решается обратная задача: определяется комбинация входных сигналов при заданном переходе триггера из одного состояния в другое, например, $0 \rightarrow 1$. В результате решения этой задачи будут получены данные для характеристической таблицы.

Характеристические таблицы универсальных триггеров, в частности универсальных *JK*- и *D*-триггеров, которые работают в синхронном режиме, используются при синтезе произвольных цифровых устройств (табл. 1.1).

Таблица 1.1

Характеристическая таблица универсальных *JK*- и *D*-триггеров, которые используются для синтеза произвольных цифровых устройств

<i>JK</i> -триггер			<i>D</i> -триггер	
Переход Q_i в Q_{i+1}	<i>J</i>	<i>K</i>	Переход Q_i в Q_{i+1}	<i>D</i>
$0 \rightarrow 0$	0	<i>X</i>	$0 \rightarrow 0$	0
$0 \rightarrow 1$	1	<i>X</i>	$0 \rightarrow 1$	1
$1 \rightarrow 0$	<i>X</i>	1	$1 \rightarrow 0$	0
$1 \rightarrow 1$	<i>X</i>	0	$1 \rightarrow 1$	1

Универсальные *JK*- и *D*-триггеры могут работать асинхронно, если использовать асинхронные входы *R* и *S*, независимо от комбинации сигналов на информационных и тактовом входах. Это означает, что асинхронные входы обладают приоритетом по сравнению с информационными и тактовым входами.

Алгоритм функционирования синхронного КЦА можно описать с помощью таблицы состояний, в которую записывают текущее состояние каждого Q_{ni} триггера и его последующее состояние Q_{n+1} при подаче синхриимпульса *CLK*, например, состояния триггеров синхронного КЦА, который должен выдавать последовательность чисел 7, 4, 3, 5, 1, 0, 2, 6, записанную в двоичном коде (табл. 1.2). Число 7 является началом заданного цикла работы.

Таблица 1.2

Состояния триггеров синхронного конечного цифрового автомата для заданного цикла его работы

Последовательность чисел	Состояние триггеров					
	Q_{2i}	Q_{2i-1}	Q_{1i}	Q_{2i+1}	Q_{2i+2}	Q_{1i+1}
7	1	1	1	1	0	0
4	1	0	0	0	1	1
3	0	1	1	1	0	1
5	1	0	1	0	0	1
1	0	0	1	0	0	0
0	0	0	0	0	1	0
2	0	1	0	1	1	0
6	1	1	0	1	1	1

Синтез синхронного КЦА можно осуществлять двумя способами, основанными на использовании таблицы переходов синхронного КЦА.

При использовании первого способа определения входных сигналов, которые необходимо подать на управляющие входы, табл. 1.2 дополняют еще шестью столбцами, куда записывают данные из характеристической таблицы для осуществления заданного перехода каждого триггера (табл. 1.3).

Таблица 1.3

Все состояния триггеров синхронного конечного цифрового автомата для заданного цикла его работы

Последовательность чисел	Состояние триггеров						Управляющие импульсы					
	Q_{3t}	Q_{2t}	Q_{1t}	Q_{3t+1}	Q_{2t+1}	Q_{1t+1}	J_3	K_3	J_2	K_2	J_1	K_1
7	1	1	1	1	0	0	X	0	X	1	X	1
4	1	0	0	0	1	1	X	1	1	X	1	X
3	0	1	1	1	0	1	1	X	X	1	X	0
5	1	0	1	0	0	1	X	1	0	X	X	0
1	0	0	1	0	0	0	0	X	0	X	X	1
0	0	0	0	0	1	0	0	X	1	X	0	X
2	0	1	0	1	1	0	1	X	X	0	0	X
6	1	1	0	1	1	1	X	0	X	0	1	X

Рассматривая наборы значений Q_{3t}, Q_{2t}, Q_{1t} в табл. 1.3 как логические переменные для логических функций управляющих импульсов $J_3, K_3, J_2, K_2, J_1, K_1$, проведем минимизацию каждой функции с помощью карт Карно. В частности, карта Карно логической функции J_3 будет иметь вид, представленный на рис. 1.4.

		$Q_{2t} Q_{1t}$				
		Q_{3t}	00	01	11	10
$J_3 = Q_{2t}$	0	0	0	1	1	
	1	X	X	X	X	

Рис. 1.4. Карта Карно для логической функции J_3

Полученный результат показывает, что для осуществления переходов Q_{3t} в Q_{3t+1} на вход J_3 триггера Q_3 необходимо подать сигнал с прямого выхода триггера Q_2 . Также с помощью карты Карно можно определить, какой сигнал следует подать на вход K_3 триггера Q_3 (рис. 1.5).

		$Q_{2t} Q_{1t}$				
		Q_{3t}	00	01	11	10
$K_3 = \bar{Q}_{2t}$	0	X	X	0	X	
	1	1	1	0	X	

Рис. 1.5. Карта Карно для определения сигнала, который необходимо подать на вход K_3

Полученный результат показывает, что для осуществления переходов Q_{3t} в Q_{3t+1} на вход K_3 триггера Q_3 необходимо подать сигнал с инверсного выхода триггера Q_2 . Таким образом получаем часть комбинационной схемы преобразования переходов для триггера Q_3 . Аналогично находим выражения для других логических связей для входов J_2, K_2 и J_1, K_1 и все внутренние логические связи комбинационной схемы преобразования переходов каждого триггера (см. рис. 1.1).

В случае применения второго способа при синтезе синхронного КЦА используются характеристические уравнения рассматриваемых триггеров только табл. 1.1, в которой наборы значений Q_{3t}, Q_{2t}, Q_{1t} рассматриваются как логические переменные для логических функций $Q_{3t+1}, Q_{2t+1}, Q_{1t+1}$. Применяя карты Карно для минимизации функций $Q_{3t+1}, Q_{2t+1}, Q_{1t+1}$, находим их минимизированные выражения (рис. 1.6).

		$Q_{2t} Q_{1t}$				
		Q_{3t}	00	01	11	10
$Q_{3t+1} = Q_{2t}$	0	0	0	1	1	
	1	0	0	1	1	

Рис. 1.6. Карта Карно для функции Q_{3t+1}

В частности, для функции Q_{3t+1} из карты Карно найдем, что

$$Q_{3t+1} = Q_{2t}. \quad (1.5)$$

Далее проведем сравнение этого выражения с характеристическим уравнением JK -триггера:

$$Q_{3t+1} = J_3 \bar{Q}_{3t} + \bar{K}_3 Q_{3t}. \quad (1.6)$$

В полученном по карте Карно (см. рис. 1.6) выражении $Q_{3t+1} = Q_{2t}$ нет членов \bar{Q}_{3t} и Q_{3t} . Для того чтобы сравнить выражения (1.5) и (1.6), умножим правую часть выражения (1.5) на выражение $(\bar{Q}_{3t} + Q_{3t})$. Тогда

$$Q_{3t+1} = Q_{2t} (\bar{Q}_{3t} + Q_{3t}) = Q_{2t} \bar{Q}_{3t} + Q_{2t} Q_{3t}. \quad (1.7)$$

Сравнивая выражение (1.7) с характеристическим уравнением (1.3) JK -триггера, находим, что

$$J_3 = Q_{2t}, \quad K_3 = \bar{Q}_{2t}. \quad (1.8)$$

Таким образом, на вход J_3 триггера Q_3 надо подать сигнал с прямого выхода триггера Q_2 , а на вход K_3 надо подать сигнал с инверсного выхода триггера Q_2 .

Оба метода дают одинаковые результаты.

Для верификации работоспособности полученной схемы ее моделируют в программной среде Multisim 10.1. Техника сборки модели синхронного КЦА приведена в приложении 2. Для наладки модели используют контрольные сигналы, позволяющие осуществить полный контроль работоспособности схемы. Разработка контрольных сигналов выполняется с учетом функциональных особенностей проектируемого устройства. (Проведение диагностики с помощью контрольных сигналов рассматривается в примере выполнения домашнего задания.)

После определения внутренних логических связей для управляющих входов и проведения верификации работоспособности синхронного КЦА необходимо начертить его электрическую схему с использованием ИМС массового производства. В дальнейшем электрическая схема используется для изготовления печатной платы цифрового устройства. Микросхемы подбирают по справочникам.

Контрольные вопросы и задания

1. Для каких целей используется синхронный конечный цифровой автомат?
2. Какие параметры могут изменяться в таком автомате? Чем определяется состояние (mod M) счетчика?
3. Какую функцию в синхронном конечном автомате выполняют триггеры?
4. Составьте характеристическое уравнение для JK -триггера, приведите пример его использования.
5. Для чего предназначены асинхронные входы в универсальных триггерах?
6. Составьте характеристическое уравнение для D -триггера, приведите пример его использования.
7. Что такое характеристическая таблица переходов триггера?
8. Используя характеристическое уравнение JK -триггера, составьте его характеристическую таблицу.
9. Используя характеристическое уравнение D -триггера, составьте его характеристическую таблицу.
10. Что такое граф триггера?
11. Нарисуйте граф JK -триггера.
12. Нарисуйте временную диаграмму, поясняющую работу синхронного JK -триггера.
13. Объясните метод проектирования синхронного конечного цифрового автомата через характеристическое уравнение триггера.
14. Объясните метод проектирования синхронного конечного цифрового автомата, используя его характеристическую таблицу.
15. Для чего разрабатываются тестовые сигналы при проектировании счетчика?

2. Поэтапный синтез синхронного конечного цифрового автомата

2.1. Блок-схема синхронного конечного цифрового автомата и его граф

Синхронный КЦА состоит непосредственно из цифрового устройства, содержащего набор триггеров, блок генерации управляющих сигналов, блок установки начальных условий (рис. 2.1).



Рис. 2.1. Блок-схема синхронного конечного цифрового автомата:
 Q_{1r} — младший разряд; Q_{2r} — средний разряд; Q_{3r} — старший разряд

Блок генерирования управляющих сигналов является генератором прямоугольных синхроимпульсов CLK , по переднему фронту которых синхронный КЦА изменяет свое внутреннее состояние и может работать в автономном и в ожидающем режимах или в режиме синхронизации от внешних сигналов, что позволяет изменять временную последовательность появления синхроимпульсов CLK в соответствии с технологическим процессом. Блок установки начальных условий — это источник напряжения высокого уровня (+5 В). На рис. 2.2 приведен граф функционирования синхронного автомата КЦА.

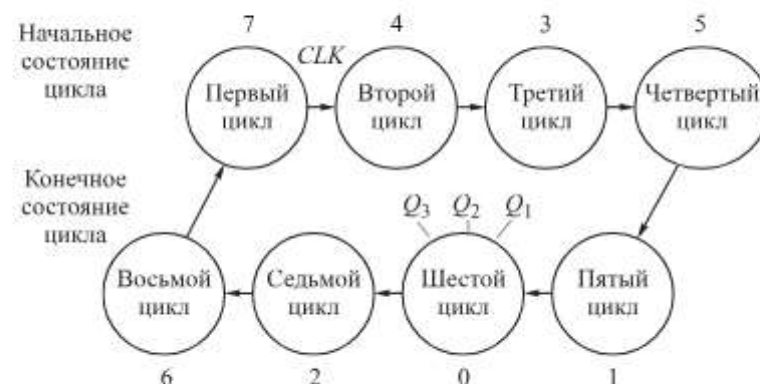


Рис. 2.2. Граф функционирования проектируемого синхронного конечного цифрового автомата

2.2. Этапы синтеза

Этап 1. Составление таблицы переходов

Таблица переходов КЦА с восемью устойчивыми состояниями проектируемого синхронного КЦА (mod 8) (табл. 2.1), в которой для каждого триггера предусмотрены столбцы Q_i и Q_{i+1} , составляется следующим образом. В ней отображаются текущее и после-

Таблица 2.1

Состояния триггеров синхронного конечного цифрового автомата (mod 8) для заданного цикла его работы

Последовательность чисел	Состояние триггеров					
	Q_{3r}	Q_{2r}	Q_{1r}	Q_{3r+1}	Q_{2r+1}	Q_{1r+1}
7	1	1	1	1	0	0
4	1	0	0	0	1	1
3	0	1	1	1	0	1
5	1	0	1	0	0	1
1	0	0	1	0	0	0
0	0	0	0	0	1	0
2	0	1	0	1	1	0
6	1	1	0	1	1	1

дующее состояния триггеров при подаче на них каждого синхροимпульса. В качестве булевой функции здесь выступают переменные, представленные в столбцах Q_{3t+1} , Q_{2t+1} , Q_{1t+1} , аргументами которых являются наборы значений переменных, представленных в столбцах Q_{3t} , Q_{2t} и Q_{1t} соответственно.

Начальное состояние синхронного КЦА 111 отображено в первой строке табл. 2.1 для момента времени t . После подачи первого синхροимпульса CLK в момент времени $t+1$ синхронный КЦА должен перейти в состояние 100. После подачи восьмого синхροимпульса синхронный КЦА должен вернуться в исходное состояние, т. е. к окончанию цикла работы синхронного КЦА. Затем цикл работы автомата повторяется. Столбцы Q_{3t+1} , Q_{2t+1} , Q_{1t+1} формируются по значениям столбцов Q_{3t} , Q_{2t} и Q_{1t} соответственно путем записи требуемого следующего значения в каждом столбце. Заполненная табл. 2.1 однозначно определяет требуемую функцию синхронного КЦА. Воспользуемся вторым методом синтеза синхронного КЦА.

Этап 2. Составление логических уравнений

Запишем логические уравнения функционирования синхронного КЦА, составленные по табл. 1.2 состояний триггеров с использованием второго способа синтеза:

$$\begin{aligned} Q_{3t+1} &= Q_{3t} Q_{2t} Q_{1t} + \bar{Q}_{3t} Q_{2t} Q_{1t} + \bar{Q}_{3t} Q_{2t} \bar{Q}_{1t} + Q_{3t} Q_{2t} \bar{Q}_{1t}; \\ Q_{2t+1} &= Q_{3t} \bar{Q}_{2t} \bar{Q}_{1t} + \bar{Q}_{3t} \bar{Q}_{2t} \bar{Q}_{1t} + \bar{Q}_{3t} Q_{2t} \bar{Q}_{1t} + Q_{3t} Q_{2t} \bar{Q}_{1t}; \\ Q_{1t+1} &= Q_{3t} \bar{Q}_{2t} \bar{Q}_{1t} + \bar{Q}_{3t} Q_{2t} Q_{1t} + Q_{3t} \bar{Q}_{2t} Q_{1t} + Q_{3t} Q_{2t} \bar{Q}_{1t}. \end{aligned} \quad (2.1)$$

Минимизируем логические функции (2.1) с помощью карт Карно. Составим карту Карно для функции Q_{3t+1} (рис. 2.3).

	$Q_{2t} Q_{1t} \quad Q_{3t+1}$			
Q_{3t}	00	01	11	10
0	0	0	1	1
1	0	0	1	1

$Q_{3t+1} = Q_{2t}$

Рис. 2.3. Карта Карно для функции Q_{3t+1}

Составим карту Карно для функции Q_{2t+1} (рис. 2.4).

	$Q_{2t} Q_{1t} \quad Q_{2t+1}$			
Q_{3t}	00	01	11	10
0	1	0	0	1
1	1	0	0	1

$Q_{2t+1} = \bar{Q}_{1t}$

Рис. 2.4. Карта Карно для функции Q_{2t+1}

Составим карту Карно для функции Q_{1t+1} (рис. 2.5).

	$Q_{2t} Q_{1t} \quad Q_{1t+1}$			
Q_{3t}	00	01	11	10
0	0	0	1	0
1	1	1	0	1

$Q_{1t+1} = Q_{3t} \bar{Q}_{2t} + Q_{3t} \bar{Q}_{1t} + \bar{Q}_{3t} Q_{2t} \bar{Q}_{1t}$

Рис. 2.5. Карта Карно для функции Q_{1t+1}

В результате получаем систему минимизированных логических уравнений функционирования синхронного КЦА:

$$\begin{aligned} Q_{3t+1} &= Q_{2t}; \\ Q_{2t+1} &= \bar{Q}_{1t}; \\ Q_{1t+1} &= Q_{3t} \bar{Q}_{2t} + Q_{3t} \bar{Q}_{1t} + \bar{Q}_{3t} Q_{2t} \bar{Q}_{1t}. \end{aligned} \quad (2.2)$$

Следовательно, можно приступить к синтезу синхронного КЦА на разных типах универсальных триггеров, используя систему логических уравнений (2.2) функционирования автомата.

Этап 3. Проектирование синхронного конечного цифрового автомата, синтезированного на универсальных триггерах

Синхронный конечный цифровой автомат, синтезированный на универсальных JK-триггерах. Характеристическое уравнение для JK-триггера имеет вид

$$Q_{i+1} = J\bar{Q}_i + \bar{K}Q_i. \quad (2.3)$$

Таким образом, для трех триггеров получаем три характеристических уравнения:

$$\begin{aligned} Q_{3i+1} &= J_3\bar{Q}_{3i} + \bar{K}_3Q_{3i}; \\ Q_{2i+1} &= J_2\bar{Q}_{2i} + \bar{K}_2Q_{2i}; \\ Q_{1i+1} &= J_1\bar{Q}_{1i} + \bar{K}_1Q_{1i}. \end{aligned} \quad (2.4)$$

Определяем логические связи путем сравнения коэффициентов системы логических уравнений (2.2) и (2.4) в выражениях для Q_{i+1} каждого триггера. Например, запишем уравнение синхронного КЦА для третьего триггера из системы уравнений (2.2):

$$Q_{3i+1} = Q_{2i} \quad (2.5)$$

и сравним его с характеристическим уравнением из системы уравнений (2.4):

$$Q_{3i+1} = J_3\bar{Q}_{3i} + \bar{K}_3Q_{3i}. \quad (2.6)$$

Прямое сравнение уравнений (2.5) и (2.6) не позволяет сразу найти соотношения между коэффициентами, так как в уравнении (2.5) нет переменной Q_{3i} , которая есть в характеристическом уравнении (2.4) триггера.

Для удобства нахождения логической связи между коэффициентами уравнений (2.4) и (2.5) умножим уравнения синхронного КЦА на выражение $(Q_{3i} + \bar{Q}_{3i})$, которое не изменяет исходного выражения, поскольку оно тождественно равно единице. Затем раскроем скобки и проведем перегруппировку членов так, чтобы получить выражение, подобное характеристическому уравнению триггера:

$$Q_{3i+1} = Q_{2i}\bar{Q}_{3i} + Q_{2i}Q_{3i}. \quad (2.7)$$

Отсюда можно легко найти связь между коэффициентами уравнений (2.6) и (2.7):

$$J_3 = Q_{2i}; \quad K_3 = \bar{Q}_{2i}. \quad (2.8)$$

Аналогично находим выражения для входа второго триггера, умножив \bar{Q}_{1i} на выражение $(Q_{2i} + \bar{Q}_{2i})$:

$$J_{2i} = \bar{Q}_{1i}; \quad K_{2i} = Q_{1i}. \quad (2.9)$$

Также находим выражение для входа первого триггера:

$$Q_{1i+1} = \bar{Q}_{3i}Q_{2i}Q_{1i} + Q_{3i}\bar{Q}_{2i} + Q_{3i}Q_{1i}. \quad (2.10)$$

Умножим второй член уравнения (2.10) на выражение $(Q_{1i} + \bar{Q}_{1i})$, проведем преобразования и получим:

$$J_{1i} = Q_{3i}; \quad K_{1i} = \overline{Q_{2i}\bar{Q}_{3i} + \bar{Q}_{2i}Q_{3i}}. \quad (2.11)$$

Запишем найденные значения для всех триггеров в виде системы уравнений:

$$\begin{aligned} J_{3i} &= Q_{2i}; \quad K_{3i} = \bar{Q}_{2i}; \\ J_{2i} &= \bar{Q}_{1i}; \quad K_{2i} = Q_{1i}; \\ J_{1i} &= Q_{3i}; \quad K_{1i} = \overline{Q_{2i}\bar{Q}_{3i} + \bar{Q}_{2i}Q_{3i}} = \overline{Q_{2i}\bar{Q}_{3i}} \cdot \overline{\bar{Q}_{2i}Q_{3i}}. \end{aligned} \quad (2.12)$$

Полученная система логических уравнений (2.12) позволяет приступить к сборке модели синхронного счетчика в компьютерной программе Multisim 10.1 для разработки контрольных сигналов и их временных характеристик и проведения верификации работоспособности синтезированного синхронного КЦА.

Синхронный конечный цифровой автомат, синтезированный на универсальных D-триггерах. Характеристическое уравнение D-триггера имеет вид

$$Q_{i+1} = D. \quad (2.13)$$

В соответствии с системой уравнений (2.2) уравнения проектируемого синхронного КЦА (2.13) для входной логики управления триггерами можно записать в виде

$$\begin{aligned} Q_{3i+1} &= D_3 = Q_{2i}; \\ Q_{2i+1} &= D_2 = \bar{Q}_{1i}; \\ Q_{1i+1} &= D_1 = Q_{3i}\bar{Q}_{2i} + Q_{3i}\bar{Q}_{2i} + \bar{Q}_{2i}Q_{3i}. \end{aligned} \quad (2.14)$$

Синтез синхронного КЦА на D-триггере проводится по уравнениям (2.14).

3. Синтез синхронного конечного цифрового автомата и его верификация

3.1. Разработка контрольных сигналов и построение временных характеристик синхронного конечного цифрового автомата

Синхронный конечный цифровой автомат, синтезированный на универсальных JK -триггерах. При верификации работоспособности синтезированного синхронного КЦА или при проведении диагностики неисправности уже работавшего устройства необходимо иметь контрольные сигналы, которые помогли бы быстро обнаружить ошибку или неисправность и, соответственно, быстро ее устранить. В синхронном автомате на JK -триггерах к таким сигналам можно отнести сигналы на управляющих входах триггеров: J - и K -входах. Для этого следует составить таблицу контрольных сигналов и по ней построить временные характеристики работы синхронного КЦА, характерной особенностью которого является правильная последовательность управляющих сигналов на входах J и K всех триггеров. Значения сигналов J и K каждого триггера после установки начального значения и сигналов переходов рассчитаем с помощью уравнений (2.12) функционирования автомата:

$$\begin{aligned} J_{3i} &= Q_{2i}; \quad K_{3i} = \bar{Q}_{2i}; \\ J_{2i} &= Q_i; \quad K_{2i} = Q_i; \\ J_{1i} &= Q_{3i}; \quad K_{1i} = \bar{Q}_{2i}\bar{Q}_{3i} \quad \bar{Q}_{2i}Q_{3i}. \end{aligned} \quad (3.1)$$

Состояния триггеров и управляющих сигналов в соответствии с системой уравнений (3.1) сведены в табл. 3.1. По системе уравнений (3.1) синтезирован синхронный КЦА (рис. 3.1), на рис. 3.2 представлены соответствующие временные диаграммы работы

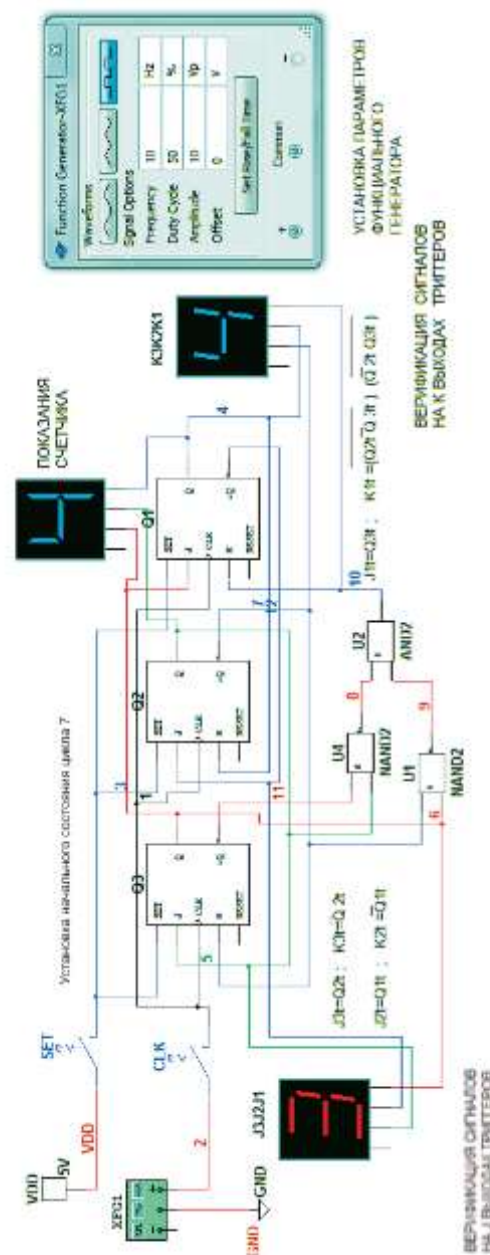


Рис. 3.1. Схема синхронного конечного цифрового автомата на JK -триггерах в программной среде Multisim 10.1

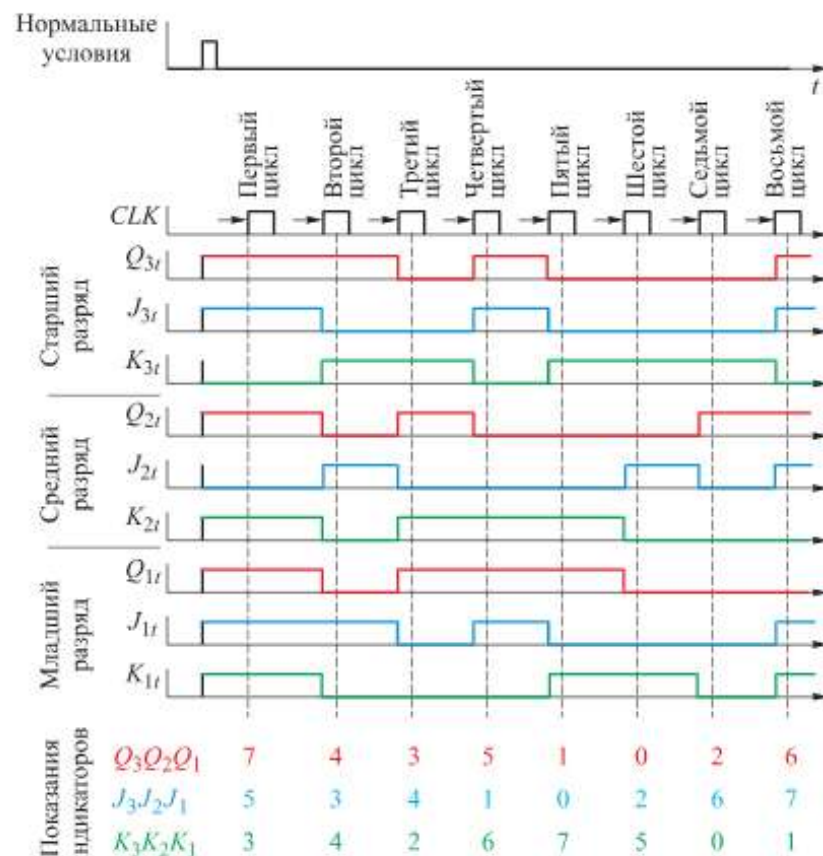


Рис. 3.2. Временная диаграмма работы синхронного JK -триггера, построенная по данным табл. 1.3

синхронного КЦА. Заполнение табл. 3.1 осуществляется следующим образом: для всех триггеров записываем текущие значения уровня напряжения на входах J и K в течение подачи синхроимпульса CLK . Например, для второго цикла (см. рис. 2.2) синхроимпульса CLK текущие значения имеют вид

$$Q_{3t} = 1, Q_{2t} = 0, Q_{1t} = 0(100), \quad (3.2)$$

тогда на входе будет

$$\begin{aligned} J_{3t} = Q_{2t} = 0, K_{3t} = \overline{Q_{2t}} = 1; \\ J_{2t} = \overline{Q_{1t}} = 1, K_{2t} = Q_{1t} = 0; \\ J_{1t} = Q_{3t} = 1, K_{1t} = \overline{Q_{2t}} \overline{Q_{3t}}, \overline{Q_{2t}} \overline{Q_{3t}} = 0. \end{aligned} \quad (3.3)$$

Таблица 3.1

Контрольные сигналы для правильного функционирования синхронного конечного цифрового автомата

Номер цикла	CLK	Состояние триггеров	Состояние входных сигналов			Состояние индикаторов	
		$Q_3Q_2Q_{1t}$	J_3K_3	J_2K_2	J_1K_1	$J_3J_2J_1$	$K_3K_2K_1$
1	—	1 1 1	1 0	0 1	1 1	5	3
2	0 1 1	1 0 0	0 1	1 0	1 0	3	4
3		0 1 1	1 0	0 1	0 0	4	2
4		1 0 1	0 1	0 1	1 0	1	6
5		0 0 1	1 1	0 1	0 1	0	7
6		0 0 0	0 1	1 0	0 1	2	5
7		0 1 0	1 0	1 0	0 0	6	0
8		1 1 0	1 0	1 0	1 1	7	1

Из табл. 3.1 следует, что если рассматривать сигналы на входах $J_3J_2J_1$ и $K_3K_2K_1$ как разряды двоичного числа, то они также будут образовывать некоторую последовательность чисел. В частности, $J_3J_2J_1$ образуют последовательность десятичных чисел 5, 3, 4, 1, 0, 2, 6, 7, а $K_3K_2K_1$ — 3, 4, 2, 6, 7, 5, 0, 1. Поэтому если поставить на эти входы индикаторы (рис. 3.2), то они должны показывать эти последовательности чисел при правильном функционировании синхронного КЦА (см. табл. 3.1).

Контрольные временные характеристики работы синхронного КЦА можно получить с помощью логического анализатора Logic Analyzer XLA 1, который, по существу, является многоручевым осциллографом (рис. 3.3). Сравнивая контрольные сигналы с полученными сигналами, можно определить ошибку, допущенную при синтезе синхронного КЦА, или неисправность работавшего синхронного КЦА.

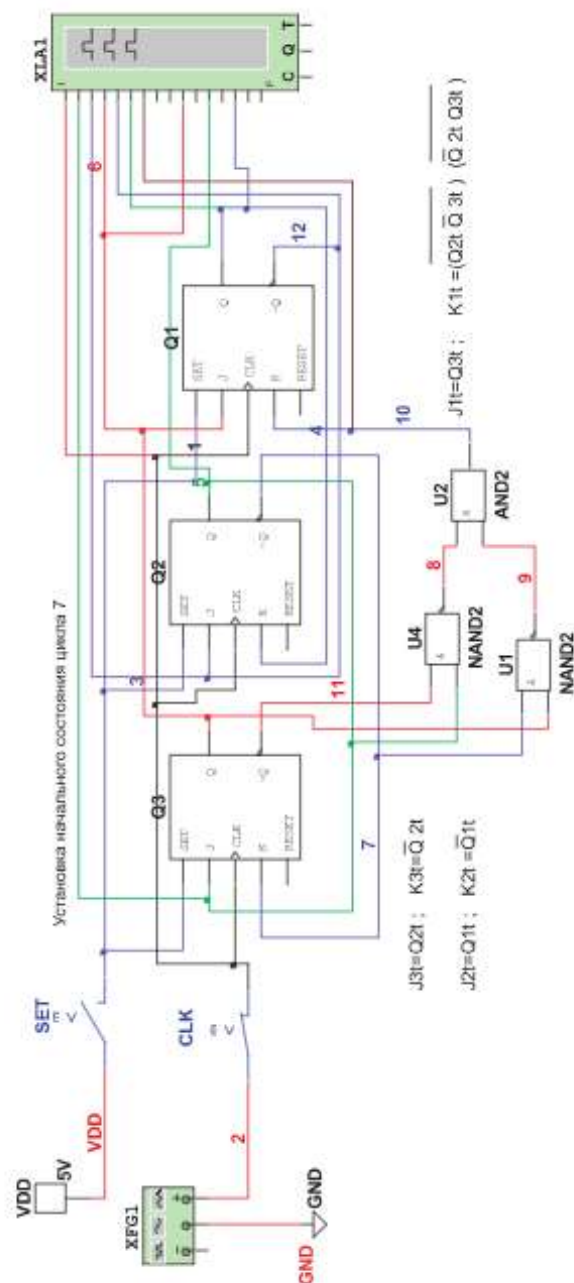


Рис. 3.3. Схема измерения временных диаграмм синхронного конечного цифрового автомата с помощью прибора Logic Analyzer в программной среде Multisim 10.1

Синхронный конечный цифровой автомат, синтезированный на универсальных D -триггерах. В соответствии с системой уравнений (2.14) выражения для входной логики управления триггерами можно представить в виде

$$\begin{aligned} Q_{3t+1} &= D_3 = Q_{2t}; \\ Q_{2t+1} &= D_2 = \bar{Q}_{1t}; \\ Q_{1t+1} &= D_1 = Q_{3t} \bar{Q}_{2t} + Q_{3t} \bar{Q}_{1t} + \bar{Q}_{3t} Q_{2t} Q_{1t}. \end{aligned} \quad (3.4)$$

В соответствии с системой уравнений (3.4) состояния триггеров и управляющих сигналов приведены в табл. 3.2. Например, для второго цикла:

$$\begin{aligned} D_3 &= Q_{2t} = 0; \quad D_2 = \bar{Q}_{1t} = 1; \\ Q_{1t+1} &= D_1 = Q_{3t} \bar{Q}_{2t} + Q_{3t} \bar{Q}_{1t} + \bar{Q}_{3t} Q_{2t} Q_{1t} = 1 \quad (011_2 = 3_{10}). \end{aligned}$$

Таблица 3.2

Тестовые сигналы синхронного конечного цифрового автомата на D -триггерах

Номер такта	CLK	Состояние триггеров	Состояние входных сигналов			Показания индикатора
		$Q_3 Q_2 Q_1$	D_3	D_2	D_1	
(нормальные условия) 1	—	1 1 1	1	0	0	4
2	\square	1 0 0	0	1	1	3
3		0 1 1	1	0	1	5
4		1 0 1	0	0	1	1
5		0 0 1	0	0	0	0
6		0 0 0	0	1	0	2
7		0 1 0	1	1	0	6
8		1 1 0	1	1	1	7

На рис. 3.4 представлены соответствующие расчетные временные диаграммы работы синхронного КЦА, синтезированного на D -триггерах.

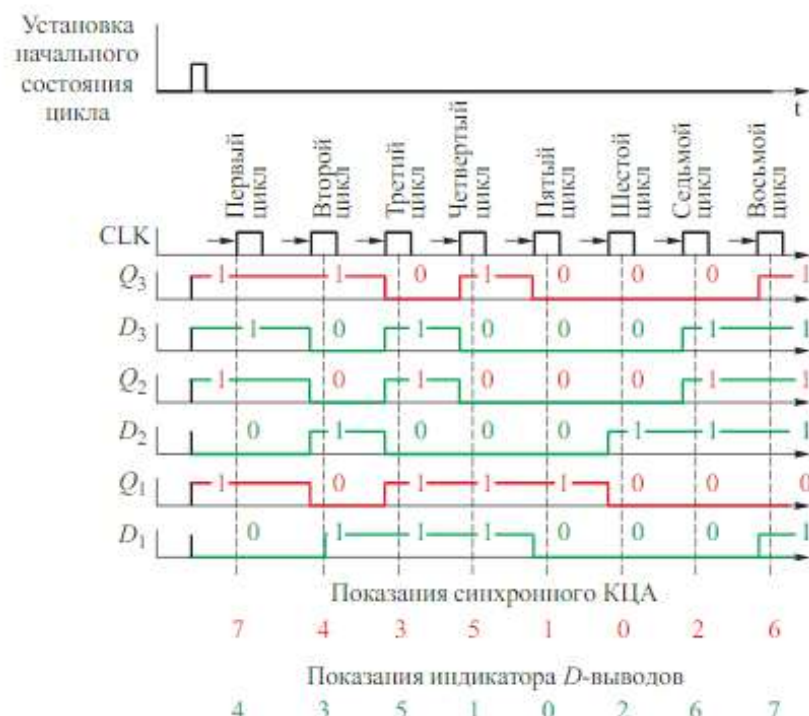


Рис. 3.4. Временная диаграмма работы синхронного конечного цифрового автомата на D -триггерах, построенная по данным табл. 3.2

Полученные таблицы тестовых сигналов можно использовать для верификации синхронного КЦА в программной среде Multisim 10.1.

3.2. Верификация работоспособности синхронного конечного цифрового автомата

Синхронный конечный цифровой автомат, синтезированный на JK -триггерах. Внутренняя логика комбинационного устройства переходов триггеров синтезируется по системе уравнений (2.12) и представлена на рис. 3.1. Техника сборки и проведение моделиро-

вания синтезированного автомата в компьютерной программе Multisim 10.1 приведена в приложении 2. Источник постоянного напряжения $VDD +5 В$ используется для установки синхронного КЦА в начальный код путем подачи этого напряжения на асинхронные входы S -триггеров: Q_1 — младший разряд, Q_2 — средний разряд, Q_3 — старший разряд. В рассматриваемом случае следует установить начальный код синхронного КЦА — $111_2 = 7_{10}$, т. е. на все асинхронные входы S -триггеров Q_3, Q_2, Q_1 подается постоянное напряжение от источника напряжения VDD , и тем самым устанавливаем триггеры в «единичное» состояние. Подача напряжения на асинхронные входы S -триггеров от источника напряжения VDD осуществляется путем замыкания ключа SET . После установки исходного состояния синхронного КЦА ключ SET размыкается. Функциональный генератор XFG1 служит источником синхросигналов с регулируемой частотой их следования. Требуемые параметры синхрои́мпульса устанавливаются в его диалоговом окне, которое появляется после двойного щелчка левой кнопкой мыши по его изображению. Индикаторы $J_3J_2J_1, K_3K_2K_1$ и показания синхронного КЦА используются для проверки его работоспособности и проведения его наладки в случае ошибок при его сборке. После сборки модели в рабочем окне программы Multisim 10.1 необходимо провести верификацию его работоспособности.

Согласно схеме (см. рис. 3.1), синхронный КЦА работает после выполнения следующих действий:

- разомкнуть ключи SET и CLK и запустить процесс моделирования;
- замкнуть ключ SET и установить начальное значение синхронного КЦА, а затем его разомкнуть;
- для начала работы синхронного КЦА замкнуть ключ CLK ;
- для остановки отключить процесс моделирования или разомкнуть ключ CLK .

После того как собрана модель синхронного КЦА в среде Multisim 10.1, необходимо провести верификацию его работоспособности в следующем порядке.

1. Для верификации проверяют правильность функционирования синхронного КЦА по индикатору показаний синхронного КЦА $Q_3Q_2Q_1$ в соответствии с табл. 3.1 и по индикаторам $J_3J_2J_1$ и $K_3K_2K_1$ (табл. 3.3).

Если показания индикатора не совпадают с расчетными, то необходимо провести диагностику его функционирования в соот-

Таблица 3.3

Состояния триггера и показания индикаторов для всех циклов синхронного конечного цифрового автомата, синтезированного на *JK*-триггерах

Состояния		Номер цикла							
		пер- вый	вто- рой	тре- тий	чет- вер- тый	пя- тый	шес- той	силь- мой	вось- мой
Триг- геры	$Q_2Q_1Q_0$	7	4	3	5	1	0	2	6
Ин- дика- торы	$J_3J_2J_1$	5	3	4	1	0	2	6	7
	$K_3K_2K_1$	3	4	2	6	7	5	0	1

ветствии с контрольными сигналами и временной диаграммой функционирования автомата.

Верификация синхронного КЦА на работоспособность в компьютерной программе показала, что он функционирует в соответствии с заданием.

2. Верификация с помощью непосредственного измерения осциллограмм на этих выходах осуществляется с помощью Logic Analyzer, представленного на рис. 3.3.

Временные диаграммы, полученные с помощью логического анализатора, приведены на рис. 3.5.

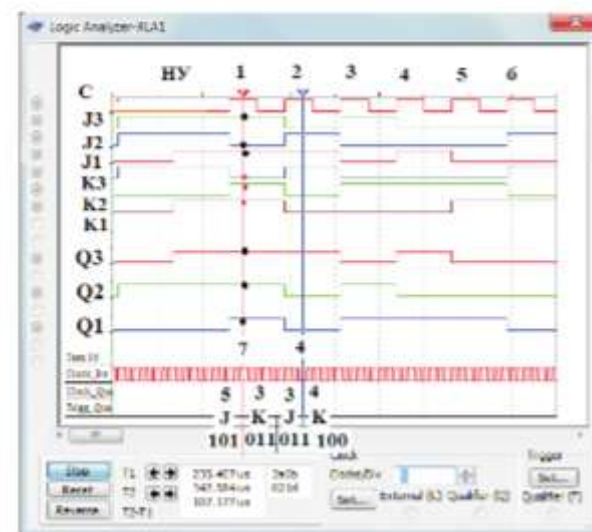
Верификация работоспособности синхронного КЦА, проведенная по показаниям индикаторов и осциллограммам его функционирования, полученным с помощью логического анализатора, показывает, что автомат работает правильно.

В случае если верификация работоспособности синхронного КЦА не подтвердила правильность его функционирования, следует провести диагностику его работы.

Синхронный конечный цифровой автомат, синтезированный на *D*-триггерах. Характеристическое уравнение *D*-триггера имеет вид

$$Q_{i+1} = D. \quad (3.5)$$

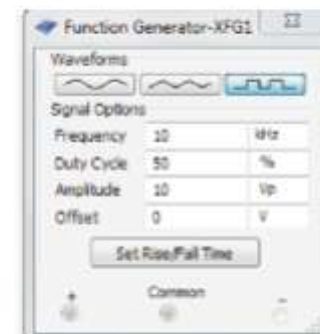
В соответствии с системой уравнений (3.2) выражения для входной логики управления триггерами можно записать в виде



а



б



в

Рис. 3.5. Осциллограммы (а) логического анализатора Logic Analyzer XLA1, параметры установки Logic Analyzer (б) и функционального генератора XFG1 (в)

$$\begin{aligned}
 Q_{3i+1} &= D_3 = Q_{2i}; \\
 Q_{2i+1} &= D_2 = \bar{Q}_{1i}; \\
 Q_{1i+1} &= D_1 = Q_{3i}\bar{Q}_{2i} + Q_{3i}\bar{Q}_{1i} + \bar{Q}_{3i}Q_{2i}Q_{1i}.
 \end{aligned}
 \quad (3.6)$$

Схема модели синхронного КЦА, синтезированная в среде Multisim10.1 по найденным логическим связям для D -триггеров, приведена на рис. 3.6. Модель работает следующим образом:

- разомкнуть ключи SET и CLK и запустить процесс моделирования;
- замкнуть ключ SET и установить начальное значение счетчика, а затем его разомкнуть;
- для начала процесса счета нужно замкнуть ключ CLK ;
- для остановки процесса моделирования отключается процесс моделирования.

Верификация работоспособности синхронного КЦА проводится двумя способами:

- 1) с помощью индикатора работы синхронного КЦА и индикатора, прикрепленного к D -входам каждого триггера (см. рис. 3.6); показания этих индикаторов записываются в табл. 3.4;
- 2) посредством осциллограмм, полученных с помощью логического анализатора Logic Analyzer (рис. 3.7).

Верификация работоспособности синхронного КЦА, проведенная по показаниям индикаторов и осциллограммам его функционирования, полученным с помощью логического анализатора, показывает, что синхронный КЦА работает правильно (рис. 3.8).

Таблица 3.4

Состояния триггера и показания индикатора для всех циклов синхронного конечного цифрового автомата, синтезированного на D -триггерах

Состояния		Номер цикла							
		пер- вый	вто- рой	тре- тий	чет- вер- тый	пятый	шес- той	седь- мой	вось- мой
Триг- геры	$Q_3Q_2Q_1$	7	4	3	5	1	0	2	6
Ин- дика- тор	$D_3D_2D_1$	4	3	5	1	0	2	6	7

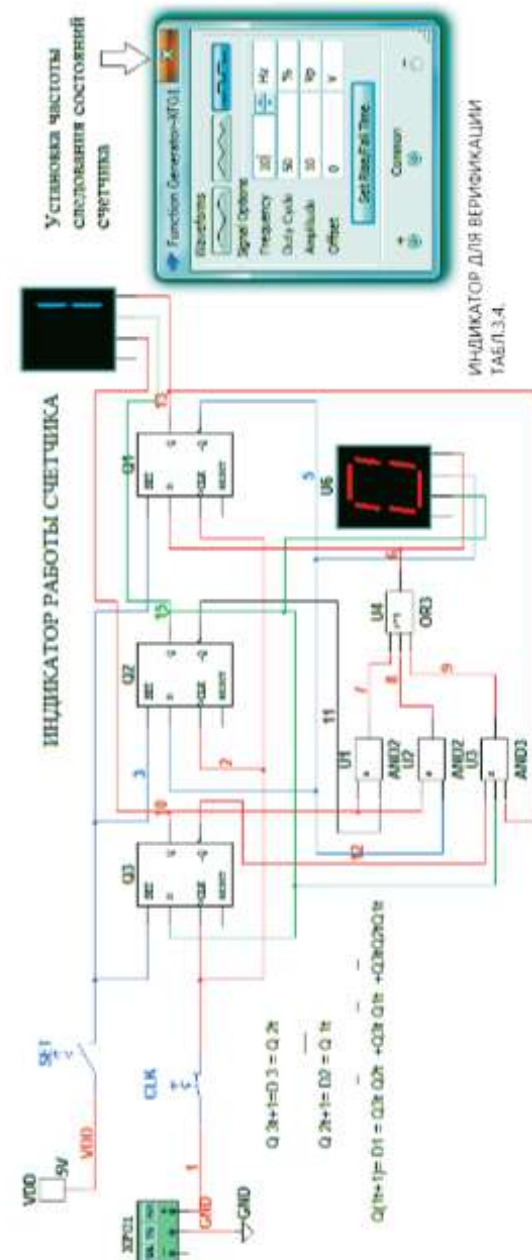


Рис. 3.6. Схема модели синхронного конечного цифрового автомата, синтезированного на D -триггерах, в программной среде Multisim 10.1

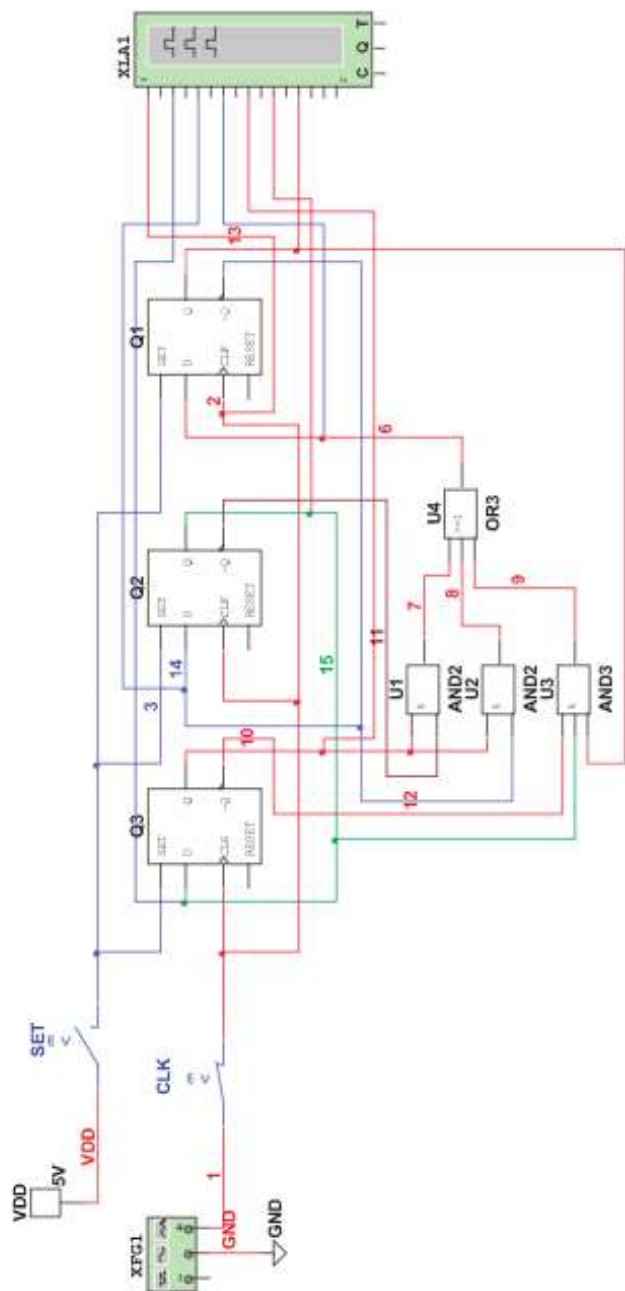
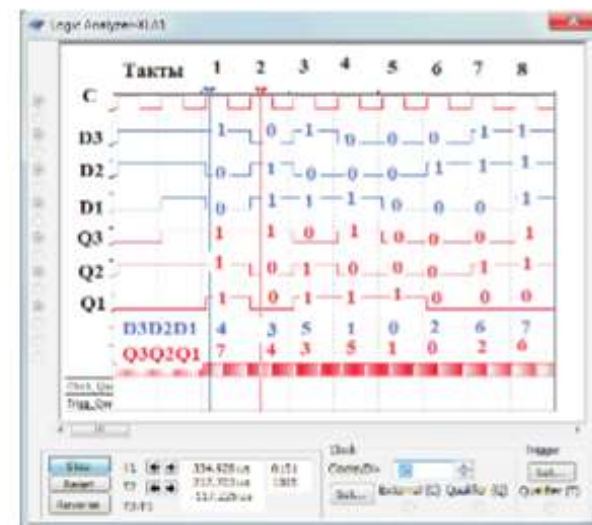
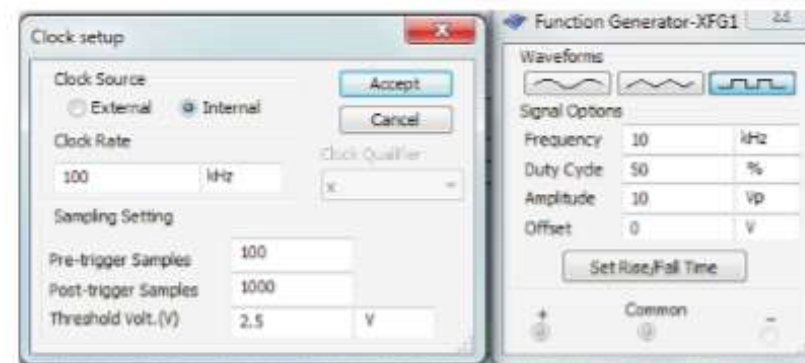


Рис. 3.7. Схема модели синхронного конечного автомата с присоединенным прибором XLA1 (Logic Analyzer)



а



б

в

Рис. 3.8. Осциллограммы логического анализатора (а) с установленными параметрами функционального генератора XFG1 (б) и Logic Analyzer (в)

В случае если верификация работоспособности автомата не подтвердила правильность его функционирования, следует провести диагностику его работы.

После проведения верификации синхронного КЦА приступим к составлению его электрической схемы.

3.3. Электрическая схема синхронного конечного цифрового автомата

После проведения верификации работоспособности спроектированного синхронного КЦА приступают к выполнению его электрической схемы, которая потом будет использоваться при создании печатной платы для изготовления автомата. На рис. 3.9 представлены примеры ИМС, которые можно использовать для изготовления автомата.

Пример электрической схемы синхронного КЦА, синтезированного на *D*-триггерах, приведен на рис. 3.10.

Правила выполнения электрических схем цифровой электроники и их разновидности изложены в ГОСТ 2.702—2011 и ГОСТ 2.708—81.

Схема электрическая — документ, содержащий в виде условных изображений или обозначений составные части цифрового устройства и их взаимосвязи.

Схемы электрические подразделяются на структурные, функциональные, принципиальные, схемы соединений, схемы подключения, общие и схемы расположения. Они могут быть выполнены в бумажном и (или) электронном виде.

Схема электрическая принципиальная — это наиболее подробная схема. Она позволяет полностью воспроизвести цифровое устройство. На ней изображают все электрические элементы или устройства, необходимые для изготовления и контроля в изделии заданных электрических процессов, все электрические связи между ними, а также электрические элементы (соединители, разъемы, зажимы и т. п.), которыми заканчиваются входные и выходные цепи. Все узлы, блоки, элементы, микросхемы изображают в виде прямоугольников с соответствующими надписями, все связи между ними, все передаваемые сигналы — в виде линий, соединяющих эти прямоугольники. При необходимости на поле схемы помещают соответствующие пояснения.

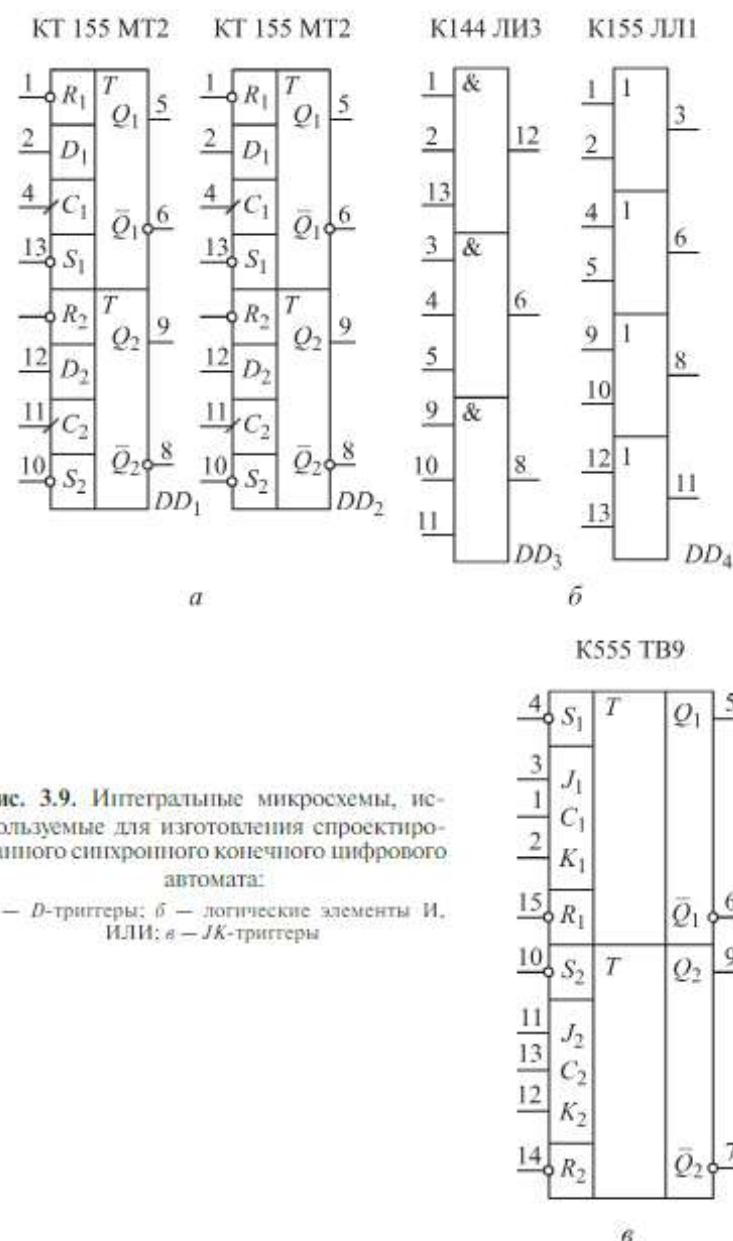


Рис. 3.9. Интегральные микросхемы, используемые для изготовления спроектированного синхронного конечного цифрового автомата:
а — *D*-триггеры; б — логические элементы И, ИЛИ; в — *JK*-триггеры

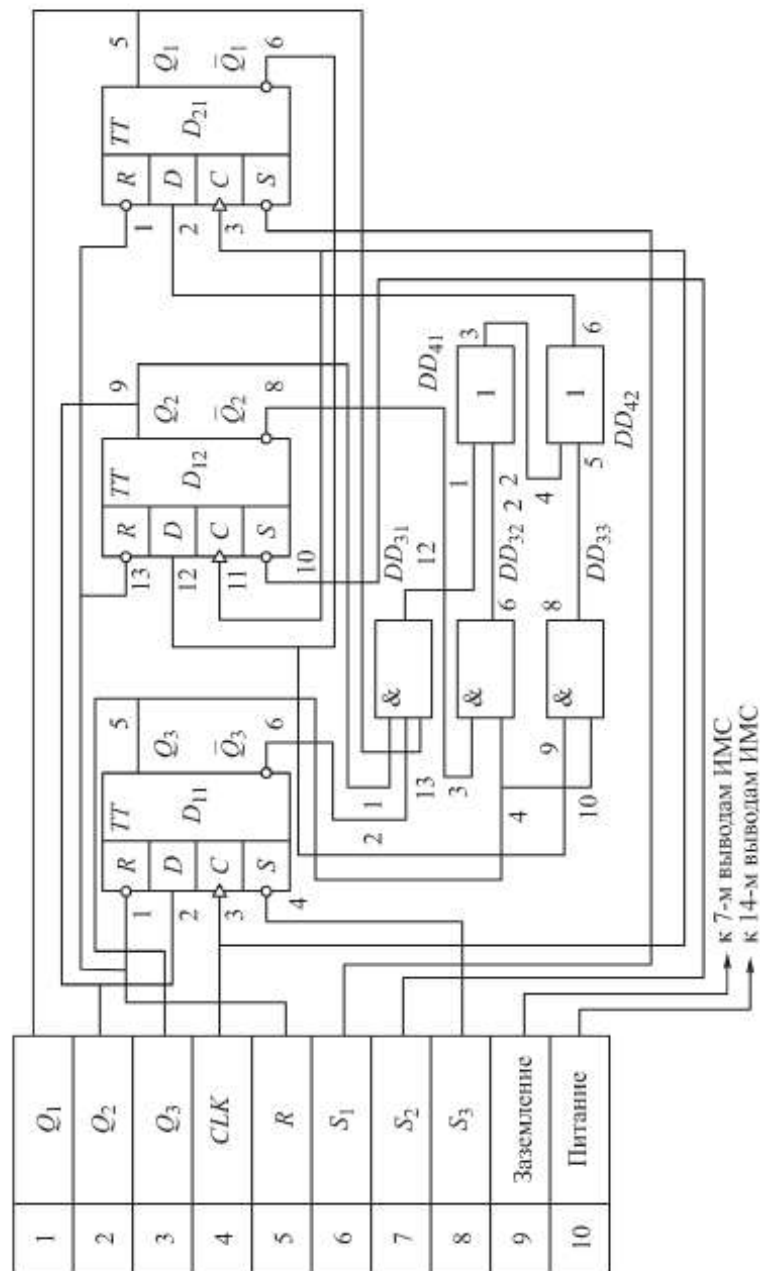


Рис. 3.10. Электрическая схема синхронного конечного цифрового автомата (обозначения приведены на рис. 3.9)

3.4. Пример диагностики работы синхронного конечного цифрового автомата

На модели (рис. 3.11) отсоединяем вход K_3 триггера T_3 , который ранее был присоединен к выходу \bar{Q}_2 триггера T_2 .

Подсоединим его к выходу \bar{Q}_3 триггера T_3 (рис. 3.12).

Составим таблицу (табл. 3.5) индикаторов работы синхронного автомата для схемы, представленной на рис. 3.12.

Из табл. 3.5 видно, что у синхронного КЦА цикл сократился до двух цифр 7, 4 вместо 7, 4, 3, 5, 1, 0, 2, 6 по заданию.

Проведем анализ: на какой из входов какого триггера поступает ошибочный сигнал. Для этого сравним табл. 3.5 с табл. 3.6. Сбой происходит на втором цикле синхронимпульса.

Сравниваемые данные переходов из табл. 3.5 и 3.6 для правильно функционирующего синхронного КЦА и ошибочно функционирующего синхронного КЦА представим в двоичном коде (табл. 3.7).

В правильно функционирующем синхронном КЦА должны следовать переходы со второго цикла на третий: $Q_3(1 \rightarrow 0)$, $Q_2(0 \rightarrow 1)$, $Q_1(0 \rightarrow 1)$, при этом сигналы на JK -входах триггеров должны быть $J_3K_3(X, 1)$, $J_2K_2(1, X)$, $J_1K_1(1, X)$; однако имеются $Q_3(1 \rightarrow 1)$, $Q_2(0 \rightarrow 1)$, $Q_1(0 \rightarrow 1)$ и $J_3K_3(X, 0)$, $J_2K_2(1, X)$, $J_1K_1(1, X)$. Из сравнения полученных результатов следует, что на втором цикле ошибочный сигнал подается на вывод K_3 триггера T_3 .

Проверяем, откуда подается сигнал Q_3 , и исправляем ошибку. Автомат начинает правильно функционировать.

Следовательно, предложенный поэтапный метод синтеза синхронного КЦА позволяет создавать автомат, работающий по заданному алгоритму. Расчет контрольных сигналов и построение временных характеристик дают возможность существенно сокращать время наладки при наличии ошибок, допущенных при сборке.