

# Язык описания аппаратуры System\_Verilog

Первый шаг: модуль, testbench,  
скрипт и запуск ModelSim

Профессор Мелентьев О.Г.

# Комбинационная логика

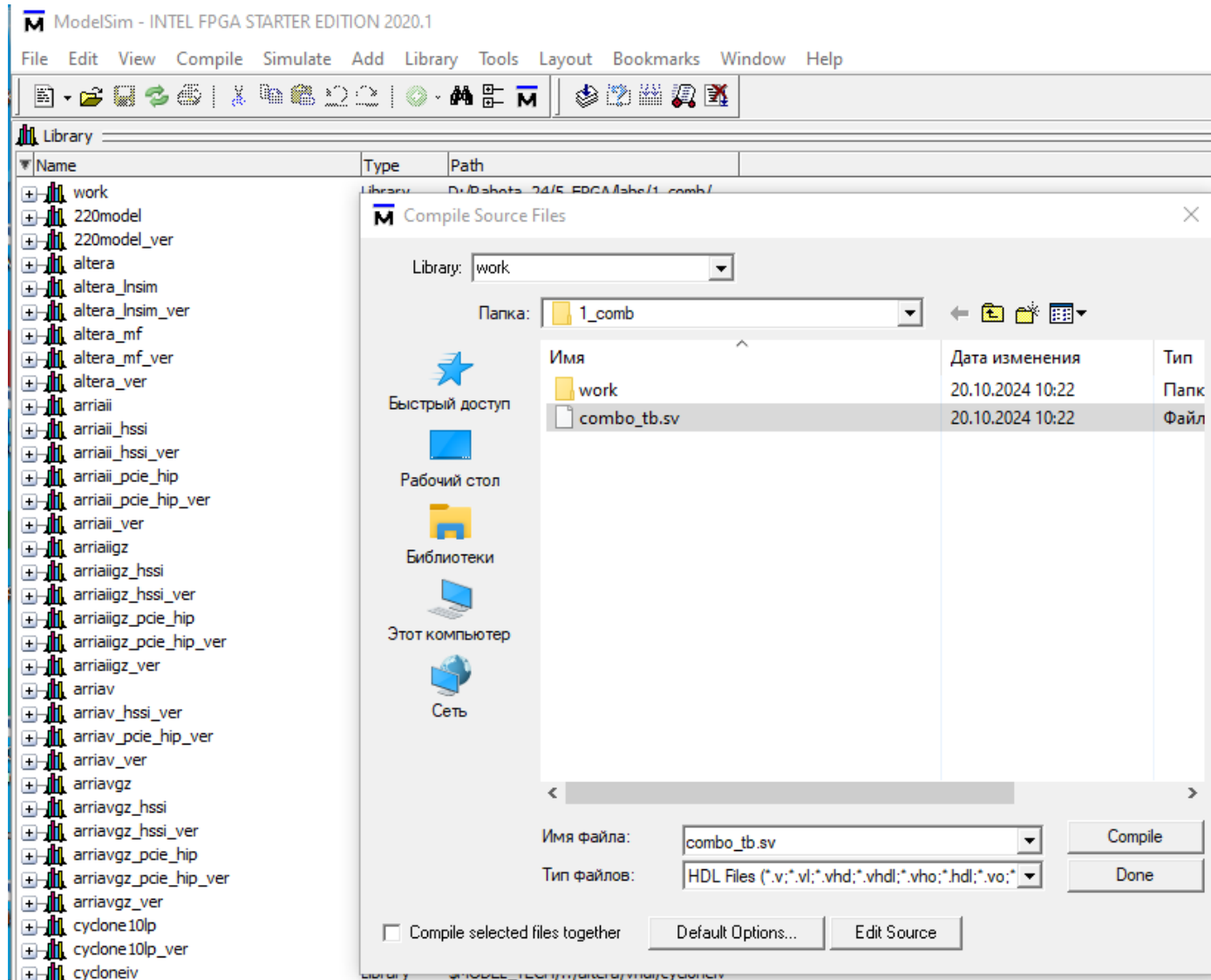
```
module combLogic
(
  input a, b,          //входы
  output [2:0] y        //выходная 3 разрядная шина
);
  assign y[0] = ~ a;    //присваиваем выходному [0] проводу сигнал НЕ a
  assign y[1] = a | b;  //присваиваем выходному [1] проводу сигнал a | b
  assign y[2] = a & b;  //присваиваем выходному [2] проводу сигнал a & b
endmodule
```

# Тестовое окружение

```
module combo_tb #()( );
    logic a, b;
    logic [2:0] out;

    initial begin
        a = 0;
        b = 0;
        #10; a = 1;
        #10; a = 0; b = 1;
        #10; a = 1; b = 1;
        #10; a = 0; b = 0;
        #10;
        $finish;
    end
    combLogic combo (
        .a(a), .b(b),
        .y( out)
    );
endmodule
```

Откомпилировать проект и запустить симуляцию в ModelSim возможно посредством перемещения по графическому интерфейсу, выбору соответствующих папок, файлов, команд, сигналов и т.п.



Нажатие на кнопку **compile** сопровождается выводом в консоль, следующих слов

```
vlog -reportprogress 300 -work work D:/Rabota_24/5_FPGA/labs/1_comb/combo_tb.sv
# Model Technology ModelSim - Intel FPGA Edition vlog 2020.1 Compiler 2020.02 Feb 28 2020
# Start time: 15:05:46 on Oct 20,2024
# vlog -reportprogress 300 -work work D:/Rabota_24/5_FPGA/labs/1_comb/combo_tb.sv
# -- Compiling module combo_tb
# -- Compiling module combLogic
#
# Top level modules:
#     combo_tb
# End time: 15:05:46 on Oct 20,2024, Elapsed time: 0:00:00
# Errors: 0, Warnings: 0
```



Library		
Name	Type	Path

+	work
+	220model
+	220model_v
+	altera
+	altera_insim
+	altera_insim_v
+	altera_mf
+	altera_mf_v
+	altera_ver
+	arriaii
+	arriaii_hssi
+	arriaii_hssi_v
+	arriaii_pcie
+	arriaii_pcie_v
+	arriaii_ver
+	arriaiigz
+	arriaiigz_hs
+	arriaiigz_hs_v
+	arriaiigz_pci
+	arriaiigz_pci_v
+	arriaiigz_ve
+	arriav
+	arriav_hssi
+	arriav_pcie
+	arriav_ver
+	arriavgz
+	arriavgz_hs
+	arriavgz_hs_v
+	arriavgz_pci
+	arriavgz_pci_v
+	arriavgz_ve
+	cydone10lp
+	cydone10lp_v

## Compile Source Files

Library: work

Папка: 1\_comb

Имя

work

combo\_tb.sv

Быстрый доступ

Рабочий стол

Библиотеки

Этот компьютер

Сеть

## Start Simulation

Design VHDL Verilog Libraries SDF Others

Name	Type	Path
work	Library	D:/Rabota_24/5_FPGA/labs
combLogic	Module	D:/Rabota_24/5_FPGA/labs
combo_tb	Module	D:/Rabota_24/5_FPGA/labs
220model	Library	\$MODEL_TECH/../../altera/vhc
220model_ver	Library	\$MODEL_TECH/../../altera/ver
altera	Library	\$MODEL_TECH/../../altera/vhc
altera_insim	Library	\$MODEL_TECH/../../altera/vhc
altera_insim_ver	Library	\$MODEL_TECH/../../altera/ver
altera_mf	Library	\$MODEL_TECH/../../altera/vhc
altera_mf_ver	Library	\$MODEL_TECH/../../altera/ver

Design Unit(s)

work.combo\_tb

Resolution

default

OK

Cancel

Имя файла:

combo\_tb.sv

Compile

Тип файлов:

HDL Files (\*.v;\*.vl;\*.vhd;\*.vhdl;\*.vho;\*.hdl;\*.vo;\*.v

Done

☐ Compile selected files together

Default Options...

Edit Source



ColumnLayout Default



sim - Default

Instance

- combo\_tb
  - combo
    - #INITIAL#5
  - std
  - #vsim\_capacity#

Objects

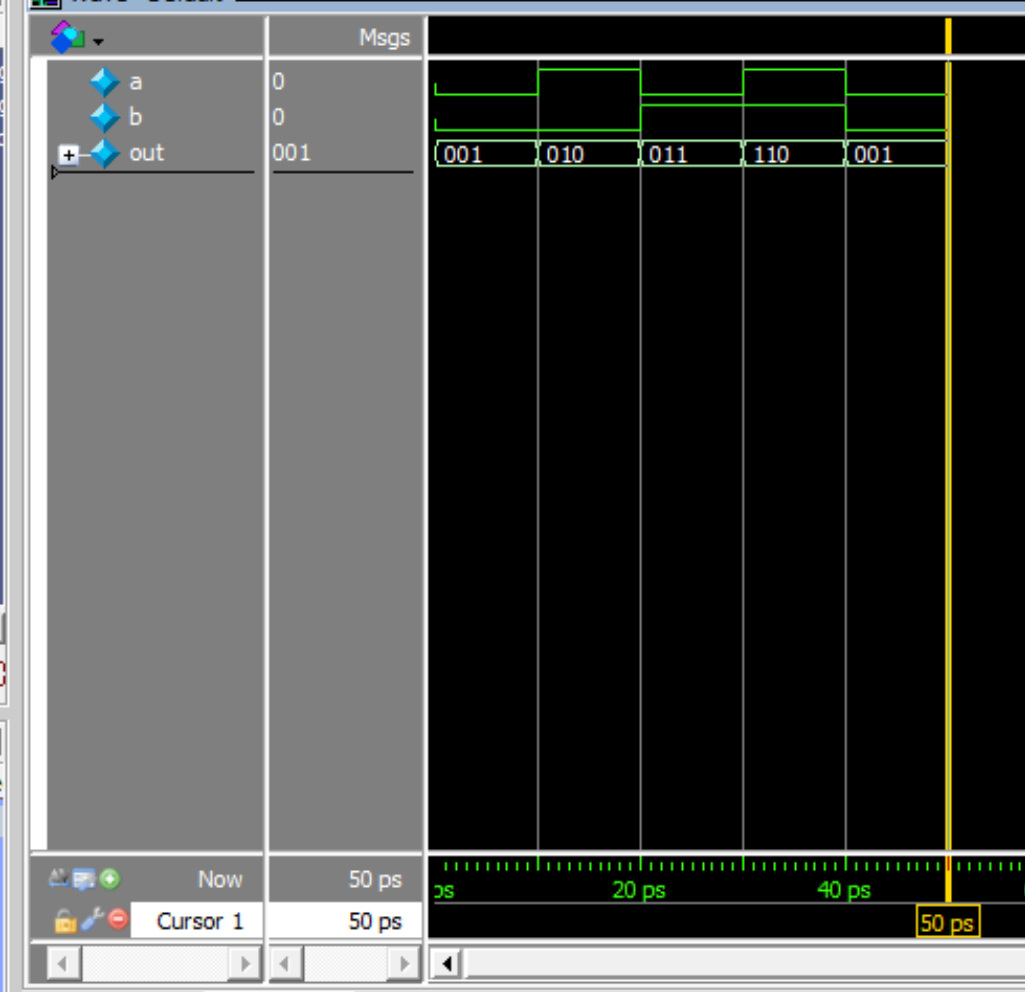
Name	Value	Reg	Now
a	0	Reg	
b	0	Reg	
out	001	Pad	

Find:

Processes (Active)

Name	Type (filter)
#INITIAL#5	Initial

Wave - Default



Library sim Dataflow Wave combo\_tb.sv

Transcript

Нажатия на важные кнопки сопровождаются записью команд в консоли, которые можно записать в отдельные \*.bat или \*.tcl файлы

Transcript

```
ModelSim> vsim -gui work.combo_tb
```

```
# vsim -gui work.combo_tb
# Start time: 14:50:31 on Oct 20, 2024
# Loading sv_std.std
# Loading work.combo_tb
# Loading work.combLogic
# WARNING: No extended dataflow license exists
```

```
add wave -position insertpoint \
sim:/combo_tb/a \
sim:/combo_tb/b \
sim:/combo_tb/out
```

```
# ** Warning: (vsim-WLF-5000) WLF file currently in use: vsim.wlf
#           File in use by:  Hostname: DESKTOP-1EUNA1P ProcessID: 25076
#           Attempting to use alternate WLF file "../wlftsge63y".
# ** Warning: (vsim-WLF-5001) Could not open WLF file: vsim.wlf
#           Using alternate file: ../wlftsge63y
```

```
VSIM 5> restart
```

```
# ** Note: (vsim-12125) Error and warning message counts have been reset to '0' because of 'restart'.
```

```
VSIM 6> run
```

```
# GetModuleFileName:  D:/Rabota_24/5_FPGA/labs/1_comb/combo_tb.sv(14)
```

```
#
#
#           0 a = 0 b = 0 out = [001]
#          10 a = 1 b = 0 out = [010]
#          20 a = 0 b = 1 out = [011]
#          30 a = 1 b = 1 out = [110]
#          40 a = 0 b = 0 out = [001]
```

```
# ** Note: $finish      : D:/Rabota_24/5_FPGA/labs/1_comb/combo_tb.sv(14)
```

```
# Time: 50 ps Iteration: 0 Instance: /combo_tb
```

Создаем папку **work**

Создаем файл **1\_compile.bat**

```
vlog -work work .\combo_tb.sv
```

Создаем файл **2\_add\_wave.tcl**

```
add wave -position insertpoint \  
sim:/combo_tb/combo/*
```

Создаем файл **3\_restart.tcl**

```
restart; run -all  
wave zoom full
```

Создаем файл **4\_run\_gui.bat**

```
vsim -gui work.combo_tb -do "do 2_add_wave.tcl;  
do 3_restart.tcl"
```

# Запускаем компиляцию

```
PS D:\Rabota_24\5_FPGA\labs\1_comb> .\1_compil.bat
```

```
D:\Rabota_24\5_FPGA\labs\1_comb>vlog -work work .\combo_tb.sv
```

```
Model Technology ModelSim - Intel FPGA Edition vlog 2020.1
```

```
Compiler 2020.02 Feb 28 2020
```

```
Start time: 08:57:08 on Oct 20,2024
```

```
vlog -work work .\combo_tb.sv
```

```
-- Compiling module combo_tb
```

```
-- Compiling module combLogic
```

```
Top level modules:
```

```
    combo_tb
```

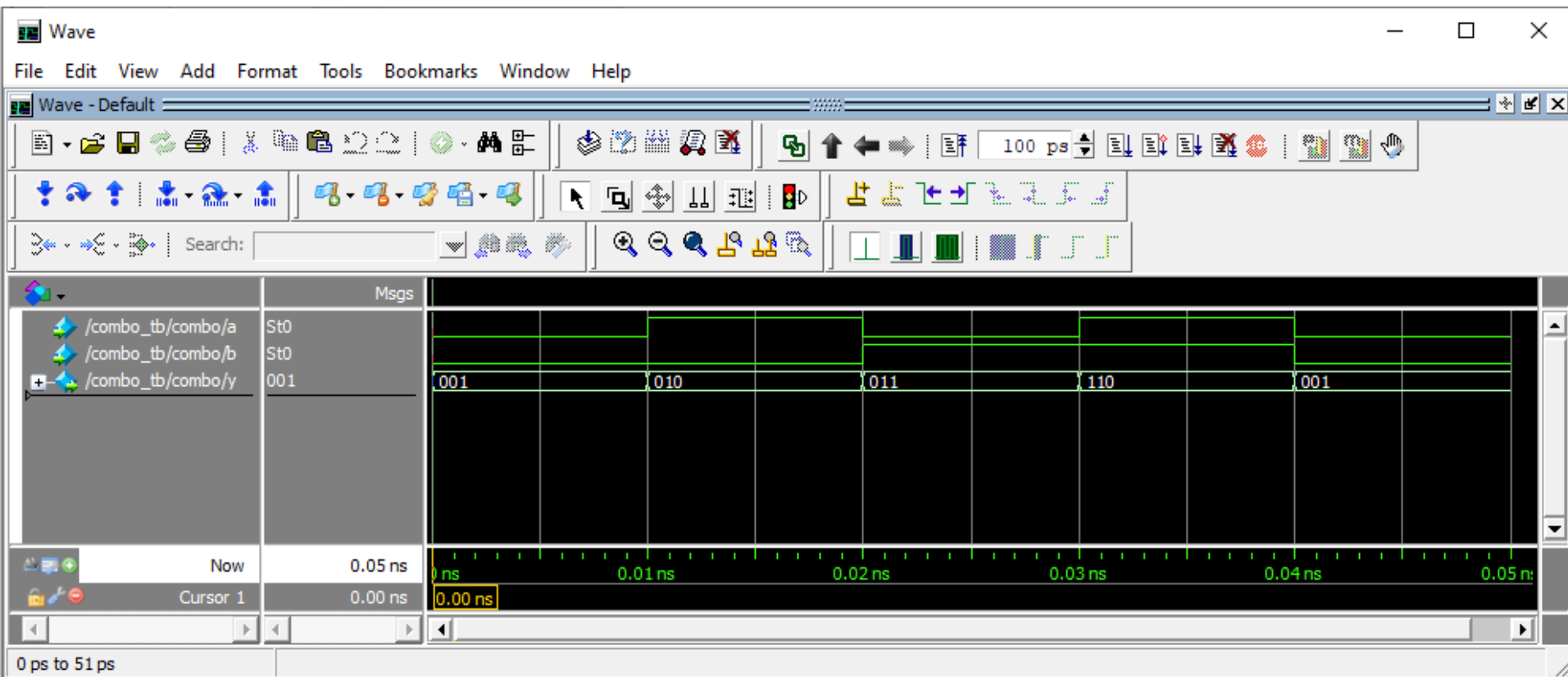
```
End time: 08:57:08 on Oct 20,2024, Elapsed time: 0:00:00
```

```
Errors: 0, Warnings: 0
```

```
PS D:\Rabota_24\5_FPGA\labs\1_comb>
```

# Запускаем симуляцию 4\_run\_gui.bat

Получаем результат симуляции в графическом виде в приложении ModelSim



# Можно не запускать графическую оболочку и выводить результаты в консоль и файл.

Создаем файл для запуска симуляции без графической оболочки  
**5\_run.bat**

```
vsim -c work.combo_tb -do "run -all; quit"
```

# Основные системные задачи для вывода информации на экран

## `$display` (переводит строку) и `$write`

Вывод строки

```
$display("Hello Verilog World!");  
-- Hello Verilog World
```

Вывод текущего времени  
симуляции

```
$display($time);  
-- 230
```

Вывод строки со значением переменной

```
$display("size read bits = %d", $size(outBits));  
-- size read bits = 8000
```

```
reg [31:0]addr;  
$display("at moment %d addr is %h", $time, addr);  
-- at moment 200 addr is 1fe04400
```

## Основные спецификаторы строки форматирования:

%d или %D – отображение в десятичном виде,  
%b или %B – отображение в двоичном виде,  
%s или %S – отображение строки,  
%h или %H – отображение в шестнадцатиричном виде,  
%c или %C – отображение символа ASCII (байта),  
%o или %O – отображение в восьмеричном виде,  
%t или %T – отображение в формате времени,  
%e или %E – отображение реального числа в научном виде  
(например 3e10),  
%f или %F – отображение реального числа в десятичном виде  
(например 3.14),  
%g или %G – отображение реального числа либо в научном  
виде, либо в десятичном, как окажется короче.

Необходимо указать в блоке инициализации какие результаты нужно выводить

```
initial begin
    a = 0;
    b = 0;
    $display("a = %b b = %b out = [%b]", a, b, out);
    #10; a = 1;
    #10; a = 0; b = 1;
    #10; a = 1; b = 1;
    #10; a = 0; b = 0;
    #10;
    $finish;
end
```

# Результат в файле **transcript**

```
# vsim -c work.combo_tb -do "run -all; quit"
# Start time: 09:28:44 on Oct 20,2024
# Loading sv_std.std
# Loading work.combo_tb
# Loading work.combLogic
# run -all
# a = 0 b = 0 out = [xxx]
# ** Note: $finish      : ./combo_tb.sv(14)
#    Time: 50 ps  Iteration: 0  Instance: /combo_tb
# End time: 09:28:44 on Oct 20,2024, Elapsed time: 0:00:00
# Errors: 0, Warnings: 0
```

Как видно в нулевой момент времени выход еще не успел принять значение

```
initial begin
    a = 0;
    b = 0;
    #1; $display("a = %b b = %b out = [%b]", a, b, out);
    #10; a = 1;
    #10; a = 0; b = 1;
    #10; a = 1; b = 1;
    #10; a = 0; b = 0;
    #10;
    $finish;
end
```

```
# run -all
# a = 0 b = 0 out = [001]
# ** Note: $finish      : ./combo_tb.sv(14)
#    Time: 51 ps  Iteration: 0  Instance: /combo_tb
```

Как видим добавление 1 времени позволило выводу принять значение

**\$monitor** — системная задача предоставляет возможность отслеживать и отображать значения любых переменных или выражений, указанных в качестве аргументов задачи.

Аргументы для этой задачи задаются точно так же, как и для системной задачи **\$display**.

Задача отслеживает момент изменения сигнала и тогда печатает в консоль информацию о сигналах, указанных в параметрах вызова.

Список сигналов, за которыми идет наблюдение во время симуляции только один — тот что указан в параметрах к **\$monitor**.

Если **\$monitor** был вызван несколько раз, то активен последний.

```

initial begin
    $monitor ($time, "\ta = %b b = %b out = [%b]", a, b, out);
    a = 0;
    b = 0;
    #10; a = 1;
    #10; a = 0; b = 1;
    #10; a = 1; b = 1;
    #10; a = 0; b = 0;
    #10;
    $finish;
end

```

```

# Loading work.combLogic
# run -all
#
#           0   a = 0 b = 0 out = [001]
#          10   a = 1 b = 0 out = [010]
#          20   a = 0 b = 1 out = [011]
#          30   a = 1 b = 1 out = [110]
#          40   a = 0 b = 0 out = [001]
# ** Note: $finish      : ./combo_tb.sv(14)

```

Удобнее использовать системную задачу \$monitor()