

Лекция 6. Элементы цифровых устройств

- 6.1. Общие сведения
- 6.2. Электронные ключи на транзисторах
- 6.3. Комбинационные устройства
- 6.4. Триггеры
- 6.5. Счетчики
- 6.6. Регистры

6.1 Общие сведения

Цифровыми называются устройства, в которых обрабатываемая информация имеет вид электрических сигналов с ограниченным множеством дискретных значений. В настоящее время в цифровых системах наибольшее распространение получили цифровые устройства, работающие с двоичным кодированием информации. Электрические сигналы в таких системах обычно имеют вид прямоугольных импульсов, характеризуемых двумя значениями уровней, высоким и низким.

Теоретической основой проектирования цифровых систем является алгебра логики или булева алгебра (по имени ее основоположника Д. Буля). В алгебре логики переменные величины и функции от них могут принимать только два значения 0 и 1 и называются логическими переменными и логическими функциями. Устройства, реализующие логические функции, называются логическими или цифровыми.

Цифровые устройства имеют принципиальные схемотехнические отличия от аналоговых устройств, обусловленные следующими факторами: менее жесткими требованиями к точности, стабильности параметров и характеристик элементов; возможностью синтеза систем любой сложности с помощью ограниченного набора базовых логических элементов и элементов памяти; возможностью сопряжения функциональных узлов без специальных согласующих элементов (благодаря использованию гальванической связи между функциональными узлами); простотой расширения функциональных возможностей путем набора требуемых сочетаний интегральных микросхем.

Различают два основных класса цифровых устройств: комбинационные устройства и последовательные автоматы. В комбинационных устройствах определенному сочетанию входных сигналов (набору) соответствует определенный выходной сигнал. Они, как правило, не обладают памятью. В последовательных автоматах такая однозначность отсутствует. В них выходной сигнал зависит от совокупности входных сигналов, как в текущий, так и в предыдущие моменты времени. Эти автоматы обладают памятью.

В комбинационных устройствах наиболее широкое применение находят такие цифровые устройства, как дешифраторы, преобразователи кодов, сумматоры и др. В последовательных автоматах широко используются цифровые устройства с двумя устойчивыми состояниями — триггеры. На их основе строят регистры, счетчики, схемы памяти.

По способу соединений элементов цифровые устройства делятся на два типа: на устройства со статическими (потенциальными) связями между элементами и устройствами с динамическими (импульсными и импульсно-потенциальными) связями между элементами. Учитывая широкое распространение в интегральной схемотехнике элементов с потенциальными связями, в дальнейшем будем ориентироваться только на элементы этого класса.

Элементы, используемые для обработки цифровых сигналов, называют логическими элементами. Различают логические элементы, работающие в положительной и отрицательной логиках. К положительной логике относятся логические элементы, работающие с цифровыми сигналами, у которых максимальный потенциальный уровень соответствует логической 1, а минимальный потенциальный уровень логическому 0 (рис. 6.1). К отрицательной логике относят элементы, у которых максимальный потенциальный уровень соответствует логическому 0, а минимальный потенциальный уровень - логической 1.

Современные логические элементы и цифровые устройства выполняются на основе интегральных микросхем и обычно используют положительную логику.

Параметры, соответствующие размерности напряжения:

- напряжение питания U_{Π} ;
- напряжение, соответствующее логическому «0»;
- напряжение, соответствующее логической «1»;
- логический перепад напряжений $\Delta U = U^1 - U^0$.

При позитивной логике низкий уровень напряжение U^0 соответствует логическому 0, а высокий уровень U^1 – логической 1 в соответствии с рис. 4.2.

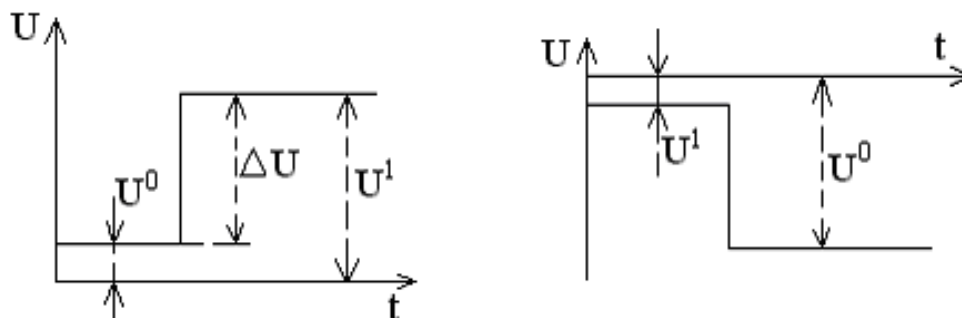


Рис. 6.1. К определению параметров, имеющих размерность напряжения

6.2 Электронные ключи на транзисторах

Транзисторы широко используются в электронных устройствах в качестве ключа, функцией которого является замыкание и размыкание электрической цепи. Имея малое сопротивление во включенном состоянии и большое – в выключенном, транзистор достаточно полно удовлетворяет требованиям, предъявляемым к ключевым элементам.

Электронный ключ можно рассматривать как устройство, в котором реализуется два состояния логической переменной (0 и 1).

Транзисторные ключи служат для коммутации цепей нагрузки под воздействием внешних сигналов. Состояние «включено (замкнуто)» должно характеризоваться минимально возможным падением напряжения на ключе, а состояние «выключено (разомкнуто)» – минимально возможным током через ключ в непроводящем состоянии.

Электронный ключ на биполярном транзисторе

Схема ключа на биполярном транзисторе показана на рис. 6.2. Во входной цепи действуют источник смещения U_{CM} , создающий обратное напряжение на эмиттерном переходе, источник управляющих импульсов прямого напряжения U_{BX} и ограничительный резистор R_B . Резистор в цепи базы R_B служит для выбора необходимого тока базы. Обычно $R_B \gg h_{11Э}$. В коллекторную цепь включены сопротивление нагрузки R_K и источник питания $U_{П}$.

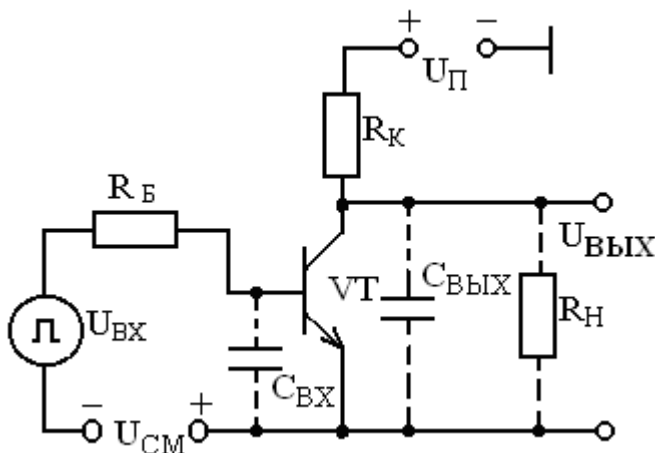


Рис. 6.2. Электронный ключ на биполярном транзисторе.

Резистор R_K является внутренней нагрузкой ключа, резистор R_H является внешней нагрузкой ключа. Величина внешней нагрузки в реальных условиях может меняться в широких пределах. При $R_H = \infty$ ключ работает в режиме холостого хода. Показанные на схеме пунктиром конденсаторы C_{BX} и C_{BYX} являются паразитными и определяются в основном барьерными емкостями эмиттерного и коллекторного переходов транзистора, а также монтажными емкостями и емкостной составляющей нагрузки.

Данная схема отличается малой мощностью, затрачиваемой на управление состояниями ключа, и малым падением напряжения на ключе во включенном состоянии.

Электронные ключи на полевых транзисторах

Схема простейшего ключа с резистивной нагрузкой на основе ПТ приведена на рис. 6.3.

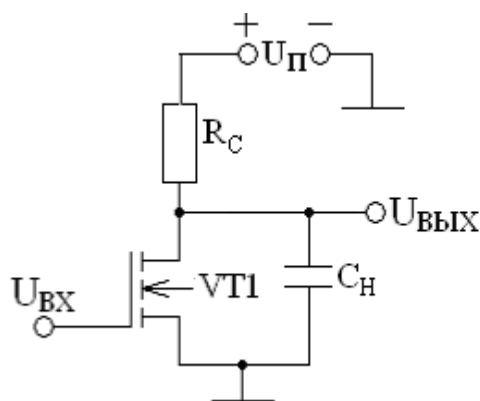


Рис. 6.3. Электронный ключ на полевом транзисторе

В качестве ключевого элемента используется МДП ПТ с индуцированным каналом n -типа.

Такой ключ имеет очевидные преимущества перед рассмотренным выше ключом на БТ:

- нет необходимости в источнике запирающего напряжения на входе транзистора;
- ключ потребляет крайне малую мощность от источника управляющего сигнала, так как транзистор обладает большим входным сопротивлением;
- полярность управляющего напряжения такая же, как и полярность коммутируемого напряжения, что позволяет осуществлять гальваническое соединение нескольких однотипных ключей между собой.

В зависимости от типа применяемых элементов и особенностей схемотехники различают следующие базовые логические элементы семейства ЦИМС: ТЛНС – транзисторная логика с непосредственной (гальванической) связью; РТЛ – резисторно-транзисторная логика; РЕТЛ – резисторно-емкостная логика; ДТЛ – диодно-транзисторная логика; ТТЛ – транзисторно-транзисторная логика; И²Л – интегральная инжекционная логика; ЭСЛ – эмиттерно-связанная логика; МДП – логические схемы на основе МДП транзисторов; КМДП – логические схемы на основе комплементарных МДП транзисторов. Чтобы правильно выбрать тип ЦИМС, необходимо представлять внутреннюю структуру базовых логических элементов, знать функциональные возможности и основные параметры логических элементов разных семейств.

6.3. Комбинационные устройства

Микросхемы, выпускаемые промышленностью, содержат не только микросхемы, выполняющие простейшие логические операции И-НЕ, ИЛИ-НЕ и др., но и микросхемы, выполняющие более сложные логические операции: дешифраторы, демультиплексоры и мультиплексоры, сумматоры и т.д.

Дешифраторы

Полным дешифратором называется комбинационная схема (КС), имеющая n входов и 2^n выходов. В полном дешифраторе каждой комбинации значений

входных сигналов соответствует сигнал, равный 1, только на одном из выходов. Структурная схема дешифратора, имеющего два входа X_0 и X_1 и четыре выхода $Y_0–Y_3$ (дешифратор 2х4) имеет вид в соответствии с рисунком 6.4, а.

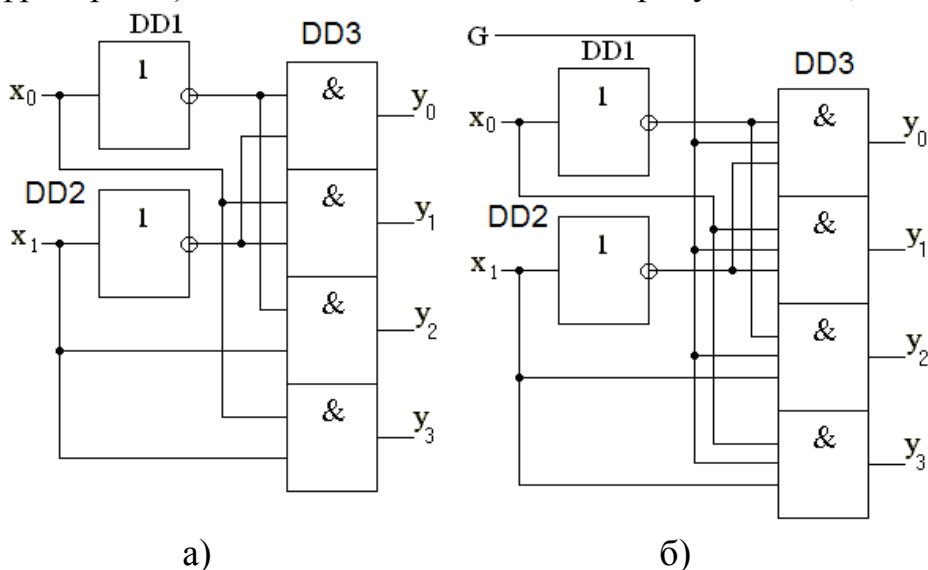


Рис. 6.4. Структурные схемы дешифратора и демультиплексора:
а) дешифратор; б) демультиплексор

Таблица истинности приведена ниже. Комбинации значений входных сигналов X_1 и X_0 соответствует сигнал, равный 1 только на выходе, номер которого, указанный в четырех правых столбцах, совпадает с двоичным числом на входе.

Таблица 6.1- Таблица истинности дешифратора

X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Дешифраторы могут быть неполными, реализующими $N < 2^n$ выходов. Такие дешифраторы используются, например, для преобразования двоично-десятичного кода в код, предназначенный для управления десятичным индикатором (дешифраторы 4х10). Дешифраторы являются преобразователями кодов, выполняющих преобразование двоичного и двоично-десятичного кодов в унитарный код. Унитарный код двоичного n -разрядного числа представляется 2^n разрядами, только один из разрядов которого равен 1.

Шифраторы выполняют функцию, обратную дешифраторам, т. е. преобразуют унитарный код в двоичный или двоично-десятичный.

На основе полных дешифраторов строятся дешифраторы-мультиплексоры, т. е. используется дополнительный вход G , сигнал с которого подается на все ЛЭ И полного дешифратора в соответствии с рисунком 6.39, б. Этот сигнал G появляется на том из выходов, код которого установлен на адресных входах X .

Мультиплексоры

Мультиплексором называется КС, имеющая n информационных входов D и один выход Y , где m - число адресных входов X . Принципиальная схема четырехканального мультиплексора, имеющего два адресных входа X_0 и X_1 и четыре информационных входа $D_0 - D_3$, имеет вид в соответствии с рис. 6.5.

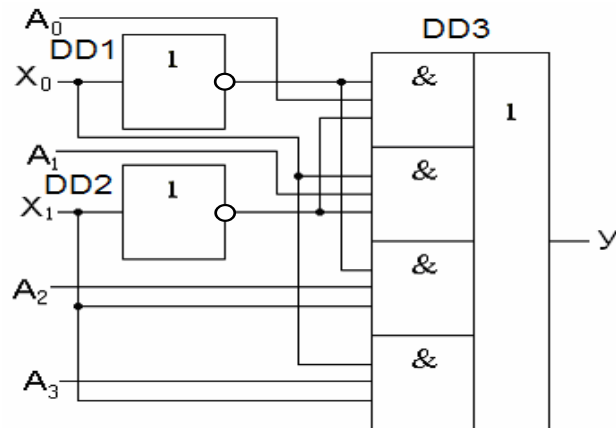


Рис. 6.5. Структурная схема мультиплексора

Каждому адресу X с номером i соответствует свой информационный вход D_i , сигнал с которого при данном адресе проходит на выход. Основным назначением мультиплексора является коммутация входных сигналов на один выход Y . В настоящее время промышленностью выпускаются серии микросхем, в состав которых входят мультиплексоры, имеющие число адресных входов $m = 2, 3$ и 4 . Причем при числе адресных входов $m = 2$ выпускаются двойные четырехканальные мультиплексоры, число входных информационных сигналов которых равно $4 + 4 = 8$.

Исключающие ИЛИ

В сумматорах, в схемах сравнения, определения четности и нечетности и т.д. используется схема *исключающее ИЛИ* либо она же «сумматор по модулю два». Приведем ее определение и основные свойства. Эта операция обозначается символом \oplus . $Y = X1 \oplus X2 = X1 \cdot \overline{X2} + \overline{X1} \cdot X2$

Таблица истинности, один из способов реализации этой функции на элементах И-НЕ, а также УГО приведены на рисунке 6.6.

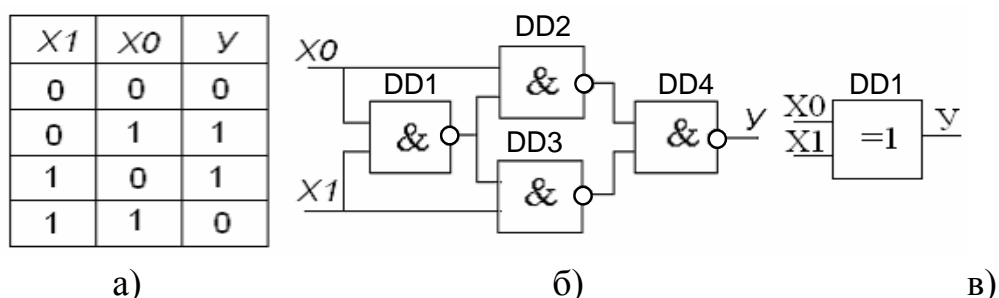


Рис. 6.6. К работе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ:
а) таблица истинности; б) структурная схема; в) УГО

Сумматоры

Способы выполнения арифметических операций сложения и вычитания с помощью КС будем рассматривать только для целых двоичных чисел, что значительно облегчает изложение методики их синтеза. Целые положительные n -разрядные двоичные числа будем обозначать через X_n и Y_n , вход переноса P_n .

Операция сложения положительных двоичных чисел определяется правилами двоичной арифметики. Принцип работы одноразрядного двоичного сумматора приведен в таблице 6.2.

Таблица 6.2- Принцип работы одноразрядного двоичного сумматора

X_n	Y_n	P_n	S_n	P_{n+1}	X_n	Y_n	P_n	S_n	P_{n+1}
0	0	0	0	0	0	0	1	1	0
1	0	0	1	0	1	0	1	0	1
0	1	0	1	0	0	1	1	0	1
1	1	0	0	1	1	1	1	1	1

Значение суммы S равно 1, если нечетное число величин X_n , Y_n и P_n равно 1. Значение выхода переноса P_{n+1} в $(n+1)$ -й разряд равно 1, если две или три величины из X_n , Y_n и P_n равны 1.

Понятно, что значение переноса в первый разряд всегда равно 0. В общем случае необходимо производить сложение и вычитание как положительных, так и отрицательных чисел. Это основывается на правилах двоичной арифметики.

Цифровые компараторы

Это устройство выдает результат сравнения n -разрядных двоичных или двоично-десятичных чисел. Цифровой компаратор можно построить на основе сумматора, подавая на один суммирующий вход прямой код числа **A**, на другой – инверсный код числа **B** (рисунок 6.7, б). На численном примере легко убедиться, что при **A=B** в четырех младших разрядах сумматора формируются логические единицы, а при **A>B** единица формируется на выходе переноса [4].

Компаратор, определяющий равнозначность кодов **A** и **B**, можно выполнить по схеме, приведенной на рисунке 6.7. При совпадении кодов во всех разрядах формируются логические нули на выходах элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и логический элемент ИЛИ-НЕ формирует на выходе логическую 1. Другой вариант использует логический элемент И.

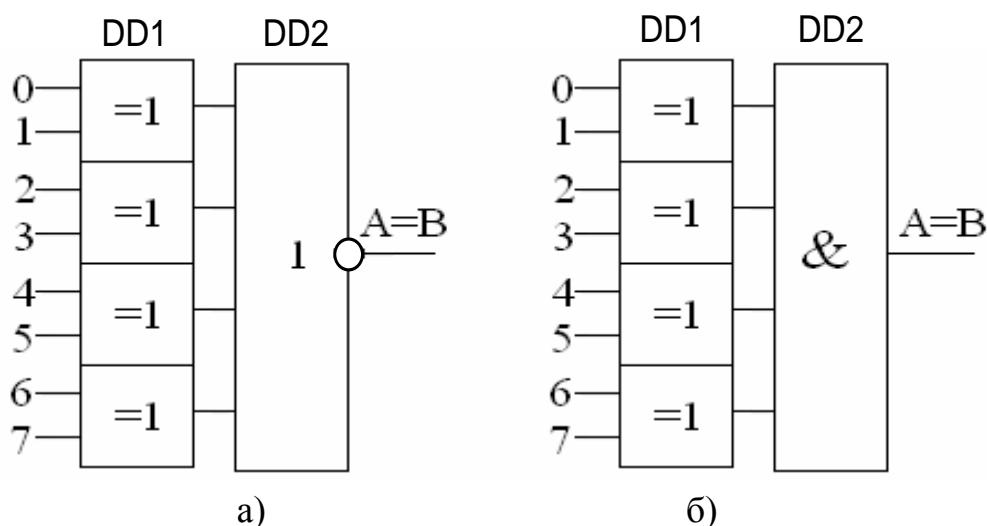


Рис. 6.7. Схемы равнозначности кодов:

а) с использованием схемы ИЛИ-НЕ; б) с использованием схемы И

Схемы определения четности и нечетности

Контроль четности и нечетности используется для обнаружения однократных ошибок при приеме информации по каналам связи. На передающей стороне к n -разрядному слову добавляется разряд с таким значением, чтобы сумма единиц была бы четной. На приемной стороне производится контроль на четность. Если число единиц в принятом слове нечетно, фиксируется ошибка в принятом сообщении.

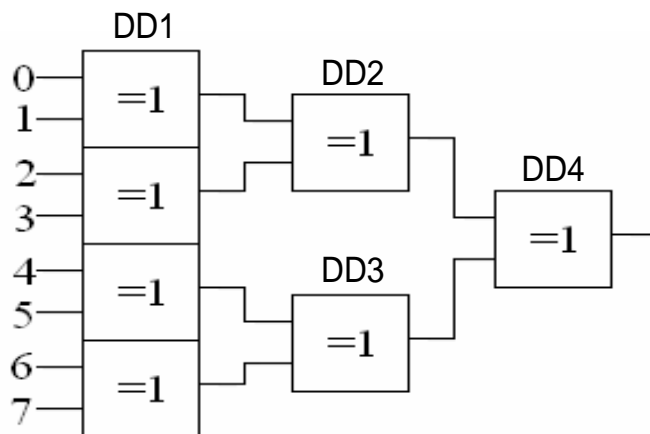


Рис. 6.8. Схема определения четности восьмиразрядного кода

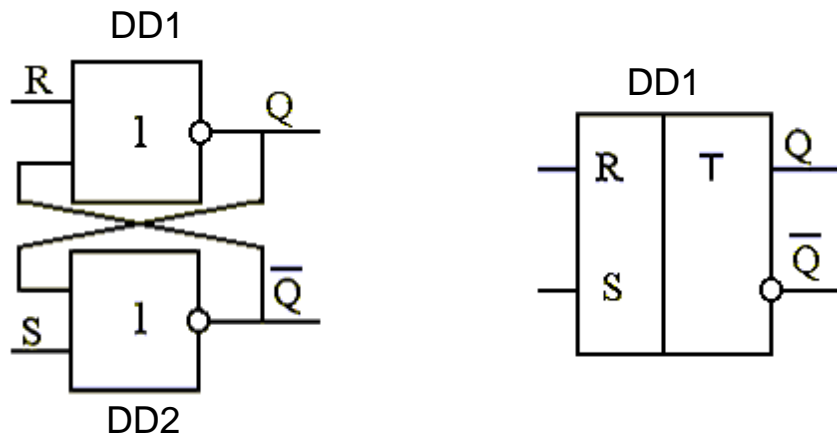
Для контроля восьмиразрядного слова используется схема, приведенная на рисунке 6.8. Если в принятом слове число единиц четно, то на выходе последней логической схемы ИСКЛЮЧАЮЩЕЕ ИЛИ формируется логический 0. В противном случае формируется 1 и запрещается прием сообщения.

6.4 Триггеры

RS-триггер

RS-триггер с раздельной установкой состояний логического нуля и единицы [4]. Он имеет два информационных входа R и S и два выхода Q и \bar{Q} , соответственно прямой и инверсный. По входу S триггер устанавливается в состояние $Q = 1$, ($\bar{Q} = 0$), а по входу R – в состояние $Q = 0$, ($\bar{Q} = 1$).

Условное графическое обозначение приведено на рисунке 6.9, б.



а)

б)

Рис. 6.9. RS-триггер на элементах ИЛИ-НЕ

а) структурная схема

б) УГО

Таблица 6.3- Таблица истинности RS – триггера

Входы		Состояние на выходах	
S	R	Q	\bar{Q}
0	0	Режим хранения	
1	0	1	0
0	1	0	1
1	1	Запрещенная комбинация	

Синхронный RS – триггер

Синхронный RS – триггер (рисунок 6.10) может изменять свое состояние только с приходом тактового импульса на вход C .

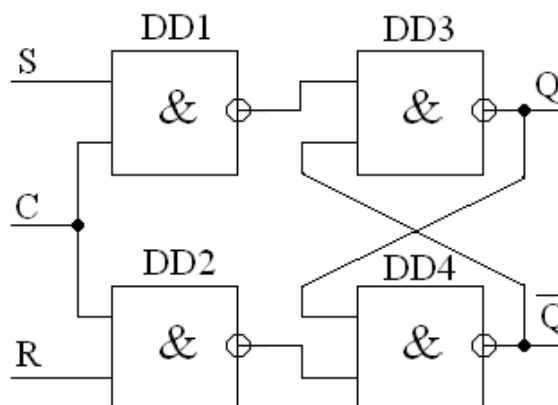


Рис. 6.10. Синхронный RS- триггер

При совпадении логических единиц на входах S и C на выходе DDI логический 0, который переводит триггер в единичное состояние $Q=1$. При совпадении единичных уровней на входах R и C триггер сбрасывается в нулевое состояние [4].

D-триггер

D-триггером называется триггер с одним информационным входом, работающим так, что сигнал на выходе после переключения равен сигналу на входе D до переключения, т.е. $Q^{n+1} = D^n$. Основное назначение D -триггеров – задержка поданного на вход D , т.е. входной сигнал синхронизирован с тактовыми импульсами. Он имеет информационный вход D (вход данных) и вход тактовых импульсов или вход синхронизации C [4].

Структурная схема D – триггера имеет вид в соответствии с рисунком 6.11, а.

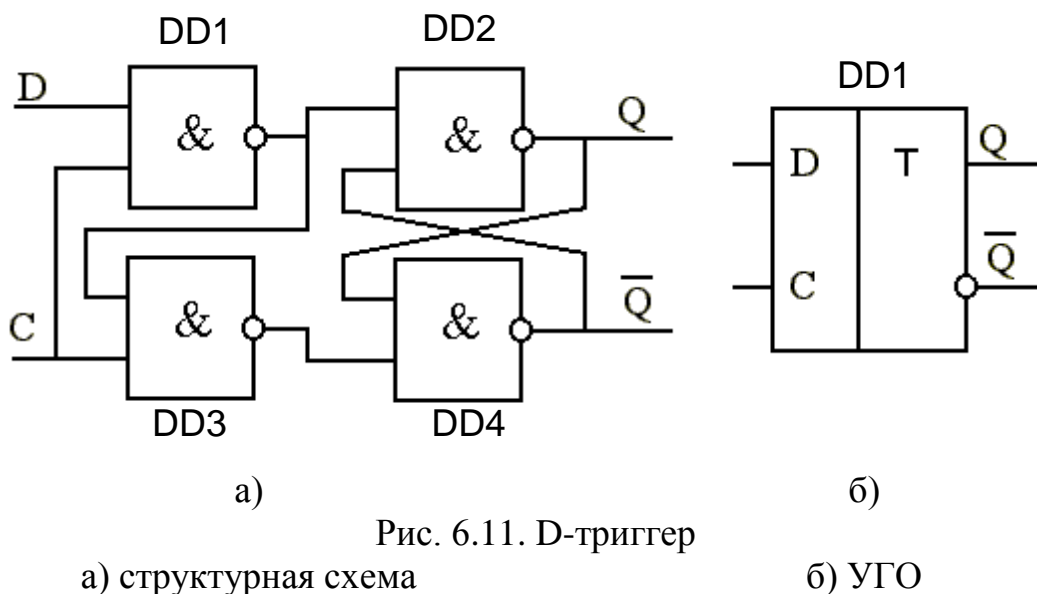


Рис. 6.11. D-триггер

JK – триггер

JK-триггеры подразделяются на универсальные и комбинированные.

Универсальность JK-триггера состоит в том, что он может выполнять функции Т- и D- триггеров.

Комбинированный JK-триггер (рис. 6.12, а) отличается от универсального наличием дополнительных асинхронных входов S и R для предварительной установки триггера в определенное состояние (логические 1 или 0). Принцип работы JK-триггера поясняется диаграммами в соответствии с рисунком 6.12, б.

Сигнал на входах \bar{R} и \bar{S} производят установку 0 или 1 на выходе Q независимо от прихода тактовых импульсов. Тактовый импульс C осуществляет установку 0 или 1 по входам J и K (тактовые импульсы 4 и 5). Если на оба входа J и K установить высокий потенциал (логическую 1), то триггер работает как Т-триггер в режиме деления на 2 (тактовые импульсы 7-13).

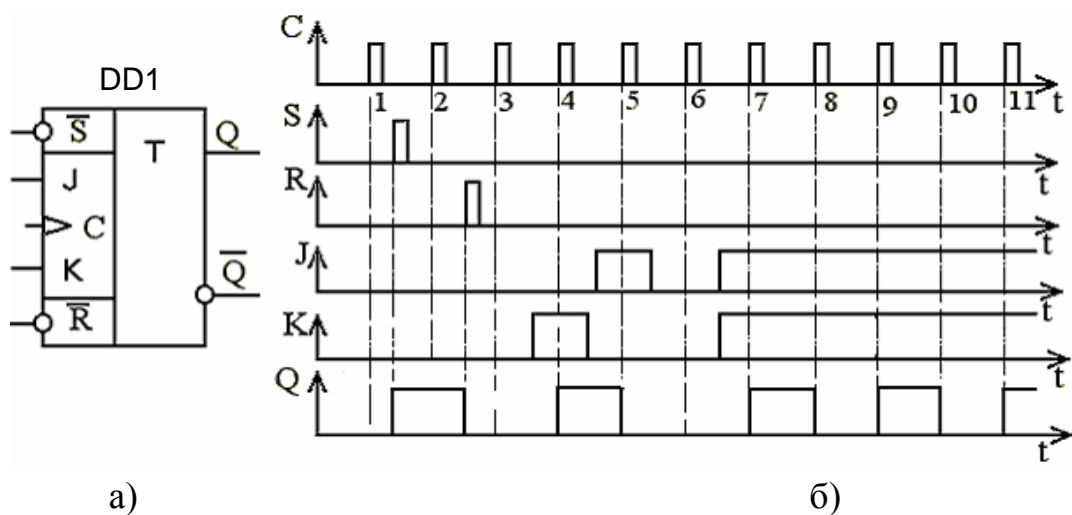


Рис. 6.12. JK-триггер

а) условное обозначение б) к пояснению принципа работы JK – триггера

6.8. Счетчики

Цифровым счетчиком импульсов называют последовательное цифровое устройство, которое осуществляет счет поступающих на его вход импульсов. Результат счета формируется счетчиком в заданном коде и может храниться требуемое время [4].

Основным параметром счетчика является модуль счета K_C – максимальное число импульсов, которое может быть сосчитано счетчиком. После поступления K_C импульсов счетчик должен возвратиться в исходное состояние. Значение K_C равно числу устойчивых состояний счетчика. Счетчик, содержащий m разрядов (триггеров), может иметь 2^m устойчивых состояний, поэтому его модуль счета $K_C \leq 2^m$. (Количество поступивших на счетный вход импульсов представляется на выходе счетчика в виде двоичного числа). Обычно счетчики имеют дополнительные входы установки S , позволяющие предварительно установить на выходе счетчика заданное число, или входы сброса R , сигнал на которых переводит счетчик в исходное состояние.

Частота импульсов на выходе последнего разряда счетчика в K_C раз меньше частоты импульсов, поступивших на вход. Поэтому счетчики используются в качестве делителей частоты, обеспечивающих на выходе в K_C раз меньшую частоту сигнала, чем на входе.

Счетчики можно классифицировать по нескольким признакам. В зависимости от направления счета различаются суммирующие (с прямым счетом), вычитающие (с обратным счетом) и реверсивные (с прямым и обратным счетом). По способу организации схемы переноса различаются счетчики с последовательным, параллельным и параллельно-последовательным переносом. В зависимости от наличия синхронизации различаются синхронные и асинхронные счетчики.

Счетчики строят на Т-триггерах с применением при необходимости логических элементов в цепях межразрядных и обратных логических связей. Так же можно применять D-триггеры и JK-триггеры двухступенчатой структуры или с динамическим управлением.

Суммирующие счетчики

Рассмотрим пример реализации трехразрядного суммирующего счетчика на динамических D-триггерах с последовательным переносом в соответствии с рисунком 6.13.

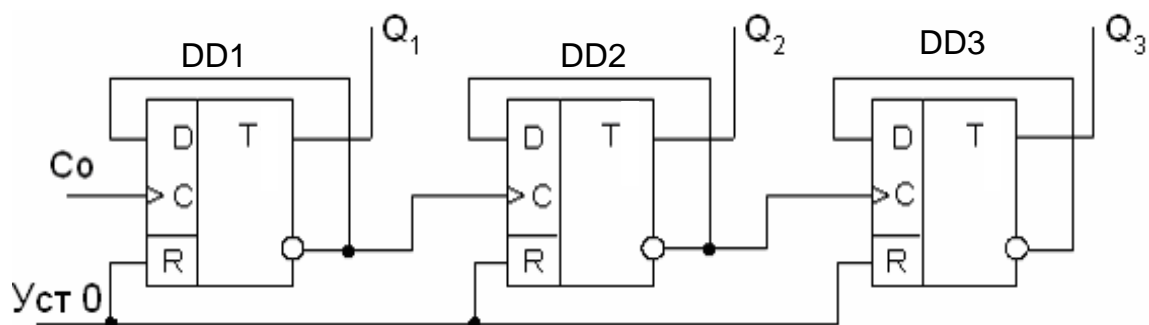


Рис. 6.13. Суммирующий счетчик

Порядок смены состояний счетчика задан таблицей 6.4, а осциллограммы, поясняющие принцип работы, имеют вид в соответствии с рисунком 6.13.

В качестве исходного принято состояние, которое определяется нулевым уровнем на выходах всех триггеров, т.е. $Q_1=Q_2=Q_3=0$. С приходом очередного счетного импульса к содержимому счетчика прибавляется единица. При этом увеличивается на единицу номер состояния.

Таблица 6.4- Таблица состояний суммирующего счетчика

Номер состояния	Q_3	Q_2	Q_1
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
0	0	0	0

Изменение состояния каждого последующего разряда происходит при изменении состояния предыдущего разряда от 1 к 0. Это означает, что всякий раз, когда данный триггер в счетчике переходит из состояния 1 в состояние 0, на его выходе должен формироваться сигнал переноса, изменяющий состояние следующего триггера. Если же данный триггер переходит из 0 в 1, то сигнала переноса на его выходе не должно быть.

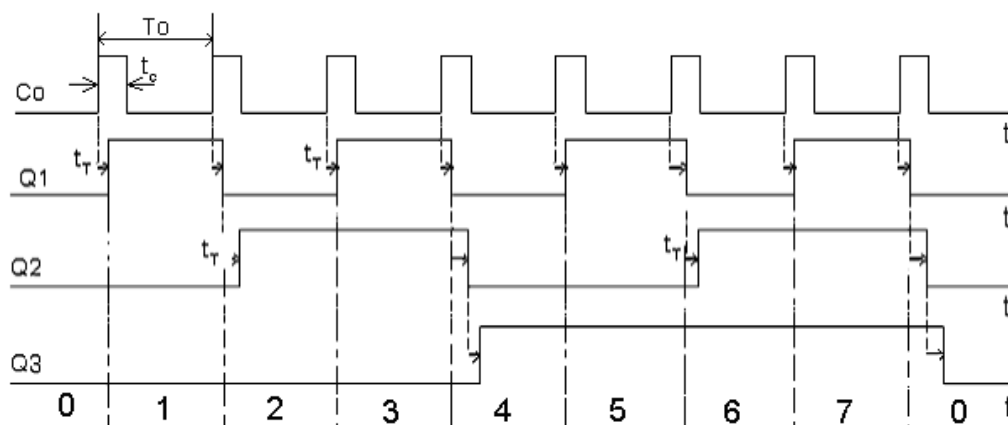


Рис. 6.13. К пояснению принципа работы суммирующего счетчика

Из таблицы 6.13 и осциллограмм следует, что триггер первого, самого младшего разряда должен менять свое состояние каждый раз с приходом очередного счетного импульса, а триггер каждого последующего разряда вдвое реже триггера предыдущего разряда.

Счетные импульсы должны быть поданы на вход триггера самого младшего разряда. Счетчики, построенные таким образом, получили название счетчиков с последовательным переносом.

Для установки исходного состояния счетчика служит шина «Уст 0», которой объединены R-входы всех триггеров. Нулевое состояние триггеров устанавливается подаваемым по этой шине положительного импульса соответствующего логической 1.

Вычитающие счетчики

Вычитающий счетчик с последовательным переносом имеет обратный порядок смены состояний: с приходом очередного счетного импульса, содержащееся в счетчике число уменьшается на единицу. Порядок смены состояний такого счетчика задан таблицей 6.5.

Таблица 6.5- Таблица состояний вычитающего счетчика

Номер состояния	Q_3	Q_2	Q_1
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0
7	1	1	1

Особенностью вычитающего счетчика, отличающая его от суммирующего, является то, что триггер каждого последующего разряда изменяет свое

состояние при изменении уровня на выходе триггера предыдущего разряда от 0 к 1, т.е. при сигнале займа. Строится вычитающий счетчик так же, как суммирующий, но с тем отличием, что со входом каждого последующего триггера соединяется выход Q предыдущего триггера.

6.9 Регистры

Типы регистров

Регистром называется устройство, состоящее из нескольких триггеров и предназначенное для выполнения операций приема, хранения и передачи информации. Наиболее распространены статические регистры. Каждому разряду слова, записанного в такой регистр, соответствует свой разряд регистра, выполненный на основе статического триггера. Разряды регистра нумеруются в порядке нумерации разрядов в слове. Из регистров слова обычно поступают на комбинационные логические схемы, где над ними производят логические операции. Результат операции, представляемый одним или несколькими словами, заносится в регистры результата [4].

Регистры делятся на параллельные, последовательные и параллельно-последовательные. Параллельный статический регистр представляет собой совокупность D-триггеров в соответствии с рисунком 6.14, имеющих общие сигналы управления и синхронизации и индивидуальные информационные входы для приема разрядов записываемого в регистр слова.

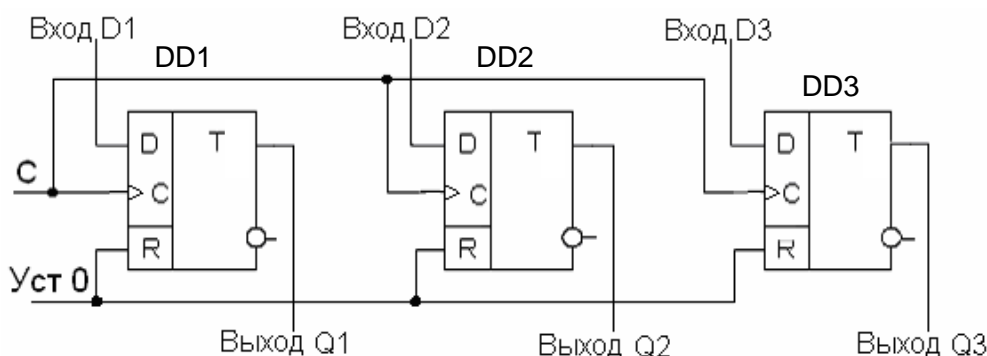


Рис. 6.14. Структурная схема параллельного регистра

Каждый разряд регистра в общем случае может иметь несколько информационных входов соответственно числу источников информации, подключаемых к входу регистра. Процессы записи и считывания информации в параллельных регистрах обычно разделены во времени, что позволяет использовать в разрядах регистра примитивные триггерные схемы.

Параллельные регистры могут строиться как по асинхронному, так и по синхронному принципу. В последнем случае тактирующие импульсы стробируют управляющие сигналы. Это позволяет повысить помехоустойчивость устройства, устраняя влияние ложных импульсов, возникающих в процессе формирования управляющих сигналов. Параллельные регистры предназначены для записи и хранения чисел в двоичном параллельном коде.

Список использованной литературы

1. Григорьев, Б. И. Элементная база и устройства цифровой техники [Электронный ресурс] : учебное пособие / Б. И. Григорьев. — Электрон. текстовые данные. — СПб. : Университет ИТМО, 2012. — 89 с. — 2227-8397. — Режим доступа: <http://www.iprbookshop.ru/65394.html>
2. Легостаев, Н. С. Материалы электронной техники [Электронный ресурс] : учебное пособие / Н. С. Легостаев. — Электрон. текстовые данные. — Томск : Томский государственный университет систем управления и радиоэлектроники, 2014. — 239 с. — 978-5-86889-679-8. — Режим доступа: <http://www.iprbookshop.ru/72057.html>
3. Игнатов, А. Н. Полевые транзисторы и их применение в технике связи [Электронный ресурс] : монография / А. Н. Игнатов. — Электрон. текстовые данные. — Новосибирск : Сибирский государственный университет телекоммуникаций и информатики, 2008. — 317 с. — 2227-8397. — Режим доступа: <http://www.iprbookshop.ru/55455.html>
4. Игнатов А.Н. Электроника [Электронный ресурс] : учебное пособие / Игнатов А.Н., Фадеева Н.Е., Савиных В.Д. — Электрон. текстовые данные. — Новосибирск: СибГУТИ, 2019. — 344 с. — Режим доступа: <http://elib.sibsutis.ru/2019/845 Ignatov A.N. Elektronika 2019 .pdf>.