КОНСПЕКТ ЛЕКЦИЙ ПО ДИСЦИПЛИНЕ

*“*БАЗОВЫЕ КОМПОНЕНТЫ ТЕЛЕКОММУНИКАЦИОННЫХ СИСТЕМ*“*

1.1ОБЩИЕ ПОЛОЖЕНИЯ И ПОНЯТИЯ

Сеть связи – это совокупность нескольких источников информации, объединенных общими каналами и работающими по согласованному алгоритму. Любая сеть состоит из узлов и ветвей (канал связи).

Требования к сетям связи

- **Мультисервисность** – независимость технологий предоставления услуг от транспортных технологий;
- **Широкополосность** – возможность гибкого и динамического изменения скорости передачи информации в широком диапазоне в зависимости от текущих потребностей пользователя;
- **Мультимедийность** - способность сети передавать многокомпонентную информацию (речь, данные видео, аудио) с необходимой синхронизацией этих компонент в реальном времени и использованием сложных конфигураций соединений;
- **Интеллектуальность** – возможность управления услугой, вызовом и соединением со стороны пользователя или поставщика услуг;
- **Инвариантность доступа** – возможность организации доступа к услугам независимо от используемой технологии;
- **Многооператорность** – возможность участия нескольких операторов в процессе предоставления услуги и разделение их ответственности в соответствии с их областью деятельности.

Для формирования сетей связи требуется оборудование, выполняющее различные функции: преобразование, обработка, хранение, передача и прием информационных сигналов, предназначенного для предоставления услуг связи. Ниже перечислены некоторые типы оборудования:

- шифраторы/дешифраторы
- модуляторы;
- мультиплексоры/демультиплексоры;
- коммутаторы;
- терминальное оборудование;
- серверы и т.д.

Каждое из перечисленных типов оборудования, выполняющее определенные функции, чаще всего представляют в виде черного ящика. Но для разработки определенного типа оборудования, усовершенствования и оценки работоспособности требуется иметь представление о базовых компонентах на которых построено то или иное оборудование.

Для примера можно рассмотреть мультиплексор и демультиплексор. Мультиплексором — называют комбинационное устройство, обеспечивающее передачу в желаемом порядке цифровой информации, поступающей по нескольким входам на один выход. Мультиплексоры обозначают через MUX (от англ. multiplexor), а также через MS (от англ. multiplex or selector).

Схематически мультиплексор можно изобразить в виде коммутатора, обеспечивающего подключение одного из нескольких входов (их называют информационными) к одному выходу устройства. Кроме информационных входов в мультиплексоре имеются адресные входы и, как правило, разрешающие (стробирующие). Сигналы на адресных входах определяют, какой конкретно информационный канал подключен к выходу. Если между числом информационных входов n и числом адресных входов m действует соотношение $n = 2^m$, то такой мультиплексор называют полным. Если $n < 2^m$, то мультиплексор называют неполным.

Разрешающие входы используют для расширения функциональных возможностей мультиплексора. Они используются для наращивания разрядности мультиплексора, синхронизации его работы с работой других узлов. Сигналы на разрешающих входах могут разрешать, а могут и запрещать подключение определенного входа к выходу, т. е. могут блокировать действие всего устройства.

Рассмотрим функционирование двухвходового мультиплексора (2 →1), который условно изображен в виде коммутатора, а состояние его входов X_1X_2 и выхода Y приведено в таблице (рис. 3.41).

Исходя из таблицы, можно записать следующее уравнение:

$Y = X_1A + X_2A$

На рис. 1 показаны реализация такого устройства и его условное графическое обозначение. Основой данной схемы являются две схемы совпадения на элементах И, которые при логическом уровне «1» на одном из своих входов повторяют на выходе то, что есть на другом входе.

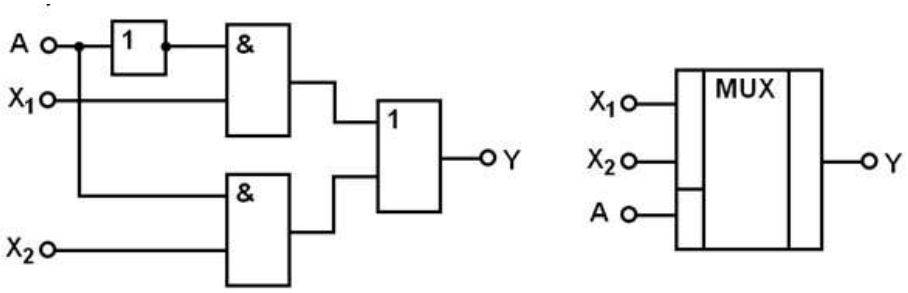
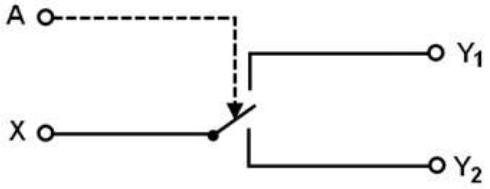


Рис.1. Логическая схема мультиплексора

Рассмотрим функционирование демультиплексора с двумя выходами, который условно изображен в виде коммутатора, а состояние его входов и выходов приведено в таблице (рис. 2), логическая схема демультиплексора представлена на рис.3.



Адресный вход A	Y_1	Y_2
0	X	0
1	0	X

Рис.2. Двухвходовой демультиплексор

Из этой таблицы следует: $Y_1 = X \cdot A$ $Y_2 = X \cdot A$ т. е. реализовать такое устройство можно так, как показано на рис. 3.46.

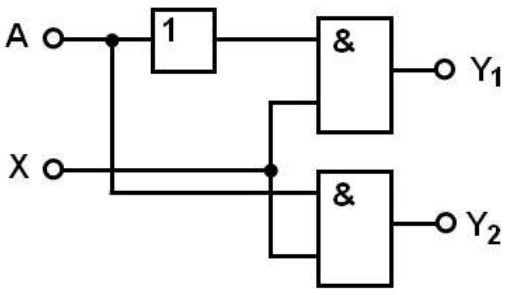


Рис.3. Логическая схема мультиплексора

Функции демультиплексоров сходны с функциями дешифраторов. Дешифратор можно рассматривать как демультиплексор, у которого информационный вход поддерживает напряжение выходов в активном состоянии, а адресные входы выполняют роль входов дешифратора.

Практически все телекоммуникационные устройства можно описать логическими схемами. Поэтому требуется рассмотреть вопросы, связанные с логическими операциями и логическими схемами.

Алгебра логики

Логический элемент—простейшее устройство ЭВМ, выполняющее одну определённую логическую операцию над входными сигналами согласно правилам алгебры логики.

Логический элемент характеризуется:

1. Наличием одного или нескольких входов, на которые подаются входные сигналы (входные переменные).

2. Наличием выхода, на котором формируется выходной сигнал (выходная переменная).

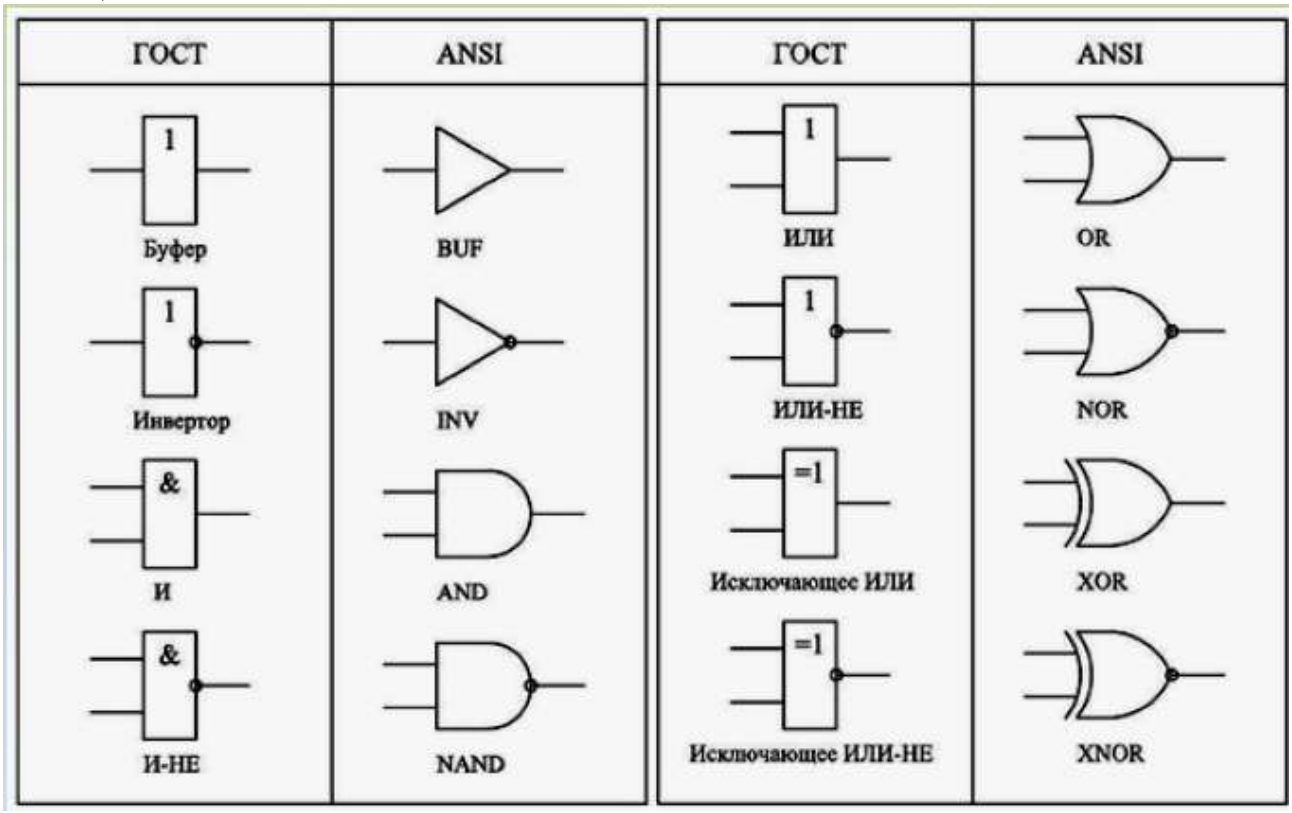
В мире применяют две системы условных графических обозначение (УГО) логических элементов -ANSI и DIN.

ANSI -это американский стандарт (American National Standart Institute), DIN - европейский стандарт (DeutscheIngenieuringNormen-немецкий инженерный стандарт). Российский ГОСТ ближе к стандарту DIN.

В первом столбце таблицы показаны некоторые обозначения в соответствии с ГОСТ, который применим в России. Похожий стандарт DIN используется в странах Европы. Второй столбец соответствует стандарту ANSI.

В таблице 1 представлено изображение базовых логических элементов.

Таблица 1 – Базовые логические элементы



Таким образом, базовые логические элементы (логических вентилей) всего три:

- элемент НЕ,
- элемент И,
- элемент ИЛИ.

1. Элемент «И» (AND), он же конъюнктор, выполняет операцию логического умножения.
2. Элемент «ИЛИ» (OR), он же дизъюнктор, выполняет операцию логического сложения.
3. Элемент «НЕ» (NOT), он же инвертор, выполняет операцию логического отрицания.

На рис. 4 представлены УГО и таблицы истинности базовых элементов.

$Y = X_1 \cdot X_2$

X_1	X_2	Y
1	1	1
1	0	0
0	1	0
0	0	0

$Y = X_1 \vee X_2$

X_1	X_2	Y
1	1	1
1	0	1
0	1	1
0	0	0

$Y = \overline{X}$

Y	X
0	1
1	0

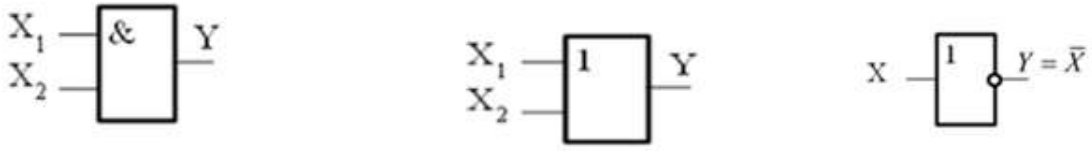


Рис.4. УГО и таблицы истинности базовых логических элементов

На практике используются гибридные схемы, объединяющие несколько операций (рис.5).

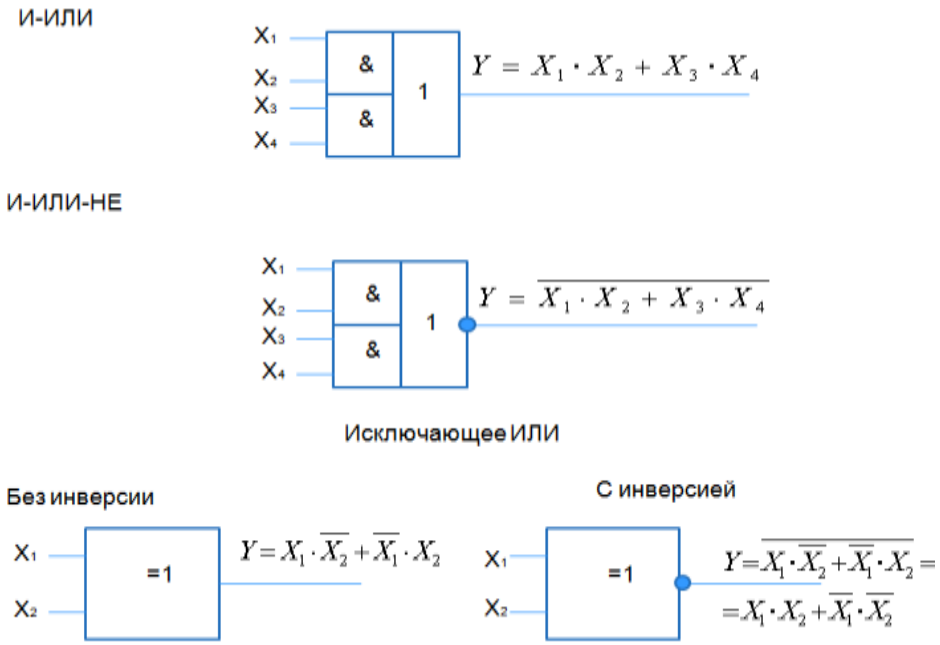


Рис.5. Логические элементы: 2И-2ИЛИ; 2И-2ИЛИ-НЕ; Исключающие ИЛИ

В России еще используется элемент «Сумматор по модулю 2», функция которого совпадают с элементом «Исключающее ИЛИ» только при наличии двух входов.

При построении функциональных схем используется совокупность типовых логических элементов, образующих *функционально полную систему* (*базис*).
Основными базисами являются:
1. булев базис (И, ИЛИ, НЕ);
2. сокращенные булевы базисы (И, НЕ), (ИЛИ, НЕ);
3. универсальные базисы (И -НЕ), (ИЛИ -НЕ);
4. базис Жегалкина (И, М2).4

Способы кодирования логических сигналов

В связи с использованием двухзначной логики в логических схемах как входные, так и выходные сигналы представляются с помощью, так называемого, ***двоичного сигнала***, особенностью которого является наличие двух четко различимых уровней, отождествляемых с нулем и единицей соответственно. В зависимости от того, какой уровень сигнала сопоставляется с логическим нулем, а какой с логической единицей, различают два способа кодирования двоичных сигналов:

-***позитивное***(положительное) кодирование (позитивная логика) высокий уровень сигнала принимается за “1”, а низкий за “0”.5

-***негативное***(отрицательное) кодирование (негативная логика) высокий уровень сигнала принимается за “0”, а низкий за “1”.

При изменении способа кодирования двоичного сигнала функция одной и той же электронной схемы, реализующей некоторый логический элемент, меняется на противоположную.

Типы логических схем

Функциональная логическая схема представляет собой совокупность логических элементов и связей между ними.

Соединения логических элементов в рамках единой логической схемы должны удовлетворять следующим правилам:

1. К любому входу логического элемента могут быть подключены:

-выход любого другого логического элемента;

-входной сигнал (входная переменная);

-логическая константа (0 или 1).7

Алгебра логики (булева алгебра) характеризуется правилами проведения операций с логическими элементами. Логические элементы — устройства, предназначенные для обработки информации в цифровой форме (последовательности сигналов высокого — «1» и низкого — «0» уровней в двоичной логике. Ниже представлены основные правила операции алгебры логики.

В реальных электронных схемах подача логической константы на вход элемента реализуется заземлением или подключением этого входа, обязательно через резистор, к шине питания.

2. Выход любого логического элемента схемы может быть подключен к входу другого логического элемента или представлять собой выходной сигнал схемы. В частном случае возможна комбинация того и другого.

Логические схемы разделяются на два типа :

- комбинационные;
- последовательностные.

В ***комбинационных схемах*** значение выходного сигнала в любой момент времени зависит только от комбинации входных сигналов в этот же момент времени.

С учетом этой задержки распространения сигналов от входов схемы к ее выходу изменение значения выходного сигнала запаздывает по сравнению с моментом изменения входных сигналов.

Принцип работы комбинационной схемы может быть описан булевой функцией, отражающей зависимость выходного сигнала схемы, как функции от входных сигналов, как аргумент этой функции (рис.7).

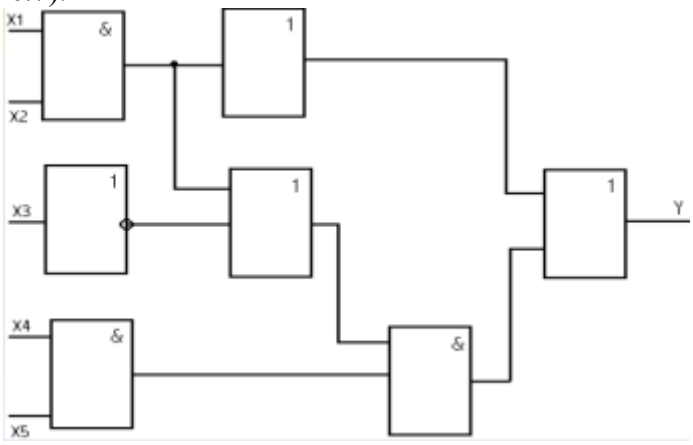


Рис.7. Пример схемы

Для комбинационных схем с несколькими выходами эта зависимость отражается системой булевых функций.

В ***последовательностных*** схемах значение выходного сигнала в любой момент времени зависит не только от комбинации входных сигналов в данный момент времени, но и от предыстории их изменения, то есть от последовательности входных сигналов во времени. Как правило, последовательностные схемы характеризуются некоторым внутренним состоянием, от которого зависит значение выходного сигнала (сигналов). Внутреннее состояние такой схемы сохраняется на запоминающих элементах (триггерах), в связи с чем, схемы этого типа называются также *схемами с памятью*. В общем случае поседовательностная схема представляет собой некоторый *цифровой автомат*.

Основные параметры комбинационных схем

Основными параметрами комбинационных схем (КС) является стоимость и быстродействие.

Стоимость КС определяется двумя составляющими; стоимостью логических элементов и стоимостью связей. Как правило, стоимостью связей (соединений) пренебрегают. В свою очередь, стоимость логического элемента определяется числом его входов. Как правило, при построении абстрактных КС, не привязанных к конкретной системе элементов, ***цена схемы*** определяется в смысле Квайна, т.е. суммарным числом входов во все логические элементы схемы.

Быстродействие схемы, как правило, оценивается ***задержкой*** распространения сигналов от входов схемы к ее выходу. Для абстрактных КС эту задержку принято определять в виде: **T=Kτ**, где **τ** - задержка на одном логическом элементе; К –максимальное количество логических элементов, через которые проходит сигнал от входов к выходу.

Как правило, задержка схемы сопоставляется с числом уровней этой схемы. Для этой цели все элементы схемы распределяются по уровням. Входные сигналы схемы относятся к уровню 0. Элемент схемы относится к уровню N, если он связан по входам с элементами уровней меньших Nи хотя бы с одним элементом уровня N-1.

Уровень элемента, на выходе которого формируется выходной сигнал схемы, совпадает с количеством уровней схема и, тем самым, определяет ее задержку (рис.8).

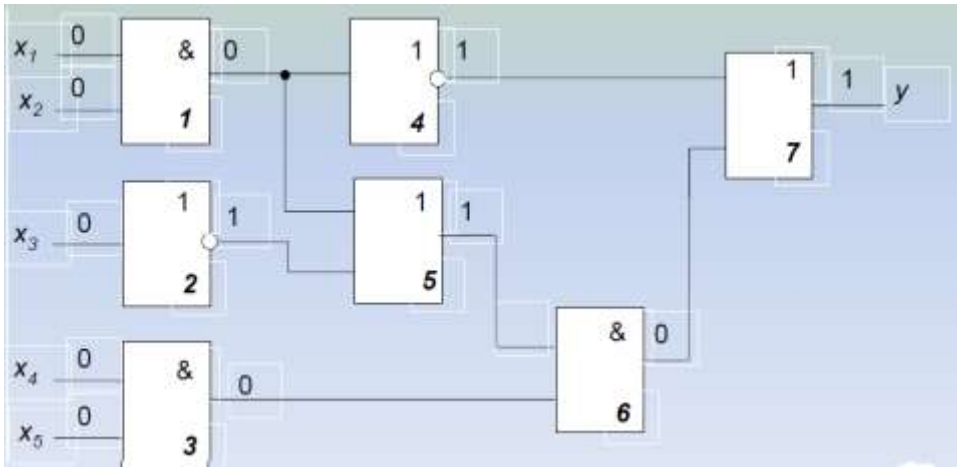


Рис.8. Пример оценки задержки сигнала

Для схемы, приведенной на рисунке 8:

- элементы 1,2,3 относятся к первому уровню;
- элементы 4,5 ко второму уровню;
- элемент 6 к третьему уровню;
- элемент 7 к четвертому уровню.

Задержка приведенной схемы составляет: T=4τ. Цена схемы по Квайну *SQ*=12.

Задачи анализа и синтеза комбинационных схем

В общем виде ***задача анализа*** комбинационных схем сводится к определению функции, реализуемой заданной схемой. В частном случае задача анализа состоит в определении реакции заданной схемы на определенную комбинацию входных сигналов (входной набор).

Ясно, что при разработке логических схем, немаловажной является задача минимизации количества используемых элементов (другими словами, логических операций). Для разработки эффективной схемы в смысле выполнения основных функций и стоимости необходимо осуществлять минимизацию логической схемы. Для осуществления минимизации необходимо знать основные правила осуществления операций с логическими параметрами приведенными ниже (булева алгебра).

Логическое сложение

$$X + 1 = 1$$
$$X + 0 = X$$
$$X \cdot 1 = X$$

$$X_1 + (X_1 \cdot X_2) = X_1$$
$$(X_1 \cdot X_2) + (\overline{X_1} \cdot X_2) = X_2$$

Логическое умножение

$$X_1 \cdot (X_1 + X_2) = X_1$$
$$(X_1 + X_2) + (\overline{X_1} + X_2) = X_2$$

Законы поглощения и склеивания

$$X_1 \cdot (X_2 + \overline{X_2}) = X_1$$
$$X_1 \cdot (X_1 + X_2) = X_1$$
$$(X_1 + X_2) \cdot \overline{X_2} = X_1 \cdot \overline{X_2}$$
$$X_1 + X_2 \cdot \overline{X_2} = X_1$$
$$X_1 + (X_1 \cdot X_2) = X_1$$
$$X_1 + (X_1 \cdot X_2) = X_1$$
$$(X_1 \cdot X_2) + \overline{X_2} = X_1 + \overline{X_2}$$

Законы дуальности

$$\overline{X_1 \cdot X_2} = \overline{X_1} + \overline{X_2}$$
$$X_1 \cdot X_2 = \overline{\overline{X_1} + \overline{X_2}}$$
$$\overline{X_1 + X_2} = \overline{X_1} \cdot \overline{X_2}$$
$$X_1 + X_2 = \overline{\overline{X_1} \cdot \overline{X_2}}$$

Правила минимизация булевых функций

Процесс минимизации можно описать с помощью метода подстановки. Его идея состоит в следующем. Выходы логических элементов обозначаются промежуточными переменными: *y1*, *y2*, … Последовательно продвигаясь от выхода схемы к входам, осуществляют подстановку в выходную функцию промежуточных переменных, как аргументов, до тех пор. пока в выражении функции все промежуточные переменные не будут заменены на входные переменные.

Для схемы, приведенной на рисунке 8.

$$y = y_1 \vee y_2 = \bar{y}_4 \vee y_3 y_6 = x_1 x_2 \vee (y_4 \vee y_5) x_4 x_5 =$$
$$= \overline{x_1 x_2} \vee (x_1 x_2 \vee \bar{x}_3) x_4 x_5 .$$

Полученное выражение для функции можно привести к ДНФ и далее упростить с использованием законов булевой алгебры. Цепочка преобразований выражения имеет следующий вид:

$$y = \overline{x_1} \vee \overline{x_2} \vee x_1 x_2 x_4 x_5 \vee \bar{x}_3 x_4 x_5 = \overline{x_1} \vee \overline{x_2} \vee x_4 x_5 \vee \bar{x}_3 x_4 x_5 =$$
$$= \overline{x_1} \vee \overline{x_2} \vee x_4 x_5$$

Замечание.

В полученном аналитическом выражении отсутствует один из аргументов –*x*3, т.е. функция является вырожденной по аргументу *x*3.

Схема, реализующая заданную функцию по сокращенной аналитической форме, принимает следующий вид (рис.9):

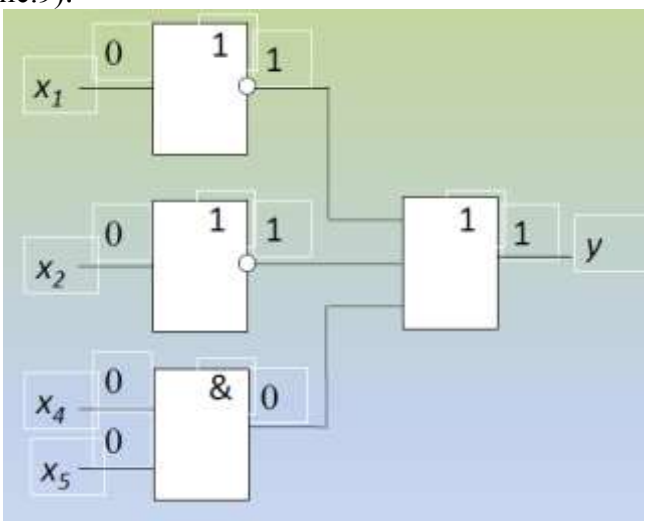


Рис.9. Преобразованная схема

По сравнению с исходной КС полученная схема обладает меньшей ценой по Квайну *SQ*=7 и меньшей задержкой T=2τ.

Определим реакцию схемы на входной набор, например (00000). На обеих схемах показаны значения входных и промежуточных выходных сигналов: *y*(00000)=1.

Задача синтеза состоит в построении комбинационной схемы по заданному закону фунционирования. При решении задачи синтеза необходимо учитывать следующие моменты:

1. Синтезируемая схема должна, по возможности, содержать минимум оборудования (логических элементов). В связи с этим актуальной задачей яв-ляется минимизация заданной булевой функции. При решении этой задачи целесообразно получить как МДНФ, так и МКНФ.

2. Как правило, синтезируемая схема строится на логических элементах, принадлежащих некоторому базису.

Естественно, что используемая система элементов должна обладать свойством функциональной полноты, то есть быть достаточной для построения на ее основе комбинационной схемы, реализующей любую, наперед заданную булеву функцию.

Такими функционально полными системами логических элементов являются: {И, ИЛИ, НЕ}; {И, НЕ}; {ИЛИ, НЕ}; {И-НЕ}; {ИЛИ-НЕ}; {И, М2}.

3. Как правило, при решении задачи синтеза стараются добиться экстремального значения одного из параметров схемы: минимума цены или максимума быстродействия (минимум задержки).

В тех случаях, когда критерием эффективности схемы является цена по Квайну, над минимальными формами проводят дополнительные преобразования, путем решения задач ***факторизации***и, возможно, ***декомпозиции*** булевой функции с целью дальнейшего уменьшения цены схемы.

Если же критерием эффективности схемы является задержка, то следует иметь в виду, что факторное преобразование и декомпозиция булевой функции, в общем случае, могут уменьшить цену схемы, но всегда увеличивают ее задержку.

В более сложном случае схема оптимизируется по одному из показателей при наличии ограничения на второй.

Минимизация логических функций в классе формул ДНФ и КНФ.

Минимальная ДНФ

Такая ДНФ, которая содержит наименьшее общее число вхождений переменных по сравнению со всеми равносильными ей ДНФ.

Минимальная КНФ

Такая КНФ, которая содержит наименьшее общее число вхождений переменных по сравнению со всеми равносильными ей КНФ.

Процесс нахождения минимальных форм, собственно, и называется минимизацией. В простых случаях, для минимизации достаточно тождественных преобразований. В более сложных – используются специальные алгоритмы.

Основным методом минимизации логических функций, представленных в виде СДНФ или СКНФ, является операция попарного неполного склеивания и элементарного поглощения. Операция попарного склеивания осуществляется между двумя членами, содержащими одинаковые переменные, вхождения которых (с отрицанием и без) совпадают для всех переменных, кроме одной. В этом случае все переменные, кроме одной, можно вынести за скобки, а оставшиеся в скобках прямое и инверсное вхождение одной переменной подвергнуть склейке. Например:

$$\overline{x_1}\, x_2 x_3 x_4 \vee \overline{x_1}\, x_2\, \overline{x_3}\, x_4 = \overline{x_1}\, x_2 x_4 (x_3 \vee \overline{x_3}) = \overline{x_1}\, x_2 x_4 \,\&\, 1 = \overline{x_1}\, x_2 x_4.$$

Аналогично для КНФ:

$$(\overline{x_1} \vee x_2 \vee x_3 \vee x_4)(\overline{x_1} \vee x_2 \vee \overline{x_3} \vee x_4) = \overline{x_1} \vee x_2 \vee x_4 \vee x_3\,\overline{x_3} = \overline{x_1} \vee x_2 \vee x_4 \vee 0$$
$$= \overline{x_1} \vee x_2 \vee x_4.$$

Возможность поглощения следует из очевидных равенств

$$A \vee \overline{A} = 1$$

$$A\,\overline{A} = 0.$$

Таким образом, главной задачей при минимизации СДНФ и СКНФ является поиск членов, пригодных к склейке с последующим поглощением, что для больших форм может оказаться достаточно сложной задачей.

Минимизирующие карты Карно

Графический способ минимизации булевых функций. Представляет собой операции попарного неполного склеивания и элементарного поглощения. Карты Карно рассматриваются как построенная соответствующим образом таблица истинности функции.

Карты Карно можно рассматривать как определенную плоскую развертку n-мерного булева куба.

Карты Карно были изобретены в 1952 Эдвардом В. Вейчем и усовершенствованы в 1953 Морисом Карно, физиком из «Bell Labs», и были призваны помочь упростить цифровые электронные схемы.

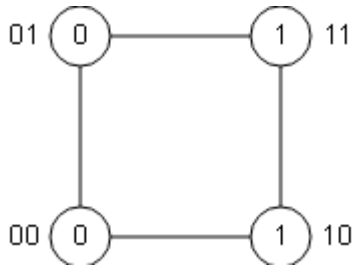
В карту Карно булевы переменные передаются из таблицы истинности и упорядочиваются с помощью кода Грея, в котором каждое следующее число отличается от предыдущего только одним разрядом.

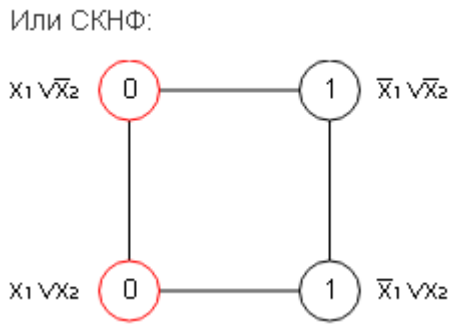
> Булевы функции N переменных, представленные в виде СДНФ или СКНФ, могут иметь в своём составе 2^N различных элементарных членов.
>
> Элементарные члены СДНФ или СКНФ образуют структуру, топологически эквивалентную N -мерному кубу. Действительно, если рассматривать набор значений функции $x_1, \ldots, x_N$ как N-мерный вектор $\{x_1, \ldots, x_N\}$, мы получим набор точек, лежащих на ортах N-мерной системы координат, и удаленных друг от друга на 1. Другими словами, мы получим N -мерный гиперкуб с ребром 1.

Например, для функции двух переменных, заданной таблицей истинности:

x_1	x_2	$f(x_1, x_2)$
0	0	0
0	1	0
1	0	1
1	1	1

можно построить эквивалентный ей квадрат:





Или, если обозначить вершины соответствующими элементарными конъюнкциями и выделить вершины, конъюнкции которых входят в СДНФ:

Или СКНФ:

$0x_1 \vee \bar{x}_2 1\bar{x}_1 \vee \bar{x}_2 0x_1 \vee x_2 1\bar{x}_1 \vee x_2$

Можно заметить, что члены, находящиеся на одной стороне квадрата, могут быть склеены. Соответственно, если составляется ДНФ, то операции производятся только над вершинами, в которых функция имеет значение 11 (по правилам построения СДНФ). Если же составляется КНФ, то над вершинами, в которых функция имеет значение 00 (по правилам построения СКНФ).

При этом, сохраняются переменные, значение которых на стороне постоянно.

В случае функции трёх переменных приходится иметь дело с трёхмерным кубом. Это сложнее и менее наглядно, но технически возможно. На рисунке 10 в качестве примера показана таблица истинности для булевой функции трёх переменных и соответствующий ей куб.

X_1	X_2	X_3	$f(X_1, X_2, X_3)$
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

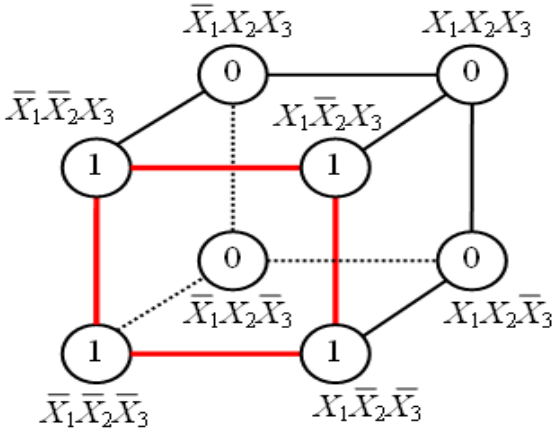


Рис.10. Таблица истинности для булевой функции трёх переменных и соответствующий ей куб

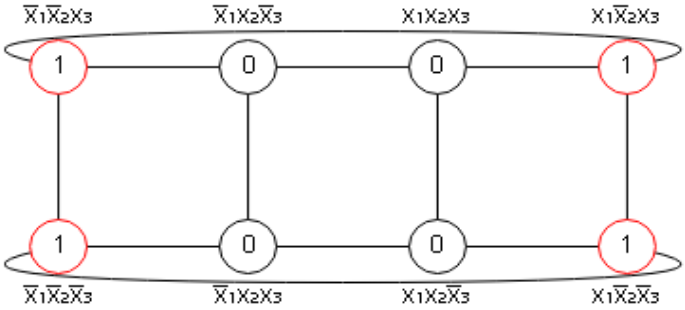
Как видно из рисунка, для трёхмерного случая возможны более сложные конфигурации. Например, четыре члена, принадлежащие одной грани куба, объединяются в один с поглощением двух переменных:

$$\overline{x_1}\ \overline{x_2}\ \overline{x_3} \vee x_1\ \overline{x_2}\ \overline{x_3} \vee \overline{x_1}\ \overline{x_2}\ x_3 \vee x_1\ \overline{x_2}\ x_3 =$$

$$= \overline{x_2}\ (\overline{x_1}\ \overline{x_3} \vee \overline{x_1}\ x_3 \vee x_1\ \overline{x_3} \vee x_1 x_3) = \overline{x_2}\ (\overline{x_1} \vee x_1)(\overline{x_3} \vee x_3) = \overline{x_2}$$

В общем случае можно сказать, что 2^K членов, принадлежащие одной K–мерной грани гиперкуба, склеиваются в один член, при этом поглощаются K переменных.

Карта Карно представляет собой развертку гиперкуба на плоскость. Например, трехмерный куб из предыдущего примера можно развернуть следующим образом:



Карта Карно является представлением такой двумерной развертки в виде таблицы.

$x_3 \backslash x_1x_2$	00	01	11	10
0	1	0	0	1
1	1	0	0	1

Ясно, что на одной K-мерной грани могут лежать 2^K вершин. Следовательно, в карте Карно выбираются группы по 2^K смежных ячеек, и в результирующую ДНФ или КНФ входят только те переменные, которые неизменны в рамках данной группы. Общее число членов соответствует числу групп в карте Карно, а число неизменных переменных обратным образом зависит от количества элементов в группе. Как следствие, группы необходимо выбирать как можно более большими. Следует отметить, что одна комбинация переменных может входить в несколько групп.

Для функций четырех переменных, требуется развертка 4-мерного гиперкуба. Карта Карно в таком случае имеет вид:

$x_3x_4 \backslash x_1x_2$	00	01	11	10
00	$f(0,0,0,0)$	$f(0,1,0,0)$	$f(1,1,0,0)$	$f(1,0,0,0)$
01	$f(0,0,0,1)$	$f(0,1,0,1)$	$f(1,1,0,1)$	$f(1,0,0,1)$
11	$f(0,0,1,1)$	$f(0,1,1,1)$	$f(1,1,1,1)$	$f(1,0,1,1)$
10	$f(0,0,1,0)$	$f(0,1,1,0)$	$f(1,1,1,0)$	$f(1,0,1,0)$

Возможно так же построение карт Карно для функций 5 и 6 переменных, однако работа с ними значительно затруднена. Для числа переменных, большего 6, использование карт Карно попросту непрактично.

Элементная база различных логик

Логические схемы строятся на элементах таких как диоды, транзисторы. Для конкретной серии микросхем характерно использование типового электронного узла — базового логического элемента. Этот элемент является основой построения самых разнообразных цифровых электронных устройств.

Ниже рассмотрим особенности базовых логических элементов различных логик.

Элементы транзисторно-транзисторной логики

Характерной особенностью ТТЛ является использование многоэмиттерных транзисторов. Эти транзисторы сконструированы таким образом, что отдельные эмиттеры не оказывают влияния друг на друга. Каждому эмиттеру соответствует свой p-n-переход. В первом приближении многоэмиттерный транзистор может моделироваться схемой на диодах (см. пунктир на рис. 11).

Упрощенная схема ТТЛ-элемента приведена на рис. 11. При мысленной замене многоэмиттерного транзистора диодами получаем элемент диодно-транзисторной логики «И-НЕ». Из анализа схемы можно сделать вывод, что если на один из входов или на оба входа подать низкий уровень напряжения, то ток базы транзистора T_2 будет равен нулю, и на коллекторе транзистора T_2 будет высокий уровень напряжения. Если на оба входа подать высокий уровень напряжения, то через базу T_2 транзистора будет протекать большой базовый ток и на коллекторе транзистора T_2 будет низкий уровень напряжения, т. е. данный элемент реализует функцию И-НЕ:

$u_{вых} = u_1 \cdot u_2$. Базовый элемент ТТЛ содержит многоэмиттерный транзистор, выполняющий логическую операцию И, и сложный инвертор.

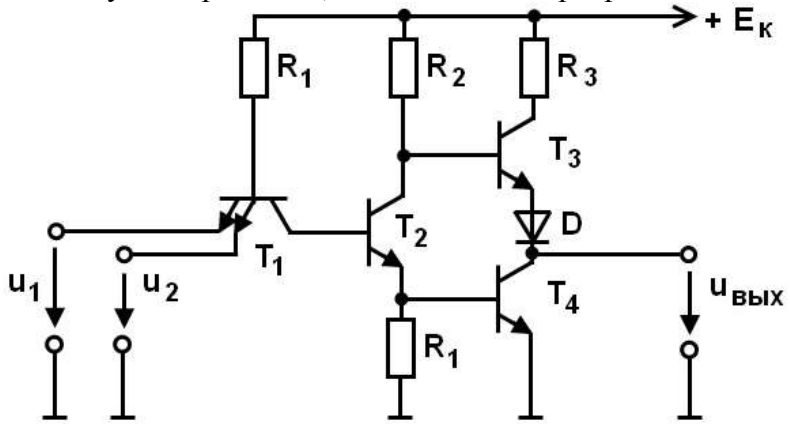


Рис.11. Упрощенная схема ТТЛ-элемента

Если на один или оба входа одновременно подан низкий уровень напряжения, то многоэмиттерный транзистор находится в состоянии насыщения и транзистор T_2 закрыт, а следовательно, закрыт и транзистор T_4, т. е. на выходе будет высокий уровень напряжения. Если на обоих входах одновременно действует высокий уровень напряжения, то транзистор T_2 открывается и входит в режим насыщения, что приводит к открытию и насыщению транзистора T_4 и запиранию транзистора T_3, т. е. реализуется функция И-НЕ.

Для увеличения быстродействия элементов ТТЛ используются транзисторы с диодами Шоттки (транзисторы Шоттки).

Базовый логический элемент ТТЛШ (на примере серии К555)

В качестве базового элемента серии микросхем К555 использован элемент И-НЕ. На рис. 12, *а* изображена схема этого элемента, а условное графическое обозначение транзистора Шоттки приведено на рис.12.б.

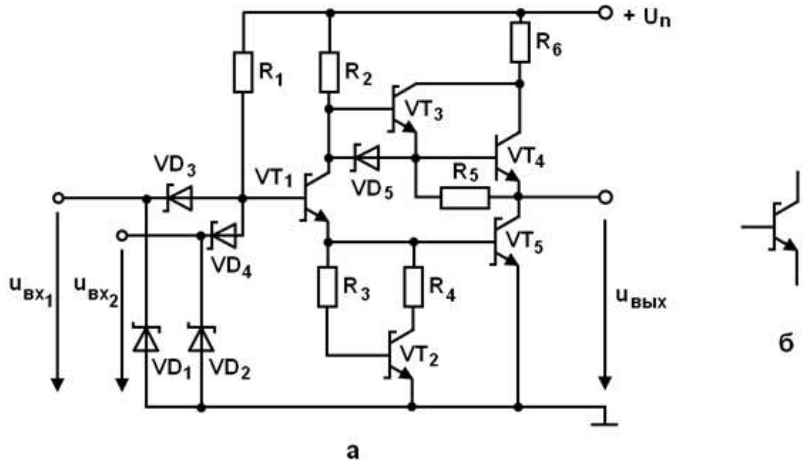


Рис.12. Базовый логический элемент ТТЛШ

Такой транзистор эквивалентен рассмотренной выше паре из обычного транзистора и диода Шоттки. ТранзисторVT_4 — обычный биполярный транзистор.

Если оба входных напряжения $u_{вх1}$и $u_{вх2}$ имеют высокий уровень, то диодыVD_3 и VD_4 закрыты, транзисторы VT_1,VT_5 открыты и на выходе имеет место напряжение низкого уровня. Если хотя бы на одном входе имеется напряжение низкого уровня, то транзисторы VT_1 и VT_5 закрыты, а транзисторы VT_3 и VT_4 открыты, и на входе имеет место напряжение низкого уровня. Полезно отметить, что транзисторы VT_3 и VT_4 образуют так называемый составной транзистор (схему Дарлингтона).

Микросхемы ТТЛШ серии К555 характеризуются следующими параметрами:

- напряжение питания +5 В;
- выходное напряжение низкого уровня — не более 0,4 В;
- выходное напряжение высокого уровня — не менее 2,5 В;
- помехоустойчивость — не менее 0,3 В;
- среднее время задержки распространения сигнала — 20 нс;
- максимальная рабочая частота — 25 МГц.

Элементы эммитерно-связанной логики

Основой базового логического элемента ЭСЛ является токовый ключ. Схема токового ключа (рис. 13) подобна схеме дифференциального усилителя.

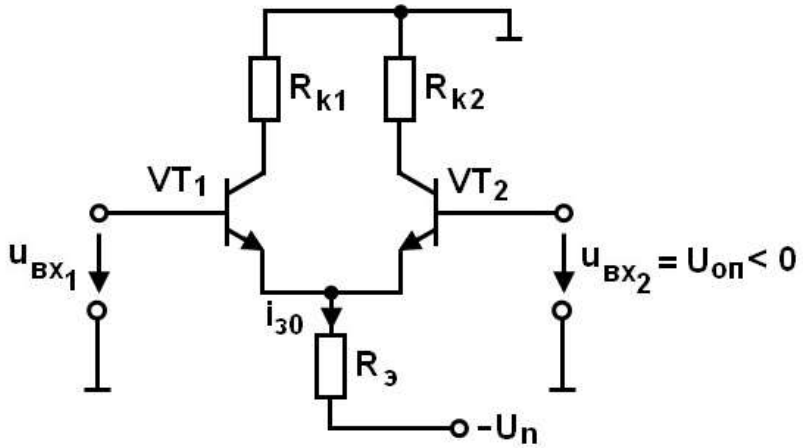


Рис.13.ЭСЛ

Необходимо обратить внимание на то, что микросхемы ЭСЛ питаются отрицательным напряжением (к примеру, −4,5 В для серии К1500). На базу транзистора VT_2 подано от-

рицательное постоянное опорное напряжение $U_{оп}$. Изменение входного напряжения $u_{вх1}$ приводит к перераспределению постоянного тока $i_{э0}$, заданного сопротивлением $R_э$ между транзисторами, что имеет следствием изменение напряжений на их коллекторах. Транзисторы не входят в режим насыщения, и это является одной из причин высокого быстродействия элементов ЭСЛ.

Микросхемы серий 100, 500 имеют следующие параметры:

- напряжение питания −5,2 В;
- потребляемая мощность — 100 мВт;
- коэффициент разветвления по выходу — 15;
- задержка распространения сигнала — 2,9 нс.

В микросхемах n-МОП и p-МОП используются ключи соответственно на МОП-транзисторах с n-каналом и динамической нагрузкой (рассмотрены выше) и на МОП-транзисторах с p-каналом.

В качестве примера рассмотрим элемент логики n-МОП, реализующий функцию ИЛИ-НЕ (рис. 14).

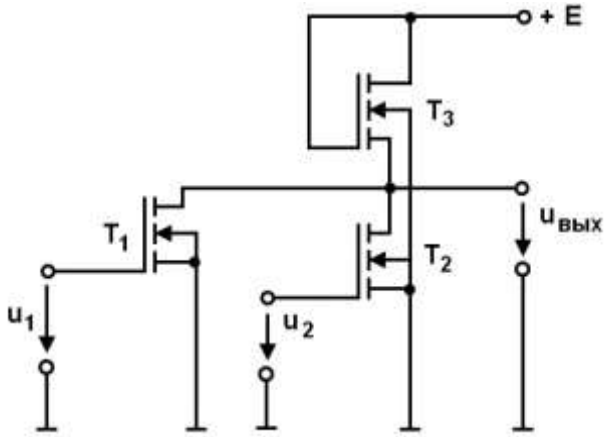


Рис.14. Элемент логики n-МОП

Он состоит из нагрузочного транзистора T_3 и двух управляющих транзисторов T_1 и T_2. Если оба транзистора T_1 и T_2 закрыты, то на выходе устанавливается высокий уровень напряжения. Если одно или оба напряжения u_1 и u_2 имеют высокий уровень, то открывается один или оба транзистора T_1 и T_2 и на выходе устанавливается низкий уровень напряжения, т. е. реализуется функция $u_{вых} = u_1 + u_2$.

Для исключения потребления мощности логическим элементом в статическом состоянии используются комплементарные МДП — логические элементы (КМДП или КМОП-логика). В микросхемах КМОП используются комплементарные ключи на МОП-транзисторах. Они отличаются высокой помехоустойчивостью. Логика КМОП является очень перспективной. Рассмотренный ранее комплементарный ключ фактически является элементом НЕ (инвертором).

КМОП — логический элемент

Рассмотрим КМОП — логический элемент, реализующий функцию ИЛИ-НЕ (рис. 15).

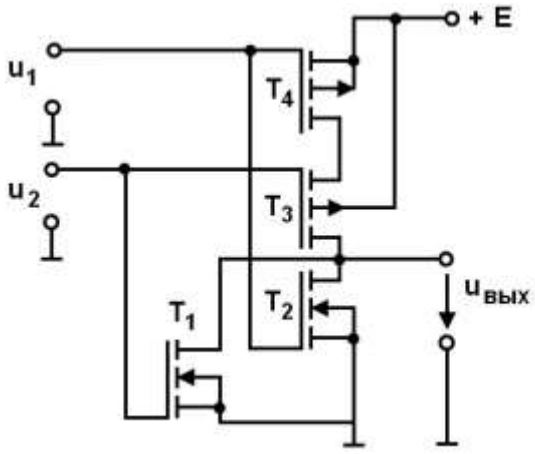


Рис.15. КМОП — логический элемент, реализующий функцию ИЛИ-НЕ

Если входные напряжения имеют низкие уровни (u_1и u_2меньше порогового напряжения n-МОП-транзистора $U_{зи.порог.n}$), то транзисторы T_1 и T_2 закрыты, транзисторы T_3 и T_4 открыты и выходное напряжение имеет высокий уровень. Если одно или оба входных напряжения u_1и u_2 имеют высокий уровень, превышающий $U_{зи.порог.n}$, то открывается один или оба транзистора T_1 и T_2, а между истоком и затвором одного или обоих транзисторов T_3 и T_4 устанавливается низкое напряжение, что приводит к запиранию одного или обоих транзисторов T_3 и T_4, а следовательно, на выходе устанавливается низкое напряжение. Таким образом, этот элемент реализует функцию $u_{вых}= u_1+u_2$ и потребляет мощность от источника питания лишь в короткие промежутки времени, когда происходит его переключение.

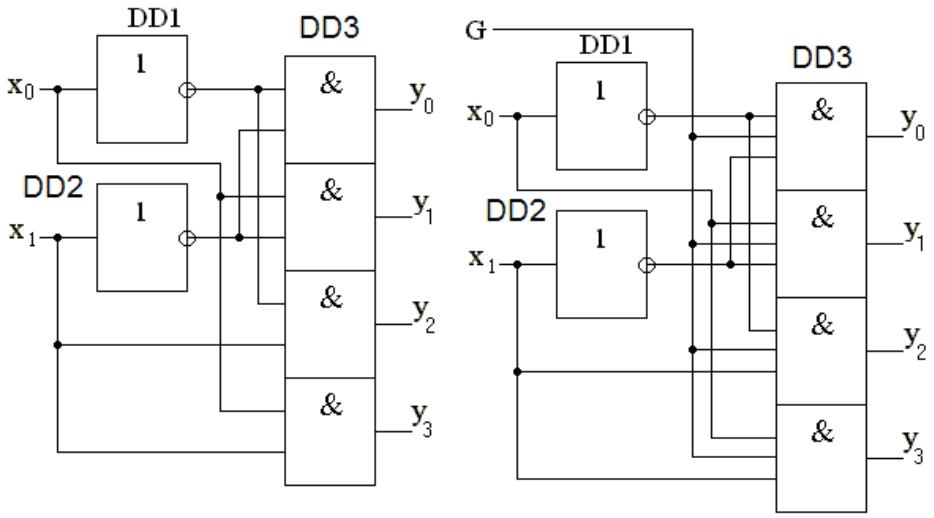
Интегральная инжекционная логика (ИИЛ или $И^2Л$) построена на использовании биполярных транзисторов и применении оригинальных схемотехнических и технологических решений. Для нее характерно очень экономичное использование площади кристалла полупроводника. Элементы $И^2Л$ могут быть реализованы только в интегральном исполнении и не имеют аналогов в дискретной схемотехнике [2].

Комбинационные устройства

Микросхемы, выпускаемые промышленностью, содержат не только микросхемы, выполняющие простейшие логические операции И-НЕ, ИЛИ-НЕ и др., но и микросхемы, выполняющие более сложные логические операции: дешифраторы, демультиплексоры и мультиплексоры, сумматоры и т.д.

Дешифраторы

Полным дешифратором называется комбинационная схема (КС), имеющая *n* входов и 2^n выходов. В полном дешифраторе каждой комбинации значений входных сигналов соответствует сигнал, равный 1, только на одном из выходов. Структурная схема дешифратора, имеющего два входа X_0 и X_1 и четыре выхода $У_0 – У_3$ (дешифратор 2х4) имеет вид в соответствии с рисунком 18, а.



а) б)

Рис. 18. Структурные схемы дешифратора и демультиплексора:
а) дешифратор; б) демультиплексор

Таблица истинности приведена ниже. Комбинации значений входных сигналов X_1 и X_0 соответствует сигнал, равный 1 только на выходе, номер которого, указанный в четырех правых столбцах, совпадает с двоичным числом на входе.

Таблица 2- Таблица истинности дешифратора

X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Дешифраторы могут быть неполными, реализующими $N < 2^n$ выходов. Такие дешифраторы используются, например, для преобразования двоично-десятичного кода в код, предназначенный для управления десятичным индикатором (дешифраторы 4х10). Дешифраторы являются преобразователями кодов, выполняющих преобразование двоичного и двоично-десятичного кодов в унитарный код. Унитарный код двоичного n-разрядного числа представляется 2^n разрядами, только один из разрядов которого равен 1.

Шифраторы выполняют функцию, обратную дешифраторам, т. е. преобразуют унитарный код в двоичный или двоично-десятичный.

На основе полных дешифраторов строятся дешифраторы-мультиплексоры, т. е. используется дополнительный вход G, сигнал с которого подается на все ЛЭ И полного дешифратора в соответствии с рисунком 18, б. Этот сигнал G появляется на том из выходов, код которого установлен на адресных входах X.

Сумматоры

Способы выполнения арифметических операций сложения и вычитания с помощью КС будем рассматривать только для целых двоичных чисел, что значительно облегчает изложение методики их синтеза. Целые положительные n-разрядные двоичные числа будем обозначать через X_n и Y_n, вход переноса P_n.

Операция сложения положительных двоичных чисел определяется правилами двоичной арифметики. Принцип работы одноразрядного двоичного сумматора приведен в таблице 3.

Таблица 3- Принцип работы одноразрядного двоичного сумматора

X_n	Y_n	P_n	S_n	P_{n+1}	X_n	Y_n	P_n	S_n	P_{n+1}
0	0	0	0	0	0	0	1	1	0
1	0	0	1	0	1	0	1	0	1
0	1	0	1	0	0	1	1	0	1
1	1	0	0	1	1	1	1	1	1

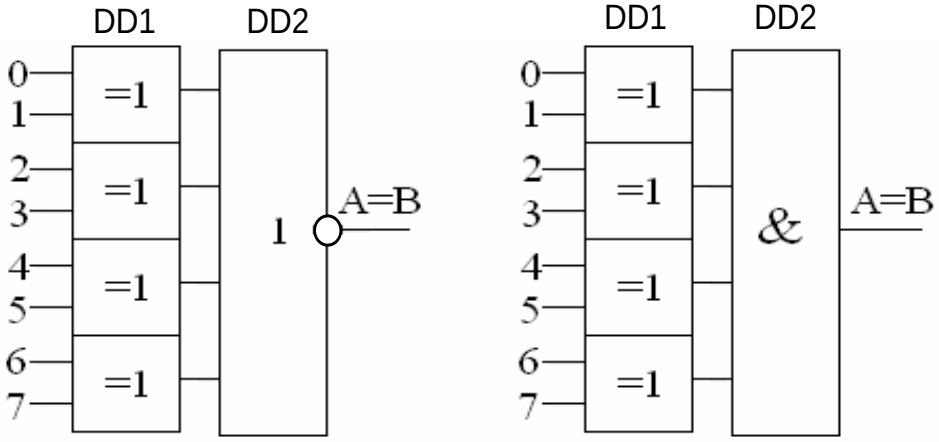
Значение суммы S равно 1, если нечетное число величин X_n , Y_n и P_n равно 1. Значение выхода переноса P_{n+1} в (n+1)-й разряд равно 1, если две или три величины из X_n , Y_n и P_n равны 1.

Понятно, что значение переноса в первый разряд всегда равно 0. В общем случае необходимо производить сложение и вычитание как положительных, так и отрицательных чисел. Это основывается на правилах двоичной арифметики.

Цифровые компараторы

Это устройство выдает результат сравнения *n*-разрядных двоичных или двоично-десятичных чисел. Цифровой компаратор можно построить на основе сумматора, подавая на один суммирующий вход прямой код числа **A**, на другой – инверсный код числа **B** (рисунок 19, б). На численном примере легко убедиться, что при **A=B** в четырех младших разрядах сумматора формируются логические единицы, а при **A>B** единица формируется на выходе переноса [1].

Компаратор, определяющий равнозначность кодов A и B, можно выполнить по схеме, приведенной на рисунке 19. При совпадении кодов во всех разрядах формируются логические нули на выходах элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и логический элемент ИЛИ-НЕ формирует на выходе логическую 1. Другой вариант использует логический элемент И.



а) б)

Рис. 19. Схемы равнозначности кодов:
а) с использованием схемы ИЛИ-НЕ; б) с использованием схемы И

Схемы определения четности и нечетности

Контроль четности и нечетности используется для обнаружения однократных ошибок при приеме информации по каналам связи. На передающей стороне к *n*-разрядному слову добавляется разряд с таким значением, чтобы сумма единиц была бы четной. На приемной стороне производится контроль на четность. Если число единиц в принятом слове нечетно, фиксируется ошибка в принятом сообщении.

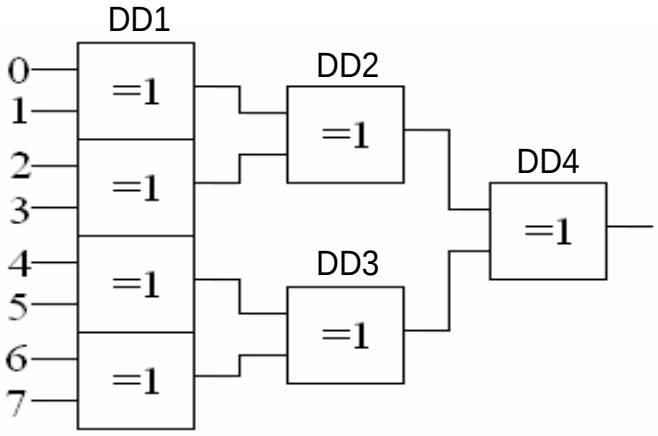


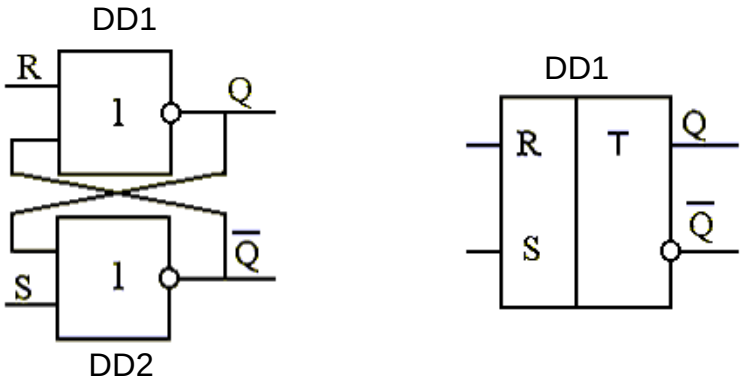
Рис. 20. Схема определения четности восьмиразрядного кода

Для контроля восьмиразрядного слова используется схема, приведенная на рисунке 6.8. Если в принятом слове число единиц четно, то на выходе последней логической схемы ИСКЛЮЧАЮЩЕЕ ИЛИ формируется логический 0. В противном случае формируется 1 и запрещается прием сообщения.

RS-триггер

RS-триггер с раздельной установкой состояний логического нуля и единицы [4]. Он имеет два информационных входа *R* и *S* и два выхода Q и $\overline{Q}$, соответственно прямой и инверсный. По входу S триггер устанавливается в состояние Q = 1, ($\overline{Q}$ = 0), а по входу *R* – в состояние Q = 0, ($\overline{Q}$ = 1).

Условное графическое обозначение приведено на рисунке 21, б.



а) б)

Рис. 21. RS-триггер на элементах ИЛИ-НЕ

а) структурная схема б) УГО

Таблица 6.3- Таблица истинности RS – триггера

Входы		Состояние на выходах	
S	R	Q	$\overline{Q}$
0	0	Режим хранения	
1	0	1	0
0	1	0	1
1	1	Запрещенная комбинация	

Синхронный RS –триггер

Синхронный RS –триггер (рисунок 22) может изменять свое состояние только с приходом тактового импульса на вход *C*.

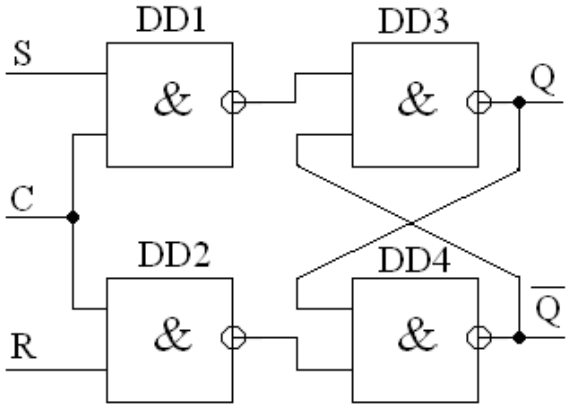


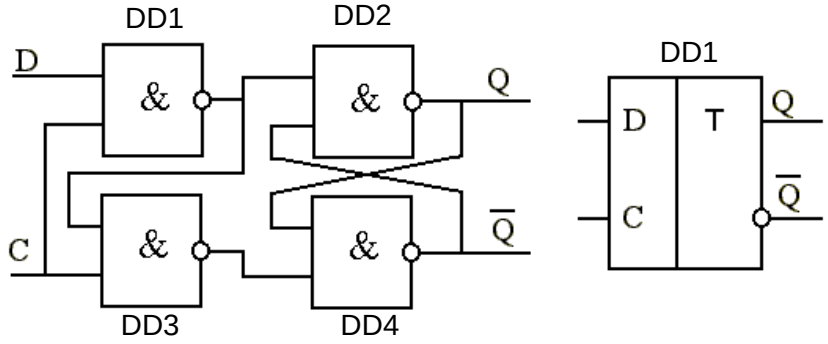
Рис. 22. Синхронный RS- триггер

При совпадении логических единиц на входах *S* и *C* на выходе *DD1* логический 0, который переводит триггер в единичное состояние *Q*=1. При совпадении единичных уровней на входах *R* и *C* триггер сбрасывается в нулевое состояние [1].

D-триггер

D-триггером называется триггер с одним информационным входом, работающим так, что сигнал на выходе после переключения равен сигналу на входе *D* до переключения, т.е. $Q^{n+1} = D^n$. Основное назначение *D*-триггеров – задержка поданного на вход *D*, т.е. входной сигнал синхронизирован с тактовыми импульсами. Он имеет информационный вход *D* (вход данных) и вход тактовых импульсов или вход синхронизации *C* [1].

Структурная схема D – триггера имеет вид в соответствии с рисунком 23, а.



а) б)

Рис. 23. D-триггер

а) структурная схема б) УГО

JK – триггер

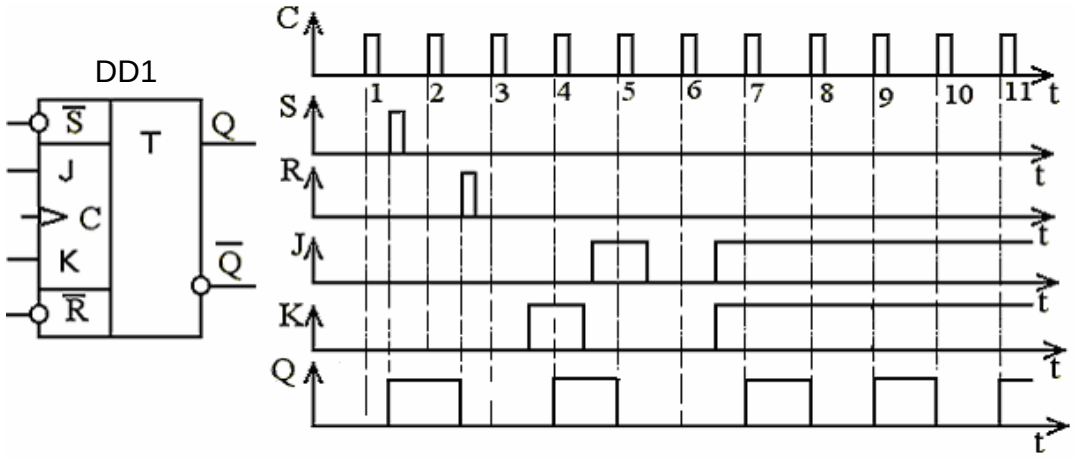
JK-триггеры подразделяются на универсальные и комбинированные.

Универсальность JK-триггера состоит в том, что он может выполнить функции T- и D-триггеров.

Комбинированный JK-триггер (рис. 24, а) отличается от универсального наличием дополнительных асинхронных входов *S* и *R* для предварительной установки триггера в определенное состояние (логические 1 или 0). Принцип работы JK-триггера поясняется диаграммами в соответствии с рисунком 24, б.

Сигнал на входах $\overline{R}$ и $\overline{S}$ производят установку 0 или 1 на выходе Q независимо от прихода тактовых импульсов. Тактовый импульс C осуществляет установку 0 или 1 по входам J и

K (тактовые импульсы 4 и 5). Если на оба входа J и K установить высокий потенциал (логическую 1), то триггер работает как Т-триггер в режиме деления на 2 (тактовые импульсы 7-13).



а) б)

Рис. 24. JK-триггер

а) условное обозначение б) к пояснению принципа работы JK – триггера

6.8. Счетчики

Цифровым счетчиком импульсов называют последовательное цифровое устройство, которое осуществляет счет поступающих на его вход импульсов. Результат счета формируется счетчиком в заданном коде и может храниться требуемое время [1].

Основным параметром счетчика является модуль счета K_C – максимальное число импульсов, которое может быть сосчитано счетчиком. После поступления K_C импульсов счетчик должен возвратиться в исходное состояние. Значение K_C равно числу устойчивых состояний счетчика. Счетчик, содержащий m разрядов (триггеров), может иметь 2^m устойчивых состояний, поэтому его модуль счета $K_C \le 2^m$. (Количество поступивших на счетный вход импульсов представляется на выходе счетчика в виде двоичного числа). Обычно счетчики имеют дополнительные входы установки S, позволяющие предварительно установить на выходе счетчика заданное число, или входы сброса R, сигнал на которых переводит счетчик в исходное состояние.

Частота импульсов на выходе последнего разряда счетчика в K_C раз меньше частоты импульсов, поступивших на вход. Поэтому счетчики используются в качестве делителей частоты, обеспечивающих на выходе в K_C раз меньшую частоту сигнала, чем на входе.

Счетчики можно классифицировать по нескольким признакам. В зависимости от направления счета различаются суммирующие (с прямым счетом), вычитающие (с обратным счетом) и реверсивные (с прямым и обратным счетом). По способу организации схемы переноса различаются счетчики с последовательным, параллельным и параллельно-последовательным переносом. В зависимости от наличия синхронизации различаются синхронные и асинхронные счетчики.

Счетчики строят на Т-триггерах с применением при необходимости логических элементов в цепях межразрядных и обратных логических связей. Так же можно применять D-триггеры и JK-триггеры двухступенчатой структуры или с динамическим управлением.

Суммирующие счетчики

Рассмотрим пример реализации трехразрядного суммирующего счетчика на динамических D-триггерах с последовательным переносом в соответствии с рисунком 25.

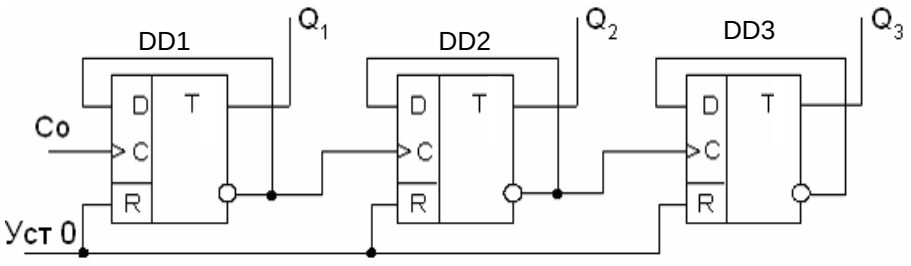


Рис. 25. Суммирующий счетчик

Порядок смены состояний счетчика задан таблицей 4, а осциллограммы, поясняющие принцип работы, имеют вид в соответствии с рисунком 26.

В качестве исходного принято состояние, которое определяется нулевым уровнем на выходах всех триггеров, т.е. $Q_1=Q_2=Q_3=0$. С приходом очередного счетного импульса к содержимому счетчика прибавляется единица. При этом увеличивается на единицу номер состояния.

Таблица 4- Таблица состояний суммирующего счетчика

Номер состояния	*Q3*	*Q2*	*Q1*
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
0	0	0	0

Изменение состояния каждого последующего разряда происходит при изменении состояния предыдущего разряда от 1 к 0. Это означает, что всякий раз, когда данный триггер в счетчике переходит из состояния 1 в состояние 0, на его выходе должен формироваться сигнал переноса, изменяющий состояние следующего триггера. Если же данный триггер переходит из 0 в 1, то сигнала переноса на его выходе не должно быть.

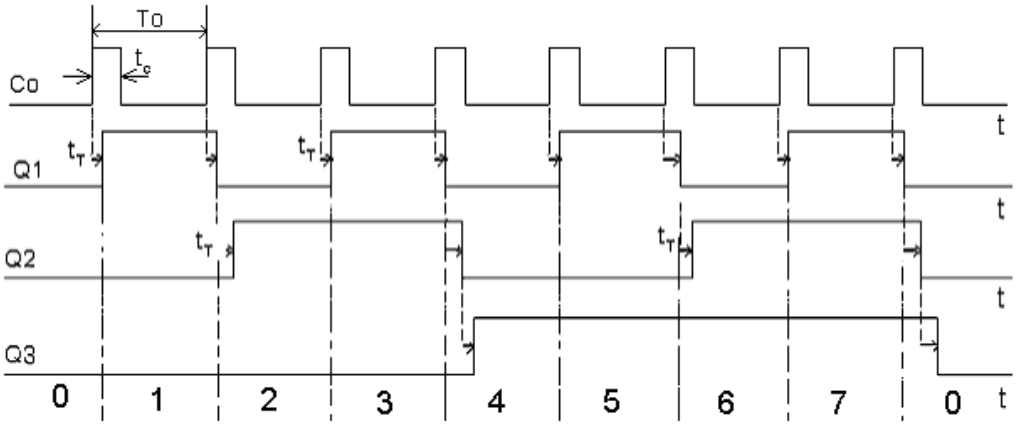


Рис. 26. К пояснению принципа работы суммирующего счетчика

Из таблицы 4 и осциллограмм следует, что триггер первого, самого младшего разряда должен менять свое состояние каждый раз с приходом очередного счетного импульса, а триггер каждого последующего разряда вдвое реже триггера предыдущего разряда.

Счетные импульсы должны быть поданы на вход триггера самого младшего разряда. Счетчики, построенные таким образом, получили название счетчиков с последовательным переносом.

Для установки исходного состояния счетчика служит шина «Уст 0», которой объединены R-входы всех триггеров. Нулевое состояние триггеров устанавливается подаваемым по этой шине положительного импульса соответствующего логической 1.

Вычитающие счетчики

Вычитающий счетчик с последовательным переносом имеет обратный порядок смены состояний: с приходом очередного счетного импульса, содержащееся в счетчике число уменьшается на единицу. Порядок смены состояний такого счетчика задан таблицей 5.

Таблица 5- Таблица состояний вычитающего счетчика

Номер состояния	Q_3	Q_2	Q_1
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0
7	1	1	1

Особенностью вычитающего счетчика, отличающая его от суммирующего, является то, что триггер каждого последующего разряда изменяет свое состояние при изменении уровня на выходе триггера предыдущего разряда от 0 к 1, т.е. при сигнале займа. Строится вычитающий счетчик так же, как суммирующий, но с тем отличием, что со входом каждого последующего триггера соединяется выход Q предыдущего триггера.

Компоненты источников питания активных элементов сети

Стабилитроны и стабисторы

Стабилитроном называется полупроводниковый диод, на обратной ветви ВАХ которого имеется участок с сильной зависимостью тока от напряжения (рис. 27), т.е. с большим значением крутизны $\Delta I/\Delta U$ ($\Delta I = I_{CT\,MAX} - I_{CT\,MIX}$). Если такой участок соответствует прямой ветви ВАХ, то прибор называется *стабистором*.

Стабилитроны используются для создания стабилизаторов напряжения.

Напряжение стабилизации U_{CT} соответствует напряжению электрического (лавинного) пробоя *p*–*n*-перехода при некотором заданном токе стабилизации I_{CT} (рис. 27). Возможности получения стабильного напряжения характеризуются дифференциальным сопротивлением стабилитрона $r_Д = \Delta U/\Delta I$, которое должно быть как можно меньше [1].

К параметрам стабилитрона относятся: напряжение стабилизации U_{CT}, минимальный и максимальный токи стабилизации $I_{CT\,MIN}$, т.е. минимальный ток, соответствующий устойчивому пробою, и $I_{CT\,MAX}$, определяемый предельно допустимой рассеиваемой мощностью, дифференциальное сопротивление $r_Д$, а так же температурный коэффициент напряжения стабилизации (TKU) – относительное изменение напряжения стабилизации ΔU_{CT} при изменении температуры корпуса прибора на 1 ^{o}C.

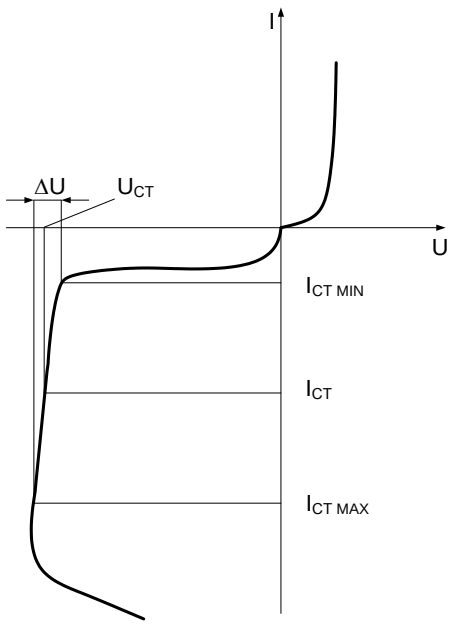


Рис. 27. К определению параметров стабилитронов

Промышленностью выпускаются стабилитроны с параметрами: U_{CT} от 1,5 до 180 В, I_{CT} от 0,5 мА до 1,4 А.

Выпускаются также двуханодные стабилитроны, служащие для стабилизации разнополярных напряжений и представляющие собой встречно включенные *p*–*n*-переходы.

Для стабилизации напряжения стабилитрон используют согласно схеме, представленной на рис. 28.

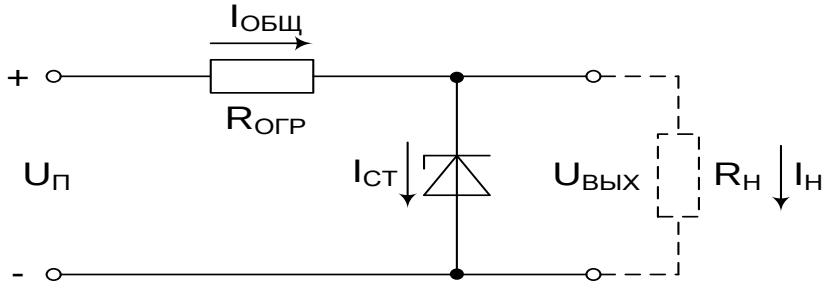


Рис. 28. Схема включения стабилитрона

Список использованной литературы

1.Легостаев, Н. С. Материалы электронной техники [Электронный ресурс] : учебное пособие / Н. С. Легостаев. — Электрон. текстовые данные. — Томск : Томский государственный университет систем управления и радиоэлектроники, 2014. — 239 c. — 978-5-86889-679-8. — Режим доступа: http://www.iprbookshop.ru/72057.html

2. Игнатов, А. Н. Полевые транзисторы и их применение в технике связи [Электронный ресурс] : монография / А. Н. Игнатов. — Электрон. текстовые данные. — Новосибирск : Сибирский государственный университет телекоммуникаций и информатики, 2008. — 317 c.— Режим доступа: http://www.iprbookshop.ru/55455.html

3.Исмагилова Е.И. Булевы функции и построение логических схем: учебное пособие /Е.И. Исмагилова – М.: МИРЭА, 2015-160с. — https://f.mirea.ru/upload/iblock/293/bulevy-funktsii-i-postroenie-logicheskikh-skhem.pdf

4.Капуро П.А. Цифровые функциональные устройства в телекоммуникациях. Ч.1 - Базовые цифровые функциональные устройства: уч.-метод. пособие /П.А. Капуро. – Минск, 2014 – 64 с. — Режим доступа: https://libeldoc.bsuir.by/bitstream/123456789/25523/1/Kapuro_1.pdf